

論文99-36D-5-3

Hot-Carrier 현상을 줄인 새로운 구조의 자기-정렬된 ESD MOSFET의 분석

(Analysis of a Novel Self-Aligned ESD MOSFET having Reduced Hot-Carrier Effects)

金庚煥 * 張民佑 * 崔佑榮 *

(Kyung-Whan Kim, Min-Woo Jang, and Woo-Young Choi)

요 약

Deep Submicron 영역에서 요구되는 고성능 소자로서 자기-정렬된 ESD(Elevated Source/Drain) 구조의 MOSFET을 제안하였다. 제안된 ESD 구조는 일반적인 LDD(Lightly-Doped Drain) 구조와는 달리 한 번의 소오스/드레인 이온주입 과정이 필요하며, 건식 식각 방법을 적용하여 채널의 함몰 깊이를 조정할 수 있는 구조를 갖는다. 또한 제거가 가능한 질화막 측벽을 최종 질화막 측벽의 형성 이전에 선택적인 채널 이온주입을 위한 마스크로 활용하여 hot-carrier 현상을 감소시켰으며, 반전된 질화막 측벽을 사용하여 기존의 ESD 구조에서 문제시될 수 있는 자기-정렬의 문제를 해결하였다. 시뮬레이션 결과, 채널의 함몰 깊이 및 측벽의 넓이를 조정함으로써 충격이온화율(I_{SUB}/I_D) 및 DIBL(Drain Induced Barrier Lowering) 현상을 효과적으로 감소시킬 수 있고, 유효채널 길이에 따라 차이가 있으나 두번의 질화막 측벽을 사용함으로써 hot-carrier 현상이 개선될 수 있음을 확인하였다.

Abstract

A new method of making high speed self-aligned ESD (Elevated Source/Drain) MOSFET is proposed. Different from the conventional LDD (Lightly-Doped Drain) structure, the proposed ESD structure needs only one ion implantation step for the source/drain junctions, and makes it possible to modify the depth of the recessed channel by use of dry etching process. This structure alleviates hot-carrier stress by use of removable nitride sidewall spacers as a mask for selective channel ion implantation before deposition of the final sidewall spacers. Furthermore, the inverted sidewall spacers are used as a self-aligning mask to solve the self-align problem. Simulation results show that the impact ionization rate (I_{SUB}/I_D) is reduced and DIBL (Drain Induced Barrier Lowering) characteristics are improved by proper design of the structure parameters such as channel depth and sidewall spacer width. In addition, the use of removable nitride sidewall spacers also enhances hot-carrier characteristics by reducing the peak lateral electric field in the channel.

I. 서 론

반도체 기술에서 소자의 집적도 증가 및 회로 성능

의 향상을 위해서는 개별 소자의 축소화가 필수적으로 요구된다. 소자의 축소화에 따른 가장 큰 문제는 이른바 단채널 효과(Short-Channel Effect)에 의해 소자의 정상적인 동작이 저해되는 것이며, 기존의 소자 축소 스케일링 방법에서는 단채널 효과를 억제하기 위해 소오스/드레인 접합을 매우 얇게 만들고, 채널 도핑은 크게 하는 방법 등을 사용하고 있다^[1]. 그러나 매우

* 正會員, 延世大學校 電子工學科

(Dept. of electronic Eng., Yonsei University)

接受日字:1998年8月3日, 수정완료일:1999年4月23日

얇은 소오스/드레인 접합은 매우 낮은 에너지의 이온 주입 공정을 필요로 하거나 SPD(Solid Phase Diffusion)^[2] 등과 같은 특수한 공정이 필요하여 공정상의 어려움이 있고, 소오스/드레인 영역의 기생저항이 증가하여 소자 성능이 떨어지는 문제를 발생시킨다. 또한 증가된 채널 도핑은 소오스/드레인 접합에서의 접합 커패시턴스를 증가시켜 소자의 성능을 저하시킨다.

이러한 문제들을 해결하기 위해 급격한 retrograde 형태의 채널 도핑 방법^[3]이나, 선택적인 HALO 도핑 방법^[4], ESD(Elevated Source/ Drain) 구조의 사용^[5-9] 등 여러 가지 방법들이 제안되었다. 이 중 에서 ESD 구조는 채널 부분이 함몰되어 있고, 소오스와 드레인 부분은 채널 영역에 비해 상대적으로 들려져 있는(elevated) 구조이며, 게이트가 함몰된(gate recessed) 구조^[10], 패여진 게이트(grooved gate) 구조^[11] 등으로 발표된 구조들과 거의 유사한 형태이다. 이 구조는 매우 얇은 소오스/드레인 접합으로 인해 기생 저항이 증가하는 문제를 해결할 수 있고, 단 채널 현상에도 우수한 특성을 갖는 등 여러 가지 이점이 있어 주목받고 있다. 반면에 발표된 여러 가지 구조들에서는 자기-정렬의 문제^[12]나 SEG(Selective Epitaxial Growth) 공정시 facet 형성으로 인한 소자 특성 저하의 문제^[9] 등 여러 가지 문제점들이 존재하며, 일반화된 제작 방법이 아직 정립되지 못하고 있는 실정이다. 본 논문에서는 자기-정렬이 가능하며 hot-carrier 현상을 감소시킬 수 있는 새로운 ESD 구조를 제안하고, 시뮬레이션을 통하여 그 특성을 분석하였다. 제안된 소자의 특징은 건식 식각 방법으로 함몰 구조의 깊이 및 측벽의 넓이 등을 결정할 수 있다는 점과 선택적인 채널 이온주입과 제거 가능한 질화막 측벽(nitride sidewall spacer)을 사용하여 hot-carrier 특성을 개선시켰다는 점, 반전된 측벽을 사용하여 자기-정렬을 이루었다는 점, 기존의 LDD 공정과는 달리 한번의 이온주입으로 소오스/드레인 접합이 형성되는 점 등이다.

본 논문에서는 제안된 소자의 제작 방법을 제시하고, 채널의 함몰 정도 및 측벽 넓이 등과 관련된 소오스/드레인 구조의 특성을 시뮬레이션을 통해 분석하였다. 또한 모의 제작된 구조에 관하여 질화막 측벽으로 인한 효과 등을 비롯한 여러 가지 전기적 특성을 분석하여 그 가능성을 확인하였다.

II 소자의 제작 방법

제안된 구조는 p형 (100) 방향의 웨이퍼 상에서 그림 1의 모의 공정 과정을 거쳐 구현하였다. 모의 공정 과정은 2차원 공정 시뮬레이션 프로그램인 TMA 사의 TSUPREM-4를 사용하여 시뮬레이션하였다. 전체적인 과정은 마스크 산화막 증착 및 패터닝, 건식 식각, 제거 가능한 1차 질화막 측벽의 형성, 채널 이온주입, 질화막 측벽의 제거, 최종적인 질화막 측벽의 형성, 게이트 산화막 성장, 폴리실리콘 게이트 형성, 마스크로 사용된 산화막 제거, 소오스/드레인 형성을 위한 이온주입 과정을 거친다.

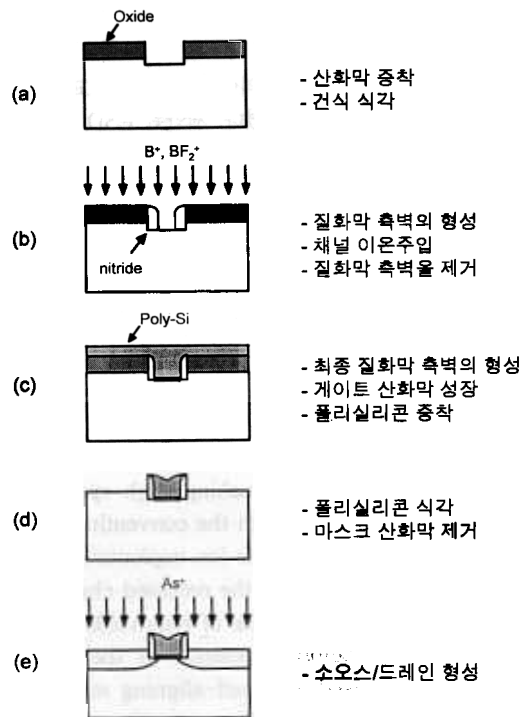


그림 1. 제안된 ESD(Elevated Source/Drain) 구조의 공정 과정

Fig. 1. Fabrication steps for proposed ESD(Elevated Source/Drain) structure.

여기서 채널의 건식 식각의 경우, 현실적으로 많이 사용되지는 않지만, 패인 게이트(grooved gate) MOSFET^[11] 등에서 이와 유사하게 적용된 바 있으며, deep submicron 소자의 trench 공정 사용이 점차적으로 확산되는 추세로 볼 때 앞으로의 활용성을 기대할 수 있는 방법으로 판단된다. 질화막 측벽의 경우, 인산 등의 물질을 사용하여 산화막 물질로부터 선

택적으로 제거할 수 있는 특성이 있으며^[8,13] 이를 이용하여 최종적인 측벽의 형성 이전에 임시적인 1차 질화막 측벽을 형성시켰다. 제거 가능한 1차 질화막 측벽은 최종 질화막 측벽의 넓이보다 두꺼우며, 이는 선택적인 채널 도핑이 보다 좁은 면적에서 이루어지도록 하기 위한 것이다. 펀치쓰루(punchthrough) 방지와 문턱전압 조정을 위한 이온주입은 각각 B^+ , $6 \times 10^{12} \text{cm}^{-2}$ 의 도즈(dose), 45KeV의 조건과 BF_2^+ , $8 \times 10^{12} \text{cm}^{-2}$ 의 도즈, 75KeV의 조건으로 가해주었다. 여기서 채널 이온주입이 그림 1(b)와 같이 선택적으로 이루어지므로 채널 이온주입으로 인한 소오스/드레인-기판 사이의 접합 커패시턴스 증가가 최소화될 수 있다. 소오스/드레인 접합 깊이(X_j)는 소오스/드레인 형성을 위한 이온주입 조건이 일정할 때, 접합을 이루는 부분에서 기판 쪽의 도핑 농도에 의해 결정되므로 기판 농도 $N_A = 1 \times 10^{17} \text{cm}^{-3}$ 을 갖도록 설계하였다. 게이트 산화막은 50Å의 두께를 갖도록 성장시켰으며, 폴리실리콘을 그림 1(c)와 같이 충분한 두께로 증착시키고 이를 다시 마스크 산화막이 드러날 때까지 식각한 후, 마스크 산화막을 제거하면 그림 1(d)와 같은 구조를 얻게된다. 이렇게 형성된 게이트는 자기-정렬이 가능한 구조이며, 여기에 소오스/드레인을 As^+ , $5 \times 10^{15} \text{cm}^{-2}$ 의 도즈, 55KeV, 7° 입사각의 조건으로 이온주입하여 형성하였다. 어닐링 과정은 RTA(Rapid Thermal Annealing) 방식으로 1050°C, 10초 동안 진행되었다.

III. 시뮬레이션 결과 및 고찰

제안된 구조의 소오스/드레인 구조는 한번의 이온주입으로 p-n 접합을 형성하므로 공정이 간단해지는 장점이 있으나 소오스/드레인의 접합 깊이가 비교적 커서 hot-carrier에 대한 신뢰성 문제를 비롯한 단채널 효과 문제가 제기될 수 있다. 이러한 문제를 해결하기 위하여 이 구조에서는 그림 1(b)와 같이 선택적인 채널 이온주입 방법을 사용하였다. 선택적인 채널 이온주입으로 인하여 p-n 접합을 이루는 부분에서 볼 때, 채널 쪽에서 소오스 혹은 드레인 쪽으로의 수평 방향 도핑 profile이 점차적으로 감소하는 도핑 변화를 갖게 되며 이러한 채널의 도핑 구조는 hot-carrier 현상을 감소시킬 수 있는 구조임이 발표된 바 있다^[10]. 또한 함몰 깊이(X_R)와 측벽의 넓이(W_s)에 따라 hot-

carrier 특성은 변화하므로 이를 시뮬레이션을 통하여 확인하여 구조 결정에 적용하고자 한다. 그림 2는 측벽의 넓이 및 함몰 깊이에 따라서 결정되는 소오스/드레인의 구조를 나타낸 것이다. 소오스/드레인 형성을 위한 이온주입 조건이 일정할 경우 접합 깊이(X_j)는 일정하며, 함몰 깊이를 증가시킬 때, 동일한 유효채널 길이(L_{eff})를 유지하기 위해서는 측벽의 넓이가 반대로 감소해야 한다. 함몰 깊이와 측벽 넓이에 따른 소자의 hot-carrier 특성 및 DIBL(Drain Induced Barrier Lowering) 특성 등의 단채널 특성을 살펴보기 위해 표 1의 세가지 경우에 관하여 2차원 소자 시뮬레이션 프로그램인 MEDICI를 사용하여 시뮬레이션하였다^[14]. 함몰 깊이와 측벽 넓이로 선택된 세가지 경우는 MEDICI 시뮬레이션 결과, 거의 동일한 유효채널 길이를 갖는 조건이므로 이를 선택하였다. 또한 제안된 구조와의 비교를 위해 일반적인 LDD 구조에 관한 시뮬레이션을 추가로 수행하였다. 시뮬레이션 상에서의 공정한 비교를 위해 채널 영역 및 소오스/드레인 접합 부분에서 동일한 메쉬(mesh) 구조를 갖게 하였고, 펀치쓰루 및 문턱전압 조정을 위한 이온주입 조건, 어닐링 조건, 금속 콘택(metal contact)의 위치 및 폴리실리콘 게이트 길이 등을 모두 동일하게 설정하였다. LDD 형성을 위한 이온주입 조건은 As^+ , $1 \times 10^{14} \text{cm}^{-2}$ 의 도즈, 10KeV, 깊은 접합의 소오스/드레인 형성을 위한 이온주입 조건은 As^+ , $5 \times 10^{15} \text{cm}^{-2}$ 의 도즈, 20KeV이며, 이는 0.1 μm 급 nMOSFET에서 일반적으로 사용되는 범위 내의 값을 사용한 것이다.

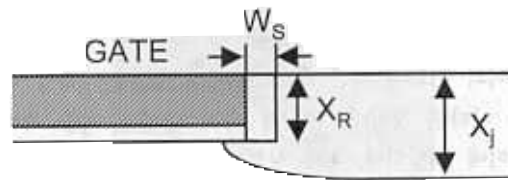


그림 2. 측벽의 넓이(W_s) 및 함몰 깊이(X_R)에 따라서 결정되는 소오스/드레인의 구조

Fig. 2. Source/drain structure defined by recessed-channel depth(X_R) and sidewall spacer width(W_s).

기판 전류 특성을 구하는 시뮬레이션의 정확성을 높이기 위해서 캐리어의 에너지 균형식(energy balance equation)을 적용하여 시뮬레이션하였다^[14-15]. 기존의 MEDICI 시뮬레이션에서 기판전류를 계산할 때 일

반적으로 사용되는 충격이온화 모델은 지역적인 전계 효과에 바탕을 두며 기판 전류의 크기를 과대하게 산출하는 문제점을 갖고 있었다. 따라서 기존의 논문들에서도 이러한 시뮬레이션된 기판 전류의 양을 정확한 해답으로 규정짓지 못하고, 여러 가지 구조에 관한 시뮬레이션을 동등한 시뮬레이션 조건하에서 수행함으로써 여러 가지 구조간의 특성 비교 혹은 경향적인 분석 차원에서 의미를 두었다^[5]. 반면에 에너지 균형식은 강하고 공간적으로 급격하게 변화하는 전계에서의 지역적인 캐리어의 가열 현상을 모델링할 수 있는 것으로, 소자내의 캐리어 온도 분포를 얻을 수 있으며, 이를 충격이온화 모델과 함께 시뮬레이션에 적용할 경우, 실제의 캐리어의 이동도나 충격이온화 등과 같은 특성을 더욱 정확하게 모델링할 수 있다^[14]. 따라서 본 시뮬레이션에서는 정확한 에너지 균형식을 계산하기 위하여 온도에 의존하는 이동도 모델인 TMPMOB, 그리고 온도에 의존하는 확산 모델인 TMPDIF, 온도 효과를 고려한 충격이온화 모델을 사용하였으며, 이를 통해 기판전류 특성의 정확성을 도모하였다.

표 1. 함몰 깊이(X_R) 및 측벽 넓이(W_S)의 세 가지 조건

Table 1. Three conditions of recessed-channel depth(X_R) and sidewall spacer width (W_S).

종류	A	B	C
함몰 깊이(X_R)	30nm	70nm	100nm
측벽 넓이(W_S)		40nm	30nm

그림 3은 기판 전류 특성을 분석하기 위해 표 1의 세가지 경우와 LDD 소자에 관하여 함몰 깊이와 측벽 넓이의 변화에 따른 충격이온화율(I_{SUB}/I_D) 특성 변화를 나타낸 것이다. 여기서 측벽 넓이는 최종 측벽의 넓이에 해당하며, 1차 질화막 측벽 공정은 사용하지 않은 경우이다. 충격이온화율은 $V_{DS}=2.0V$ 일 때, $V_{GS}=1.0\sim 1.2V$ 부근에서 최대값을 나타내었으며, 시뮬레이션을 통한 경향 분석 차원에서 $V_{DS}=2.0V$, $V_{GS}=1.0V$ 의 조건으로 시뮬레이션하였다. 함몰 깊이를 증가시킬 경우, 충격이온화율 특성이 LDD 소자의 경우와 거의 근접한 값을 나타낸다. 이는 채널 영역과 접하는 소오스(드레인) 접합의 깊이가 상대적으로 작아져서 충격이온화율 특성이 향상되는 것으로 볼 수 있다. 앞의 결과로부터 LDD 구조를 사용하지 않고 한번의 이온주입으로 소오스(드레인) 접합을 형성하는

구조에 있어서도 선택적인 채널 이온주입 기법^[10]의 사용과 함몰 깊이 및 측벽 넓이 등을 조절함으로써 hot-carrier 특성을 개선시킬 수 있음을 예상할 수 있다.

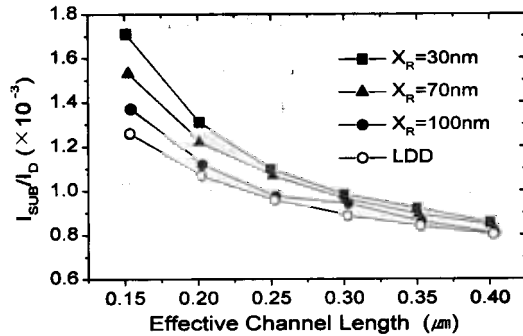


그림 3. 함몰 깊이(X_R)의 변화에 따른 I_{SUB}/I_D 특성의 변화($V_{DS}=2.0V$, $V_{GS}=1.0V$)

Fig. 3. I_{SUB}/I_D characteristics as function of recessed-channel depth(X_R). ($V_{DS}=2.0V$, $V_{GS}=1.0V$)

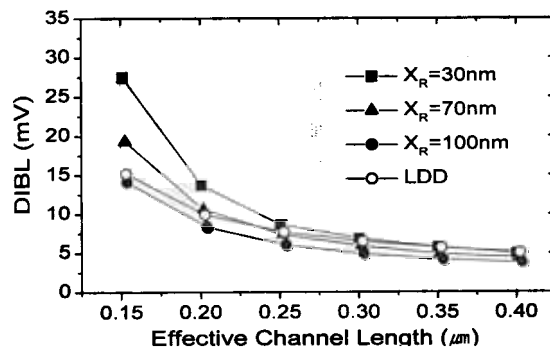


그림 4. 함몰 깊이(X_R)의 변화에 따른 DIBL 특성의 변화

Fig. 4. DIBL characteristics as function of recessed-channel depth(X_R).

그림 4는 함몰 깊이 및 측벽 넓이의 변화에 따른 DIBL 특성을 보인 것이다. 여기서 DIBL 값은 $V_{DD}=2.0V$ 와 $0.1V$ 일 때의 문턱전압의 변화량으로 정의되었다. 함몰 깊이가 증가할수록 DIBL 값이 감소되며, 이는 채널과 인접한 소오스/드레인 접합의 깊이가 상대적으로 작아져서 드레인의 전기장이 소오스 쪽의 전위장벽에 미치는 영향력이 감소된 것에 기인한다. LDD 소자의 경우와 비교하면 $X_R=70nm$ 일 때 그 특성이 유사하며 $X_R=100nm$ 일 때는 오히려 DIBL 특성이 더 향상되었음을 볼 수 있다. 그림 3의 충격이온화율 특성과 그림 4의 DIBL 특성 결과는 함몰 깊이 및 측벽의 넓이를 조절함으로써 단채널 특성이 향상될 수

있음을 나타내고 있다.

본 논문에서는 선택적인 채널 이온주입 방법과 더불어 hot-carrier 특성을 더욱 향상시키고자 질화막 측벽을 두 번 사용하여 게이트를 형성하는 방법에 관하여 연구하였다. 그림 5는 제거가 가능한 질화막 측벽을 사용하여 채널 도핑을 가해주는 과정을 보인 것이다. 여기서 W_M 은 산화막 마스크에 의해 외부로 노출되는 실리콘 표면의 넓이이며, W_N 과 W_S 는 각각 1차, 최종 질화막 측벽의 넓이에 해당한다. 우선 제거 가능한 넓이 W_N 의 질화막 측벽을 형성한 후 펀치쓰루 방지를 위한 채널 이온주입 및 문턱전압 조절을 위한 채널 이온주입을 가해준다. 이후에 질화막 측벽을 제거한 후, 최종적인 측벽을 다시 형성시킨 후에 게이트 물질인 폴리실리콘을 증착시키는 과정을 거친다. 이때, 1차적으로 형성된 질화막 측벽의 넓이는 최종 측벽의 넓이보다 더 크다. 이 방법은 보다 좁은 영역에 선택적으로 채널 이온주입을 수행하여 수평 방향으로의 도핑 profile 변화를 더욱 크게 변화시키기 위한 것이며, 이러한 방법이 hot-carrier 특성에 미치는 영향을 알아보기 위해 제거 가능한 질화막 측벽의 넓이(W_N)가 각각 30nm, 60nm, 90nm이고 함몰 깊이는 100nm인 경우에 관하여 시뮬레이션하였다. 여기서 $W_N=30$ nm인 경우는 표 1에서 제시된 $X_R=100$ nm, $W_S=30$ nm의 조건에서 최종적인 질화막 측벽의 넓이(W_S)와 동일한 경우이므로 제거 가능한 1차 질화막 측벽을 형성하지 않은 경우와 마찬가지로이다.

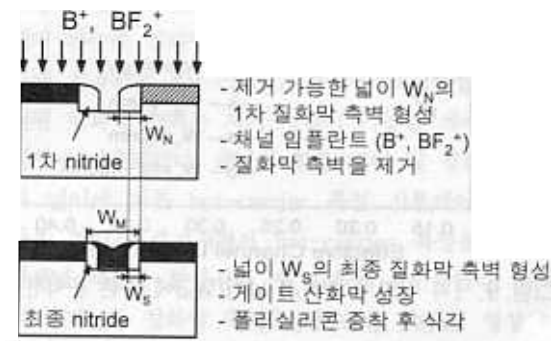


그림 5. 제거 가능한 1차 질화막 측벽을 최종 측벽의 형성 전에 사용한 경우
 Fig. 5. Use of removable nitride spacers before the final spacer formation.

그림 6은 1차 질화막 측벽의 넓이(W_N)에 따른 충격이온화율의 변화를 나타낸 것이다. 여기서 비교를

위해 포함된 LDD 소자는 앞에 언급된 경우와 동일한 조건으로 시뮬레이션하였다. 그림으로부터 1차 질화막 측벽의 넓이가 증가할수록 충격이온화율은 감소되며, 일반적인 LDD의 경우보다 더욱 감소된 충격이온화율 특성을 나타낼 수도 있음을 볼 수 있다. 이는 채널에서의 수평방향 도핑 profile이 보다 급격하게 변화하는 것에 기인한다. 반면에 채널의 길이가 급격하게 짧아지는 영역에 있어서는 충격이온화율의 차이가 점차적으로 줄어드는 경향을 볼 수 있는데, 이는 1차 질화막 측벽의 넓이는 60nm 혹은 90nm로 일정하게 유지되지만 유효 채널 길이의 감소에 따라 채널 이온주입시에 노출되는 채널 영역(W_M-2W_N)은 점점 줄어들어 1차 질화막 측벽의 넓이가 차지하는 면적이 상대적으로 큰 비중을 차지하기 때문이다.

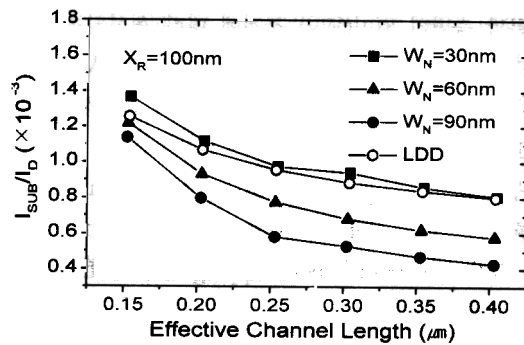
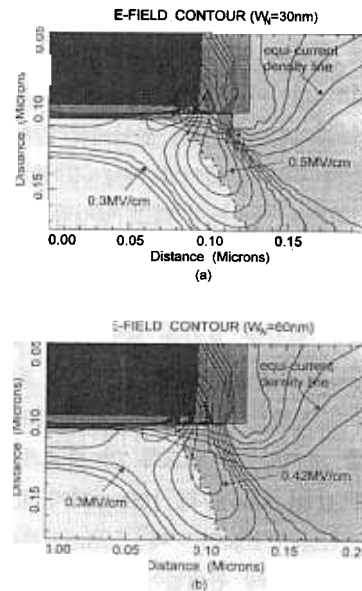
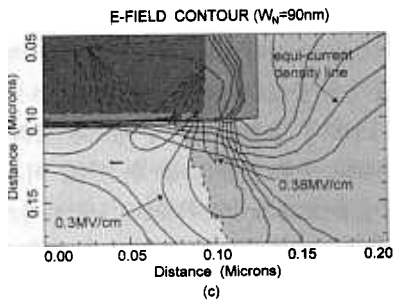


그림 6. 1차 질화막 측벽의 넓이(W_N)에 따른 I_{SUB}/I_D 특성의 변화($V_{DS}=2.0V$, $V_{GS}=1.0V$)
 Fig. 6. I_{SUB}/I_D characteristics as function of nitride sidewall spacer width(W_N)($V_{DS}=2.0V$, $V_{GS}=1.0V$).





제거 가능한 질화막 측벽의 넓이에 따른 등전계 곡선 ($V_{DS}=2.0V$, $V_{GS}=1.0V$) (a) $W_N=30nm$, (b) $W_N=60nm$, (c) $W_N=90nm$

Electric field contour dependent on removable nitride sidewall width(W_N). (a) $W_N=30nm$, (b) $W_N=60nm$, (c) $W_N=90nm$.

그림 7은 유효 채널 길이가 약 $0.15\mu m$ 일 경우 1차 질화막 측벽의 넓이(W_N) 조건에 따라 형성되는 2차원 등전계 곡선을 비교한 것이다. $V_{DS}=2.0V$, $V_{GS}=1.0V$ 의 조건에서 시뮬레이션되었으며, 등전계 곡선은 $0.22 \times 10^6 V/cm$ 를 시작으로 $0.04 \times 10^6 V/cm$ 씩 증가하는 경우를 나타내었다. 그림 7(a)는 $W_N=30nm$, 즉 1차 질화막 측벽을 사용하지 않은 경우이며, 7(b)와 7(c)는 각각 $W_N=60nm$, $90nm$ 인 경우에 해당한다. 그림으로부터 1차 질화막 측벽의 넓이가 증가할수록 최대 전계값이 감소되고 있음을 확인할 수 있다.

그림 8과 그림 9는 각각 1차 질화막 측벽의 넓이(W_N)에 따른 DIBL 특성과 문턱전압(V_T)의 감소 특성을 나타낸 것이다. DIBL 특성은 측벽의 넓이(W_N)가 클수록 좋은 특성을 보이다가 유효 채널 길이가 짧아질수록 그 특성이 역전되는 현상이 발생된다. 이는 앞에서 채널의 길이가 짧아질수록 충격이온화율의 차이가 조금씩 좁혀지는 현상의 원인에서 밝힌 바와 같이 1차 질화막 측벽의 넓이가 채널 길이가 짧아짐에 따라서 비례적으로 감소하지 않고 일정한 넓이를 갖기 때문인 것으로 판단된다. 실제로 $W_N=60nm$ 인 경우, $W_N=90nm$ 인 경우보다 더 짧은 채널 길이에서 그 특성이 역전되는 현상을 보임을 확인할 수 있다. 또한 채널 이온주입시 외부로 노출되는 실리콘 표면의 넓이(W_M-2W_N)가 산화막 마스크에 의해 정해지는 W_M 의 60% 정도를 유지할 수 있도록 각 유효채널 길이에 따라 W_N 의 값을 $50nm$ 부터 $100nm$ 까지 $10nm$ 씩 증가시킨 경우($L_{eff}=0.15\mu m$ 일 때 $50nm$, $0.4\mu m$ 일 때 $100nm$), 채널 길이에 관계없이 고정된 W_N 값을 갖

는 경우보다 개선된 DIBL 특성을 나타내었다. 문턱전압의 감소 특성의 경우 W_N 값이 클수록 채널 이온주입되는 도펀트(dopant)가 전체 채널의 좁은 영역에 집중되므로 작은 문턱전압 값을 나타내며, 유효채널 길이가 매우 작은 영역에서는 DIBL 특성에서와 마찬가지로 이유로 인해 문턱전압의 감소량이 증가하는 현상을 나타내었다. 또한 W_N 값을 유효채널 길이의 변화에 따라 $50nm$ 에서 $100nm$ 로 변화시킨 경우, 문턱전압 감소 특성이 크게 개선됨을 확인하였다. 따라서 단 채널 현상 개선을 위해서 1차 질화막 측벽의 넓이는 각 채널 길이의 변화를 고려하여 설계되어야 함을 알 수 있다.

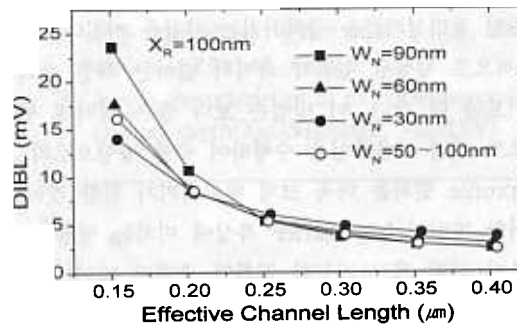


그림 8. 1차 질화막 측벽의 넓이(W_N)에 따른 DIBL 특성 곡선

Fig. 8. DIBL characteristics as function of removable nitride sidewall width(W_N).

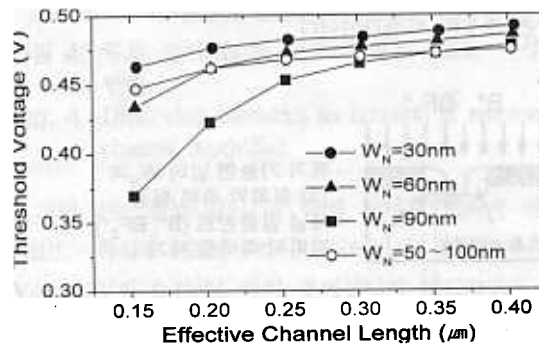


그림 9. 1차 질화막 측벽의 넓이(W_N)에 따른 문턱전압(V_T)의 감소 특성 곡선

Fig. 9. V_T rolloff characteristics as function of removable nitride sidewall width(W_N).

그림 10은 1차 질화막 측벽의 넓이에 따라 결정되는 드레인 전류-전압 특성 곡선이다. 여기서 유효 채널 길이는 약 $0.15\mu m$ 이며 $V_{GS}=1.0V$, $2.0V$ 인 경우이다. 그림 7에서 나타난 것과 같이 측벽의 넓이가 증가

할수록 지역적인 전계의 감소 현상을 초래하나, 1차 질화막 측벽을 통한 채널 이온주입으로 인하여 측벽의 넓이가 클수록 문턱전압의 감소량이 증가되고 전달컨덕턴스 특성 등이 향상되어 전류값은 증가되는 결과를 갖는다.

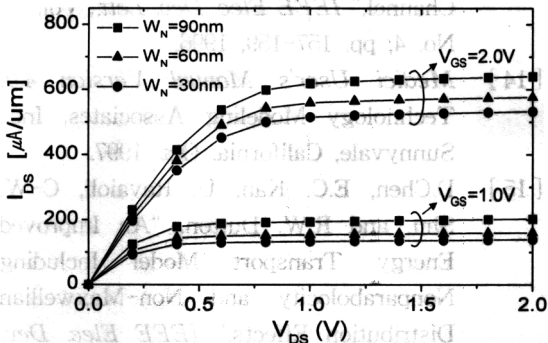


그림 10. 1차 질화막 측벽 넓이(W_N)에 따른 드레인 전류 vs. 전압 특성 곡선

Fig. 10. I_{DS}-V_{DS} characteristics as function of removable nitride sidewall width(W_N).

IV. 결 론

본 논문에서는 deep submicron 영역에서 동작할 수 있는 고성능 ESD MOSFET의 제작 방법을 제안 하였으며, 그 전기적 특성에 관한 2차원 소자 시뮬레이션을 수행하였다. 제안된 구조는 전식 식각 방법을 사용하여 채널의 함몰 깊이 및 측벽의 넓이를 조정할 수 있고, LDD MOSFET과는 달리 단 한번의 이온 주입 공정으로 소오스/드레인 접합을 형성하게 된다. 제거 가능한 질화막 측벽을 최종적인 측벽의 형성 이전에 사용하여 hot-carrier 특성을 개선하였으며, 반전된 질화막 측벽은 자기-정렬이 가능한 게이트 구조 형성에 사용되었다. 채널의 함몰 깊이 및 질화막 측벽의 넓이에 따른 hot-carrier 특성 시뮬레이션에서는 함몰 깊이를 증가시켜서 hot-carrier 특성을 비롯한 단채널 특성을 향상시킬 수 있음을 확인하였다. 또한 제거 가능한 질화막 측벽을 최종적인 측벽의 형성 이전에 사용할 경우, 충격이온화를 곡선과 2차원 등전계 곡선으로부터 hot-carrier 특성이 개선됨을 시뮬레이션을 통해 확인하였다. 반면에 유효채널의 길이가 극도로 짧아지는 경우, 1차적인 질화막 측벽이 점유하는 면적이 산화막 마스크로 정의되는 노출 면적의 대부분을 점유하게 되어 문턱전압의 감소현상 및 DIBL 특

성이 나빠질 수 있으며, 이를 해결하기 위해서는 최종적인 측벽 넓이와 전체 채널 길이를 고려하여 1차 질화막 측벽 넓이가 상대적으로 너무 큰 값이 되지 않도록 채널길이에 따라 비례적으로 조정하는 작업이 요구된다. 끝으로 본 연구에 많은 도움을 주신 삼성전자 박종우 전무님, 이강윤 부장님께 감사의 말씀을 드립니다.

참 고 문 헌

- [1] J.R. Brews, W. Fichtner, E.H. Nicollian, and S.M. Sze, "Generalized Guide for MOSFET Miniaturization," *IEEE Elec. Dev. Lett.*, EDL-1, No. 1, pp. 2-4, Jan. 1980.
- [2] M. Ono et al., "Sub-50 nm Gate Length N-MOSFET with 10 nm Phosphorous Source and Drain Junctions," *IEDM Tech Dig.*, pp. 119-122, 1993.
- [3] D.A. Antoniadis and J.E. Chung, "Physics and Technology of Ultrashort Channel MOSFET Devices," *IEDM Tech Dig.*, pp. 21-24, 1991.
- [4] G.G. Shahidi et al., "High-Performance Devices for a 0.15-μm CMOS technology," *IEEE Elec. Dev. Lett.*, vol. 12, p. 466, 1993.
- [5] H. Tian et al., "Effects of Profile Doped Elevated Source/Drain Structures on Deep-Submicron MOSFETs," *Solid-State Electronics*, vol. 38, no. 3, pp. 573-579, 1995.
- [6] M. Orłowski, C. Mazure, and M. Noell, "A Novel Elevated MOSFET Source/Drain Structure," *IEEE Elec. Dev. Lett.* Vol. 12, No. 11, pp. 593-595, Nov. 1991.
- [7] J.J. Sun et al., "The Effect of the Elevated Source/Drain Doping Profile on Performance and Reliability of Deep Submicron MOSFET's," *IEEE Trans. Elec. Dev.*, Vol. 44, No. 9, pp. 1491-1497, Sep. 1997.
- [8] J.R. Pfister, M. Woo, J.T. Fitch and J. Schmidt, "Reverse Elevated Source/Drain (RES-D) MOSFET for Deep Submicron

- CMOS," *IEDM Tech. Dig.*, pp. 885-888, 1992.
- 9 M. Rodder and D. Yeakley, "Raised Source/Drain MOSFET with Dual Side-wall Spacers," *IEEE Elec. Dev. Lett.*, Vol. 12, No. 3, pp. 89-91, 1991.
- [10] W.-H. Lee, Y.J. Park, and J.D. Lee, "Gate Recessed (GR) MOSFET with Selectively Halo-Doped Channel and Deep Graded Source/Drain for Deep Submicron CMOS," *IEDM Tech. Dig.*, pp. 135-138, 1993.
- [11] J. Tanaka et al., "A Sub-0.1- μm Grooved Gate MOSFET with High Immunity to Short Channel Effects," *IEDM Tech. Dig.*, pp. 537-540, 1993.
- [12] M. Chan et al., "Recessed Channel Structure for Fabricating Ultrathin SOI MOSFET with Low Series Resistance," *IEEE Elec. Dev. Lett.*, Vol. 15, pp. 22-24, Jan. 1994.
- [13] J. Lyu, B.-G. Park, K. Chun, and J.D. Lee, "A Novel 0.1 μm MOSFET Structure with Inverted Sidewall and Recessed Channel," *IEEE Elec. Dev. Lett.*, Vol. 17, No. 4, pp. 157-159, 1996.
- [14] *Medici User's Manual Version 4.0*, Technology Modeling Associates, Inc., Sunnyvale, California. Oct. 1997.
- 15] D.Chen, E.C. Kan, U. Ravaioli, C-W. Shu, and R.W. Dutton, "An Improved Energy Transport Model Including Nonparabolicity and Non-Maxwellian Distribution Effects," *IEEE Elec. Dev. Lett.*, Vol. 13, pp. 26-28, Jan. 1992.

 저 자 소 개



金 庚 煥(正會員)

1994년 2월 연세대학교 전자공학과 졸업(공학사). 1996년 2월 동대학원 전자공학과 졸업(공학석사). 1996년 3월~현재 동대학원 전자공학과 박사과정. 주관심 분야는 Deep Submicron 소자 설계 및 시뮬레이션, 아날로그 회로 설계 등임

선, 아날로그 회로 설계 등임

崔 佑 榮(正會員)

1988년 5월 Massachusetts Institute of Technology 의 EECS Department B.S. 및 M.S. 취득. 1994년 5월 동대학원 Ph.D 취득. 1994년 10월부터 1995년 8월까지 일본 NTT 광전자 연구소 Post-Doctoral Fellow. 1995년부터 현재까지 연세대학교 전자공학과 조교수. 주관심 분야는 초고속 시스템 설계 및 해석과 이의 구현을 위한 소자 연구



張 民 佑(正會員)

1997년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학사). 1999년 2월 연세대학교 대학원 전자공학과 졸업(공학석사). 1999년 3월~현재 현대전자 메모리개발연구소 Device Physics Dept. 재직. 주관심 분야는

Device Test & Test Pattern Design 등임