

# SPICE를 이용한 광연결 시스템의 성능 분석

## (Analysis of Optical Interconnection Systems Using SPICE)

李承雨\*, 崔恩暢\*\*, 崔佑榮\*

(Seung-Woo Lee, Eun-Chang Choi, and Woo-Young Choi)

### 요 약

광연결 시스템의 SPICE 모델링과 이를 이용한 시스템 성능 분석에 관한 연구를 수행하였다. 먼저, 광소자의 등가회로 모델을 구현하고, 송·수신단의 회로를 설계하여 안정적인 SPICE 시뮬레이션 결과를 얻었다. SPICE 시뮬레이션 결과로 eye 다이어그램을 얻을 수 있고, 이를 토대로 BER을 계산할 수 있었다. 바이어스 조건에 따라서 turn-on 지연으로 인한 jitter 현상을 볼 수 있고, 전송율, BER, 송신단의 전력 소모, 바이어스 조건의 상호 관계를 통해 시스템의 최적화를 이룰 수 있다. 광연결 시스템의 SPICE를 이용한 최적화 방법은 Gigabit Ethernet, ATM 등의 응용 분야에서 LD 구동회로와 수신단의 회로 설계에 유용하게 쓰일 것으로 기대된다.

### Abstract

In this paper, an approach of modeling the optical interconnection system by SPICE simulation is presented. SPICE simulations with equivalent circuit models for optical devices are performed in a stable manner. From the simulated results, eye diagrams for receiver output and BER are obtained. Timing jitter due to laser diode turn-on delay effects can be found under various bias conditions. Using this approach, various system parameters such as bit rate, BER, dissipated transmitter power, and bias conditions can be optimized. It is expected that this approach will find useful applications such as Gigabit Ethernet and ATM.

### 서 론

최근 들어 전기적 연결(Electrical Interconnection)을 이용한 데이터 전송의 한계성을 극복하고자 고속의 광소자를 이용한 광연결(Optical Interconnection)이 각광

을 받고 있다. 광연결 시스템은 전기적 연결 시스템에 비해 낮은 crosstalk, 임피던스 정합(impedance matching)의 용이성, EMI에 대한 면역성, 광대역 특성 등의 장점을 갖고 있다. 특히, 광연결 시스템은 Gigabit Ethernet, ATM 등의 응용분야에서 고속 데이터 전송 시스템의 중요한 부분을 차지하고 있다. 광연결 시스템은 기본적으로 송·수신단의 전자 회로와 레이저 다이오드(LD), 광검출기(PD)의 광소자, 송·수신단을 연결하는 광섬유로 구성되어 있다. 이러한 시스템을 최적화하기 위해서는 무엇보다 전자 회로와 광소자의 두 가지를 동시에 안정적이고 효율적으로 시뮬레이션 할 수 있는 CAD(computer aided design) tool이 필요하다. 광연결 시스템이 전자 회로 시스템의 일부인 점을 감안하면 회로 측면에서 광소자를 모델링하는 것이 필요하다. 본 논문에서는 이러한 점을 고려하여 회로 설계

\* 正會員, 延世大學校 電氣컴퓨터工學科  
(Dept. of Electrical and Computer Eng., Yonsei University)

\*\* 正會員, 韓國電子通信研究院 고속스위치팀  
(Electronics and Telecommunications Research Institute High Speed Team)

※ 본 연구는 1997년 교육부 학술연구조성비에 의하여 수행되었음.

接受日字: 1999年8月2日, 수정완료일: 2000年1月19日

에서 널리 사용되는 SPICE를 이용하여 광소자를 모델링하고, 이를 이용한 시스템 성능 분석을 시도하였다.

먼저, 본 논문에서는 광소자의 등가회로 모델을 SPICE로 구현하고, LD의 구동회로 및 수신단의 회로를 설계한 후 시뮬레이션을 수행하였다. 광소자에 대한 SPICE 등가회로 모델은 이미 많은 논문에서 보고된 바 있다.<sup>[1-4]</sup> 이 중 LD와 PD에 대한 등가회로 모델은 각각 [3]과 [4]에서 발췌하였다. 전체 광연결 시스템을 회로로 구현한 후, SPICE 시뮬레이션을 통해 얻은 결과를 이용하여 광연결 시스템을 최적화할 수 있는 방법을 찾고자 한다. 시스템을 최적화하기 위한 파라미터로 전송율(bit rate), BER(bit error rate), LD의 바이어스 전류, 변조 전류(modulation current), 문턱 전류(threshold current) 등을 예로 들 수 있다. 예를 들면, 바이어스 값을 영으로 하는 영바이어스(zero-bias) 변조 기법의 경우 LD에 흐르는 평균 전류 값을 낮추므로 송신단의 전력 소모를 줄일 수 있다. 하지만, 바이어스 전류가 문턱 전류보다 낮을 경우 발생하는 LD의 turn-on 지연 현상에 의해 시스템의 BER이 높아져서 시스템의 성능 저하를 가져온다.<sup>[5]</sup> 본 논문에서는 SPICE를 이용한 시스템 최적화 방법을 전송율, BER, 송신단의 전력 소모, 바이어스 조건의 관계를 분석하는데 적용하였다.

본 논문의 구성은 다음과 같다. 제 II장은 LD와 PD의 등가 회로 모델에 대해서 설명한다. 제 III장에서는 광연결 시스템의 송·수신단에 주로 사용되는 LD 구동회로, 전달 임피던스 증폭기(transimpedance amplifier) 및 전압 증폭기(voltage amplifier)에 대해서 설계한다. 제 IV장에서는 전체 광연결 시스템을 주어진 전송율, BER, 바이어스 기법에 따라 시뮬레이션 한 결과를 이용하여 성능 분석한다. 마지막으로 제 V장에서는 제안한 SPICE 회로 모델을 이용한 성능 분석 방법의 특징과 앞으로의 응용 분야를 토대로 결론을 맺는다.

## II. 광소자의 회로 모델링

본 논문에서 대상으로 삼는 board-to-board 수준의 디지털 광연결 시스템의 기본 블록 다이어그램은 그림 1과 같다. 송신단의 경우 LD와 LD에 변조 및 바이어스 전류를 흘려주는 구동 회로로 구성되어 있다. 수신단의 경우 PD, 전달임피던스 증폭기, 전압 증폭기, decision 회로 등으로 구성되어 있다.

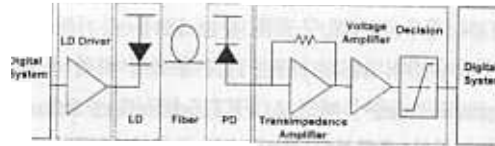


그림 1. 광연결 시스템의 블록 다이어그램  
Fig. 1. Block diagram of optical interconnection systems.

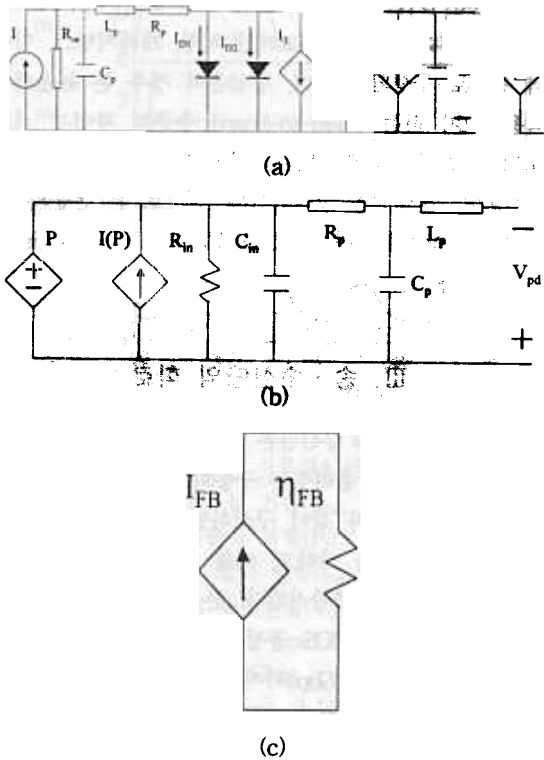


그림 2. 광소자의 등가회로 모델  
(a) LD의 등가회로 모델  
(b) PD의 등가회로 모델  
(c) 광섬유의 등가회로 모델

Fig. 2. Equivalent circuit model of optical devices.  
(a) Equivalent circuit model of LD.  
(b) Equivalent circuit model of PD.  
(c) Equivalent circuit model of optical devices.

먼저, LD의 등가 회로 모델은 캐리어와 광자의 다이내믹스(dynamics)를 나타내는 비율 방정식을 변형하여 구현할 수 있다. 본 연구에서는 [3]에서 보고한 비율 방정식과 등가회로 모델링 방법을 이용하였고, SCH 영역에 관한 식은 제외하였다. 구현된 LD의 등가회로 모델은 그림 2(a)와 같이 나타낼 수 있고,  $I_{D1}$ 과  $I_{D2}$ 는 다이

오드에 흐르는 전류를 나타낸다.

PD의 경우 MSM 구조를 갖는 PD를 등가회로 모델로 구현하였다. MSM PD는 PIN 구조에 비해 응답시간(response time)이 빠르고, FET(field-effect transistor) 공정과 제작 호환성이 용이하며, 구조가 간단하다는 장점을 갖고 있다. MSM PD의 등가회로 모델은 [4]에 보고된 등가회로 모델을 사용하였고, 그림 2(b)에 나타낸 바와 같다. 등가회로 모델은 PD로 입사된 광출력을 전류로 변환시키는 전압제어 전류원과 내부 저항, 캐패시턴스, 외부 기생 효과를 고려한 저항, 캐패시턴스, 인덕터 등으로 구성되어 있다. 광섬유의 경우 본 논문에서 적용하고자 하는 board-to-board 수준의 광연결 시스템이 단거리(<1km)로 제한된다는 것을 감안하여 coupling loss(~6dB)만을 고려하였다. 참고로 본 논문의 부록에 본 연구에 사용된 LD와 PD의 SPICE Netlist를 첨가하였다.

III 송·수신단의 회로

광연결 시스템의 송신단은 LD와 LD에 바이어스 전류와 변조 전류를 흘려주는 구동회로로 구성된다. 구동 회로는 그림 3(a)와 같이 구성하였다. 구동 회로는 입력으로 전압( $V_{in}$ )을 가하고, 이를 변조 전류( $I_{mod}$ )와 바이어스 전류( $I_b$ )로 변환시킨다. 본 논문에서 사용한 구동 회로는  $0.6\mu m$  CMOS 공정 파라미터를 이용하여 단일 전원 +5V에서 1Gbps까지 동작하도록 설계된 것이다. PMOS M1, M2와 NMOS M3, M8은 current mirror를 이룬다. 이는 각 MOS의 W/L비에 의해 전류원( $I_{bias}$ ),  $I_b$ ,  $I_{mod}$ 의 비율을 조절한다. 그러므로, 적은 양의 전류원으로 동작이 가능하여 전력 소모를 낮출 수 있다. 본 연구에서는 [6]에서 제안한 구동 회로를 변형하여 영바이어스 기법 이외에 다양한 바이어스 기법을 적용할 수 있도록 하였다. 또한, 시뮬레이션을 간단히 수행하기 위하여 APC(automatic power control), ATC(automatic temperature control) 등의 기능은 제외하였다.

수신단 회로는 일반적으로 전달임피던스 증폭기, 전압 증폭기, decision 회로 등으로 구성된다. PD에서 흘러나온 전류는 전달임피던스 증폭기에 의해 전압으로 변환된다. 이렇게 변환된 전압은 로직 '0'과 '1'로 검출되기에는 작은 전압 값이다. 그러므로, 충분한 전압 수준으로 높이기 위하여 전압 증폭기가 필요하다. 전압

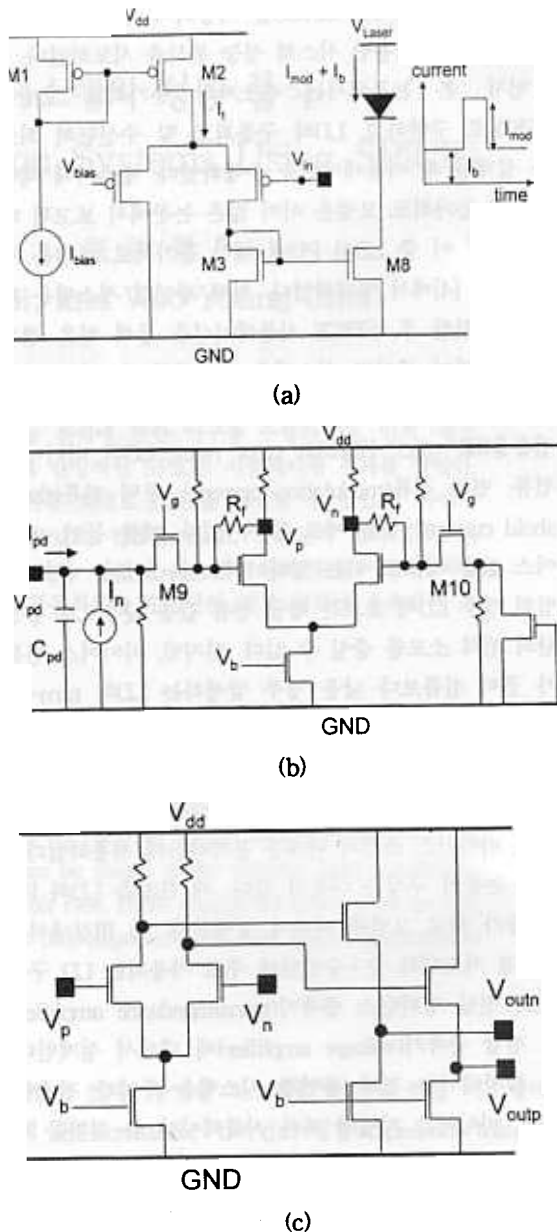


그림 3. 송·수신단의 회로구성도  
 (a) LD의 등가회로 모델  
 (b) 전달임피던스 증폭기의 회로도  
 (c) 전압 증폭기의 회로도

Fig. 3. Schematic diagram of transmitter and receiver.  
 (a) Schematic diagram of LD driver.  
 (b) Schematic diagram of transimpedance amplifier.  
 (c) Schematic diagram of voltage amplifier.

증폭기에 의해 증폭된 전압은 decision 회로를 통해 로직 '0' 또는 '1'로 결정된다. 전체 시스템을 빠르고, 간

단하게 분석하기 위해 AOC(automatic offset control), AGC(automatic gain control) 등의 기능을 수행하는 회로와 decision 회로는 제외하였다. 그림 3(b)와 (c)는 본 논문에서 설계한 전달임피던스 증폭기와 전압 증폭기를 나타낸다. 수신단의 증폭기는 차동 형태로 이루어져서 공급 전원과 공정에 의한 잡음 등을 줄일 수 있다. 전달임피던스 증폭기의 입력단은 common-gate 형태를 지닌다. 이는 동일한 동작 속도에서 common-source 형태에 비해 저잡음의 특징을 지닌다.<sup>[7]</sup> NMOS M9가 입력 캐패시턴스( $C_{pd}$ )와 케환 저항(feedback resistor)  $R_f$ 를 분리시켜 주는 역할을 하기 때문이다. 전압 증폭기는 일반적인 차동 증폭기와 level-shifter 역할을 하는 source follower로 이루어져 있다. 입력 캐패시턴스  $C_{pd}$ 는 PD의 캐패시턴스와 기생 캐패시턴스 값을 합한 것이다. 일반적으로 1.0~0.1pF 사이의 값을 갖는데, 케환저항  $R_f$ 와 더불어 수신단의 동작 주파수를 좌우한다. 본 연구에서는 설계한 전달 임피던스 증폭기가 1Gbps에서 동작이 가능하도록  $C_{pd}$ 의 최대 값(~0.5pF)을 정하였다. 전달임피던스 증폭기와 전압 증폭기는 0.6 $\mu$ m CMOS 공정 파라미터를 이용하여 단일 전원 +5V에서 동작하도록 설계하였다. SPICE 시뮬레이션을 수행한 결과 시스템의 동작 속도가 1Gbps일 때 전달임피던스 증폭기의 -3dB 대역폭은 775MHz이고, 전달임피던스 이득은 약 60dB $\Omega$ 이다. 전기 회로와 광소자의 기생 효과를 고려하기 위하여 LD와 구동 회로, LD와 광섬유, PD와 전달임피던스 증폭기 사이에 저항, 캐패시터, 인덕터로 이루어진 회로를 첨가하였다.

IV. 광연결 시스템의 성능 분석 및 비교

전체 광연결 시스템의 성능 분석을 위한 파라미터로는 전송율, BER, LD의 바이어스 전류, 변조 전류, 문턱 전류, LD의 slope efficiency, PD의 responsivity, 광섬유의 coupling loss 등이 있다. 본 논문에서는 이들 파라미터를 이용하여 BER과 송신단의 전력 소모의 관계를 알아보았다. SPICE 시뮬레이션 결과로 얻을 수 있는 BER과 eye 다이어그램을 이용하여 시스템의 성능을 분석하였다. 시뮬레이션을 위해 사용한 LD와 PD의 파라미터는 각각 [8]과 [4]에서 발췌한 것이다. 먼저, LD의 경우 시뮬레이션 결과 문턱 전류( $I_{th}$ )가 약 9.5mA, slope efficiency는 0.0825W/A이다. PD는 responsivity가 0.264A/W이다. 그림 4는 시스템이 1Gbps

에서 동작하고,  $2^7-1$  비트의 pseudorandom NRZ (non-return to zero) 신호를 입력으로 주었을 때 SPICE 시뮬레이션 결과의 일부이다. 각각의 파형은 (a) LD에 흐르는 전류( $I_{mod}, I_b$ ), (b) LD의 광출력( $P_f$ )과 (c) 수신단의 입력 전류( $I_{pd}$ ), (d) 수신단의 전압증폭기를 거쳐 나온 출력 전압( $V_{outp}$ )을 나타낸다.

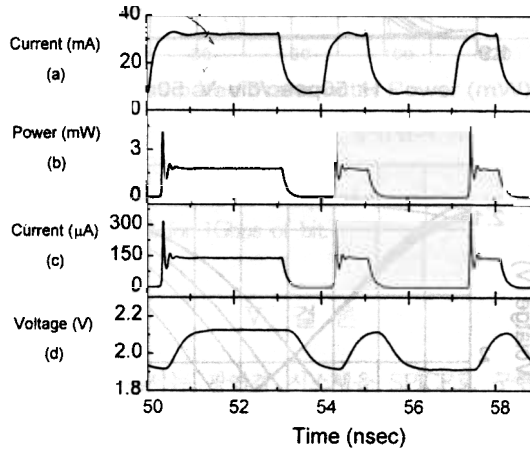
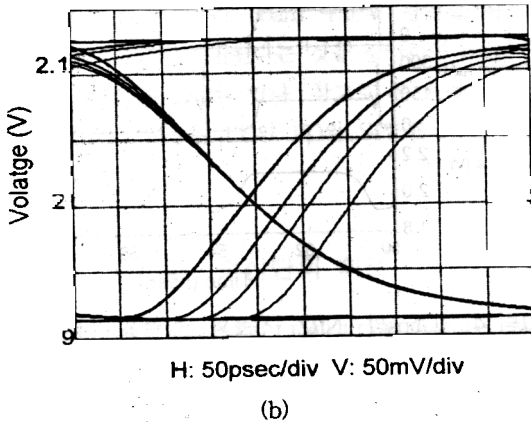
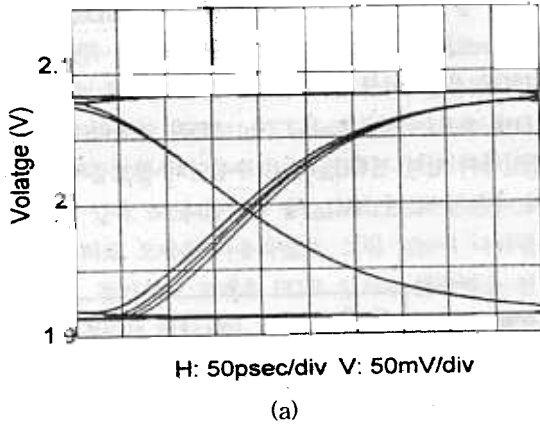


그림 4. 1Gbps의 NRZ 신호의 입력을 가했을 때 SPICE를 이용한 시뮬레이션 결과 파형  
(a) LD에 흐르는 전류( $I_{mod}, I_b$ )  
(b) LD의 광출력 파형( $P_f$ )  
(c) 수신단의 압력 전류( $I_{pd}$ )  
(d) 수신단의 출력전압( $V_{outp}$ )

Fig. 4. SPICE simulation results with applying NRZ signal inputs at 1Gbps operation :  
(a) injected current of LD( $I_{mod}, I_b$ )  
(b) optical output power of LD( $P_f$ )  
(c) input current of receiver( $I_{pd}$ )  
(d) output voltage of receiver( $V_{outp}$ )

그림 5는 수신단의 출력 전압 파형을 eye 다이어그램으로 표현한 것이다. 그림 5(a)는 바이어스 전류를 문턱 전류 이상(1.1 $I_{th}$ )로 가했을 때를 나타내고, 그림 5(b)는 바이어스 전류가 문턱 전류 이하(0.83 $I_{th}$ )일 때를 나타낸다. 문턱 전류 이하로 바이어스 전류를 흘려줄 경우 입력 데이터의 패턴에 의한 turn-on 지연으로 jitter가 심하게 발생하는 것을 볼 수 있다.

광소자를 이용한 시스템에서는 다양한 잡음이 존재한다. 광원인 LD의 RIN(relative intensity noise) 잡음, phase 잡음, PD의 shot 잡음과 수신단의 입력 잡음을 예로 들 수 있다. 특히, 수신단의 입력 잡음은 FET로 구성된 회로의 경우 케환저항 또는 부하저항(load



수신단 출력 파형의 eye 다이어그램  
 (a) 바이어스 전류가 문턱 전류 이상일 경우 (1.1I<sub>th</sub>)  
 (b) 바이어스 전류가 문턱 전류 이하일 경우 (0.83I<sub>th</sub>)  
 Eye diagrams for output waveform of receiver.  
 (a) The case of applying the bias current above the threshold current(1.1I<sub>th</sub>)  
 (b) The case of applying the bias current above the threshold current(0.83I<sub>th</sub>)

resistor)에 의한 열잡음(thermal noise), 누설전류에 의한 잡음, 1/f 잡음 등으로 이루어져 있다.<sup>[9]</sup> 본 연구에서는 이러한 시스템의 전체 잡음을 정확하게 SPICE로 모델링하는 것이 어려우므로 [10]에서 언급한 잡음 분산 값(I<sub>n</sub>=5.0μA)을 발체하여 BER 계산에 사용하였다. 또한, decision은 다음과 같은 방법에 의해 결정된다고 가정하였다. 먼저, SPICE 시뮬레이션의 결과로 얻은 eye 다이어그램의 파형이 교차하는 수평축 지점의 평균 시간을 구하고 그 값에서 반주기만큼 떨어진 지점을 decision 지점으로 잡는다. 이 decision 지점에서 BER

이 최소 값을 갖도록 문턱전압(threshold voltage)을 정하면 다음과 같이 구할 수 있다.<sup>[11]</sup>

$$P_e(t_o, y_o) = \frac{1}{N} \sum_{i=1}^{N/2} \left\{ V \left[ \frac{v_{1i}(t_o) - y_o V_o - V_{sen}}{\sigma_{1i}} \right] + V \left[ \frac{y_o V_o - v_{0i}(t_o) - V_{sen}}{\sigma_{0i}} \right] \right\} \quad (4)$$

그리고

$$V(x) = \frac{1}{\sqrt{2\pi}} \int_x^\infty e^{-z^2/2} dz \quad (5)$$

여기서, t<sub>o</sub>는 위에서 설명한 decision 지점이고, y<sub>o</sub>V<sub>o</sub>는 문턱전압 값이고, σ<sub>1i</sub>와 σ<sub>0i</sub>는 각각 로직 '1'과 '0'에 대한 수신단의 잡음 전압 값이고, N은 입력 비트 수이고, V<sub>sen</sub>은 decision 회로의 sensitivity이다. 송신단의 전력 소모(P<sub>tr</sub>)는 LD로 흐르는 전류에 의한 소모가 대부분을 차지한다고 가정하면, P<sub>tr</sub> ≈ 0.5V<sub>Laser</sub> × (I<sub>mod</sub> + 2I<sub>b</sub>)로 표현할 수 있고, V<sub>Laser</sub>는 +3.3V로 가정하였다.

광연결 시스템의 성능 분석을 위해 전송율이 1, 0.5, 0.25Gbps일 때 SPICE 시뮬레이션 결과를 이용하여 BER과 송신단의 전력 소모를 계산하였다. 전달임피던스 증폭기의 -3dB 대역폭은 전송율의 약 75%가 되도록 설계하였다. 시스템 분석에 중요한 파라미터와 시뮬레이션결과로 나온 값을 표 1에 나타냈다. 그림 6은 10<sup>-17</sup>의 BER을 만족하기 위해 필요한 송신단의 최소 전력과 전송율의 관계를 나타낸다. 그림에서 알 수 있듯이 전송율이 약 500Mbps 이상일 때는 영바이어스 기법(zero-bias)이 바이어스 전류를 문턱 전류 이상(above threshold, 1.1I<sub>th</sub>) 가하는 기법보다 더 많은 전력을 소모한다는 것을 알 수 있다. 예를 들어 전송율이 1Gbps일 때, 주어진 BER(~10<sup>-17</sup>)을 만족하기 위해 필요한 송신단의 최소 소모 전력을 비교하면 다음과 같다. 먼저, above threshold 상태에서 약 64.6mW이고, zero-bias 상태에서는 93.6mW임을 알 수 있다. 그러나, 250Mbps에서는 각각 59.5mW, 49.4mW이다. 이는 전송율이 높을수록 LD의 turn-on 시간이 시스템의 BER에 미치는 영향이 크다는 것을 알 수 있다. 그러므로, 필요한 BER을 얻기 위해서는 변조 전류를 증가시켜 LD의 turn-on 지연 시간을 줄여야 한다.

표 1. 광연결 시스템의 성능 분석에 중요한 파라미터와 SPICE 시뮬레이션 결과로 나온 값.

Table 1. Parameters and simulation resulted values for analysis of system performance.

파라미터 내용	파라미터 값	단위
LD의 slope efficiency	0.0825	W/A
PD의 responsivity	0.264	A/W
광섬유의 coupling loss( $\eta_{FB}$ )	6.0	dB
수신단의 전체 이득( $Z_t$ )	63.5(@ 1Gbps)	dB
	69.5(@ 0.5Gbps)	dB
	79.0(@ 0.25Gbps)	dB
수신단의 입력 캐패시턴스( $C_{pd}$ )	0.5	pF
decision 회로의 sensitivity ( $V_{sct}$ )	40	mV

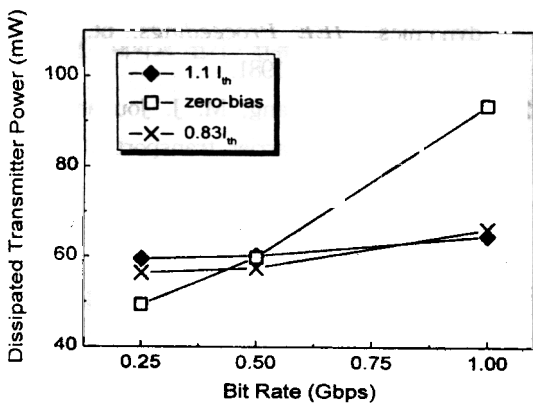


그림 6.  $10^{-17}$ 의 BER을 만족하기 위해 필요한 송신단의 전력 소모와 전송율의 관계

Fig. 6. Dependence of dissipated transmitter power on bit rate for  $BER=10^{-17}$ .

그림 7은 전송 속도가 1Gbps 일 때 BER과 송신단 전력 소모의 관계를 나타낸다. 그림에서 알 수 있듯이 동작 속도가 1Gbps일 때는 영바이어스 기법이 문턱 전류 이상(1.1Ith) 또는 그 부근(0.83Ith)에서 바이어스를 잡는 기법보다 송신단의 전력 소모가 크다는 것을 알 수 있다.

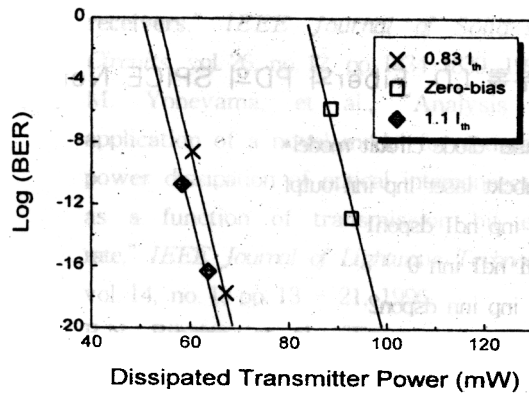


그림 7. 전송율이 1Gbps일 때 송신단의 전력 소모와 BER의 관계

Fig. 7. Dependence of dissipated transmitter power on BER for 1Gbps of bit.

### V. 결론

본 논문에서는 광연결 시스템을 SPICE로 구현하여 시뮬레이션한 후 성능을 분석하고, 최적화하는 방법을 시도하였다. 먼저, 광소자인 LD와 PD의 등가회로 모델을 제시하였고, LD 구동 회로와 전달임피던스 증폭기, 전압 증폭기를 설계하였다. 이렇게 구성된 시스템은 안정적인 SPICE 시뮬레이션 결과를 얻을 수 있었고, 이를 이용하여 시스템을 최적화하는 방법을 제시하였다. 즉, 그 방법으로 광소자의 정확한 파라미터를 갖고 광소자의 회로 모델을 구성한 후 설계된 LD 구동 회로, 전달임피던스 증폭기, 전압 증폭기와 함께 SPICE 시뮬레이션을 수행한다. 그 결과로 얻은 eye 다이어그램을 이용하여 수식적으로 BER을 계산하였다. 이는 주어진 전송율에 따라서 위의 과정을 반복 수행하면 BER에 대해 최적의 바이어스 조건과 최소 송신단의 소모 전력을 구할 수 있다. 예를 들면, 본 연구에서는 주어진 조건에 대해 약 500Mbps 이상에서는 영바이어스 기법이 더 많은 소모 전력을 나타내었다. 이는 전송율에 따라 적합한 바이어스 조건을 선택할 수 있는 기준을 제시한 것이다. 물론 이와 같은 결과는 광연결에 사용된 광소자의 특성에 따라 달라질 수 있으나, 정확한 SPICE 파라미터가 주어진다면 광소자 특성에 상관없이 광연결 시스템 성능 분석이 가능하다. 이러한 결과를 토대로 본 연구에서 시도한 SPICE를 이용한 시스템 최적화 방법은 Gigabit Ethernet, ATM 등의 응용분야에서 유용하게 쓰일 것으로 기대된다.

## 부록 LD, Fiber와 PD의 SPICE Netlist

```

*laser diode circuit model*
.subckt laser inp inn outpf
d1 inp nd1 dspon1
vd1 nd1 inn 0
d2 inp inn dspon2
gi3 inp inn cur='go*pra*(2*taun*(vd1) + q*av*
(ne-no))*
+ (1-epsilon*pra*v(outpf))*v(outpf)'
gi4 0 m cur='gamma*taup*go*(2*taun*(vd1)/(q*av) -
+ ne - no)*(1 - epsilon*pra*v(outpf))*(v(m) + sigma)'
gi5 0 m cur='gamma*beta*ne*taup/(taun*(v(m)+sigma))*
+ (2*taun*(vd1)/(q*av*ne) + 1) - sigma'
cph 0 m 2e-12
rph 0 m 1.0
eout outpf 0 vol='(v(m) + sigma)*(v(m) + sigma)'
.ends

*fiber circuit model*
gfiber gnd nfb cur='coupleloss*v(outpf,gnd)'
vdumpdin nfb gnd 0

*msm pd circuit modeling*
.subckt msmpd n_jph gnd n_out
vpdbias n_bias 0 kvpdbias
*optical input is converted to photo-generated currents*
vdumpd1 n_jph gnd 0
*current value at flat-band voltage*
gi_o gnd n_i_o cur='i(vdumpd1)/(exp(v_fb*v_fb/(n*
kt))-1)'
vdumpd2 n_i_o gnd 0
*below flatband voltage*
gdc_1 gnd n_1 cur='i(vdumpd2)*(exp(v(n_bias,gnd))*
+ (2.0*v_fb - v(n_bias, gnd))/(n*kt)) -1) + i(vdumpd1)*
+ a_const*exp(-b_const/v(n_bias,gnd))'
*above flatband voltage*
gdc_2 gnd n_2 cur='i(vdumpd1)*
+ (1.0+a_const*exp(-b_const/v(n_bias,gnd)))'
*the switch,*
gswitch1 n_1 gnd VCR PWL(1) n_bias 0 v_fb1, 1.0

```

```

v_fb2, 0
gswitch2 n_2 gnd VCR PWL(1) n_bias 0 v_fb1, 0
v_fb2, 1.0
gcomp gnd out cur='1.0*v(n_1,gnd)+1.0*v(n_2,gnd)'
vdumpd3 out gnd 0
gphoto gnd n_photo cur='1.0*i(vdumpd3)'
*intrinsic elements value*
rin n_photo gnd k_rin
cin n_photo gnd k_cin
*parasitic elements value*
rp n_photo n_pl k_rp
cp n_pl gnd k_cp
lp n_pl n_out k_lp
.ends

```

## 참고 문헌

- [1] R. S. Tucker, "Large-signal circuit model for simulation of injection-laser modulation dynamics," *IEE Proceedings*, pt. I, vol. 128, pp. 180-184, 1981.
- [2] M. F. Lu, C. Juang, M. J. Jou and B. J. Lee, "Study of carrier transport effects on quantum well lasers using a SPICE simulator," *IEE Proc.-optoelectronics*, vol. 142, no. 5, pp. 237-240, 1995.
- [3] 이승우, 김대욱, 최우영, "양자우물 레이저 다이오드의 등가회로 모델," *전자공학논문지*, 제35권, D편, 제1호, pp. 49 - 58, 1998년
- [4] A. Xiang, et al., "Modeling of InGaAs MSM photodetector for circuit-level simulation," *IEEE Journal of Lightwave Technology*, vol. 14, no. 5, pp. 716 -723, 1996.
- [5] D.M. Curter and K.Y. Lau, "Ultralow power optical interconnect with zero-biased, ultralow threshold laser-how low a threshold is low enough?" *IEEE Photonics Technology Letters*, vol. 7, no. 1, pp. 4 - 6, 1995.
- [6] L.P. Chen, et al., "A low-power 1-Gb/s CMOS laser driver for a zero-bias modulated optical transmitter," *IEEE Photonics*

- Technology Letters*, vol. 9, no. 7, pp. 997-999, 1997.
- [7] S.B Baker and C. Toumazou, "Low noise CMOS common gate optical preamplifier using active feedback," *Electronics Letters*, vol. 34, no. 23, pp. 2235 - 2237, 1998.
- [8] H.J.A da Silva, et al., "Sensitivity degradation with laser wavelength chirp for direct-detection optical receivers," *IEE Proceedings*, vol. 136, pt. J, no. 4, pp. 209 - 218, 1989.
- [9] N. Scheinberg, et al., "Monolithic GaAs transimpedance amplifier for fiber-optic receivers," *IEEE Journal of Solid-state Circuits*, vol. 26, no. 12, pp. 1834-1839, 1991.
- [10] M. Yoneyama, et al., "Analysis and application of a novel model for estimating power dissipation of optical interconnections as a function of transmission bit error rate," *IEEE Journal of Lightwave Technology*, vol. 14, no. 1, pp. 13 - 21, 1996.
- [11] R.N. Ribeiro, et al., "Error-rate patterns for the modeling of optically amplified transmission systems," *IEEE Journal of Selected Areas in Communications*, vol. 15, no. 4, pp. 707 - 716, 1997.

저 자 소 개

李 承 雨(正會員)第 35卷 D編 第 1號 參照  
현재 연세대학교 전기·컴퓨터공학과 박사과정

崔 佑 榮(正會員)第 36卷 D編 第 5號 參照  
현재 연세대학교 전기·컴퓨터공학과 조교수



崔 恩 暢(正會員)

1966년 10월 19일 생. 1990년 2월  
경북대학교 전자공학과 졸업(학사).  
1992년 2월 경북대학교 대학원 졸  
업(석사). 1992.2~1993.5 한국원자력  
연구소 근무. 1993.5~현재 한국전  
자통신연구원 근무 (현) 교환전송연  
구소 교환기술연구부 선임연구원 주관심분야는 고속신  
호 설계 및 인터커넥션, 동기, ATM, ASIC설계 등임