

논문 2010-47SD-7-6

# 4채널 3.2/6.4 Gbps 이중 전송률 송신기

## (4-Channel 3.2/6.4-Gbps Dual-rate Transmitter)

김 두 호\*, 최 우 영\*\*

(Duho Kim and Woo-young Choi)

### 요 약

영상데이터의 용량이 늘어남에 따라, 시리얼 링크의 전송속도는 점점 빨라지고 있다. 따라서 기존에 제시되었던 상용화규격도 계속해서 전송속도를 향상시킨 차기 버전을 제안하고 있다. 차기 버전은 기존 버전과 호환성을 갖춰야 하므로 두 가지 이상의 전송속도로 동작할 수 있는 송수신기 회로가 필요하다. 본 논문에서는 4개의 채널을 가지며, 3.2 Gb/s 또는 6.4 Gb/s의 전송속도로 동작하는 송신기를 설계하였다. 이 송신기는 1, 1.5, 2, 3배의 pre-emphasis를 선택적으로 사용할 수 있으며, 출력 스윙을 200, 300, 400, 600 mVdiff,p2p로 선택할 수 있다. 설계된 송신기는 0.13 $\mu$ m CMOS 공정을 이용하여 제작되었으며, COB 패키징을 이용하여 PCB에 실장되어 검증되었다.

### Abstract

As the speed of A/V streaming, the transmission-speed requirement of serial link is continuously increasing. Consequently, commercial standards, which are released previously, are increasing transmission speed in their newly-updated versions. The flexibility between previous and updated versions is very important requirement, therefore, the transceiver which can operate at more than one data rate is important market demand. This paper demonstrates 4-channel 3.2/ 6.4 Gbps transmitter, which is capable of selecting 1, 1.5, 2, and 3 times of pre-emphasis and 200, 300, 400, and 600 mVdiff,p2p of output swing. The prototype chip was fabricated using 0.13 $\mu$ m CMOS process. Its performances are verified on PCB using COB packaging.

**Keywords :** 송신기, 이중전송률, 시리얼 링크, pre-emphasis, serializer

## I. 서 론

영상데이터의 용량이 늘어남에 따라, 송수신기 회로에 요구되는 전송속도는 더욱 빨라졌으며, 이에 따라 여러 가지 문제가 발생하게 되었다. 기존의 전송방식은 낮은 속도에서 많은 데이터를 보내기 위해서, 여러 개의 채널을 사용하는 병렬전송이었다. 하지만 전송속도

를 늘리기 위해 채널의 수가 점점 늘어남에 따라 입출력 핀이 많아져 도선과 핀의 배치가 문제되기 시작하였다. 게다가 병렬로 고속의 데이터를 보내게 되면, 각 채널 간의 특성이 완전히 일치하기는 어려우므로 필연적으로 병렬 데이터 간의 시간적 어긋남이 발생하여 속도의 한계에 부딪히게 되었다.

이를 해결하기 위하여 데이터를 전송할 때, 시리얼링크 방식을 사용하기 시작하였다<sup>[1~3]</sup>. 시리얼 링크에서는, 병렬로 들어오는 여러 비트의 데이터를 한 비트로 직렬화(serialize)하여 송신한 후, 수신단에서 다시 이를 여러 비트로 병렬화(deserialize)하여 출력한다. 따라서 하나의 병렬 데이터 간의 시간적 어긋남은 발생하지 않는다.

이러한 시리얼 링크에 요구되는 전송속도 또한 점점

\* 학생회원, \*\* 정회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic Engineering, Yonsei University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [10034834, 차세대 초고속 테스터를 위한 ASIC Chip 개발]

접수일자: 2010년4월8일, 수정완료일: 2010년7월1일

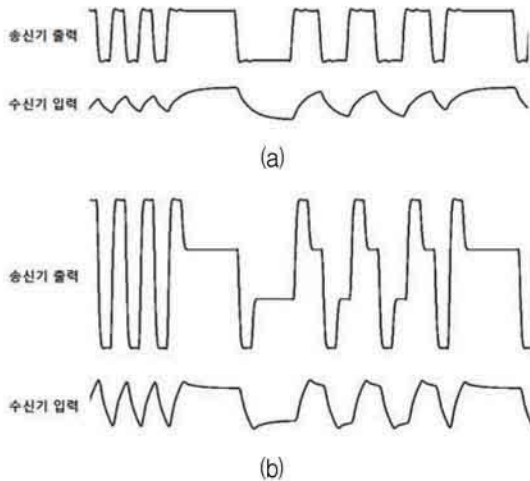


그림 1. (a) pre-emphasis를 사용하지 않는 경우와 (b) pre-emphasis를 사용하는 경우의 송신기 출력과 수신기 입력

Fig. 1. Transmitter output and receiver input. (a) without pre-emphasis (b) with pre-emphasis

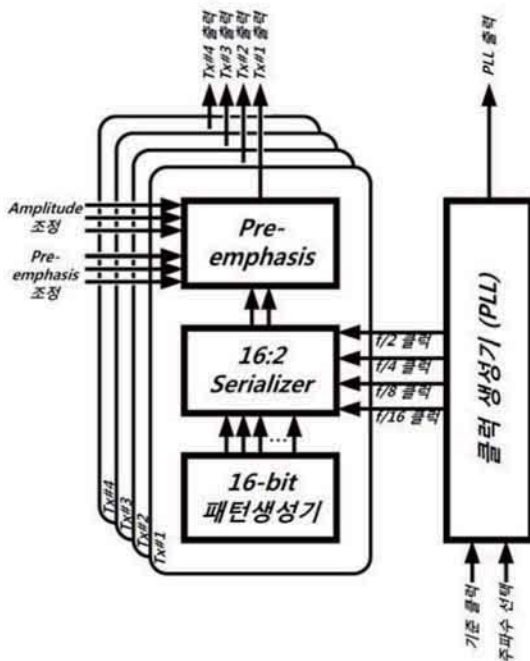


그림 2. 송신기의 블록도  
Fig. 2. Block diagram of transmitter.

올라가고 있으며, 이에 따라, SATA나 PCI-express, Displayport와 같이 기존에 제시되었던 상용화규격도 계속해서 전송속도를 향상시킨 차기 버전을 제안하고 있다. 하지만, 차기 버전이 시장에 진입하기 위해서는, 이전 버전과의 호환성이 요구되므로, 두 가지 이상의 전송속도로 동작할 수 있는 송수신기 회로가 필요하다.

시리얼링크의 전송속도가 향상됨에 따라, 채널에 의한 고주파 감쇄가 커져, 링크의 성능을 떨어뜨리는 요

인이 된다. 따라서 수신기는 고주파 감쇄를 보상하는 등화기를 사용하며, 송신기는 신호의 고주파 성분을 증폭하여 출력하는 pre-emphasis 방식의 출력 버퍼를 사용한다. 그림 1은 Pre-emphasis의 개념도를 보이고 있다. Pre-emphasis를 사용하지 않는 경우, 그림 1(a)와 같이 수신기 입력은 ISI에 의해 왜곡된 신호를 얻게 된다. 그림 1(b)는 Pre-emphasis방식을 적용한 것으로, 신호의 천이시에만 출력 스윙이 커지는 것을 볼 수 있다. 결과적으로 그림과 같이 ISI에 의한 왜곡을 줄일 수 있다.

본 논문에서는 0.13 $\mu$ m공정을 이용하여, 3.2 Gb/s와 6.4 Gb/s의 두 가지 전송속도에서 동작할 수 있는 4채널의 송신기를 보인다. 이 송신기는 1, 1.5, 2, 3배의 pre-emphasis를 선택적으로 사용할 수 있으며, 출력스윙을 200, 300, 400, 600 mVdiff,p2p로 선택할 수 있다. II장에서는 송신기의 구현에 대해 서술하였으며, III장에서는 실험결과를 보인다.

## II. 본 론

### 1. 4채널 송신기의 전체 구조

설계된 송신기의 블록도는 그림2와 같다. 4개의 송신기 회로는 각각 병렬 패턴 생성기, 16:2 serializer, pre-emphasis회로로 구성되며, 3.2GHz로 동작하는 하나의 클럭생성기(PLL)를 공유한다. 클럭생성기는 각 송신기에 f/16, f/8, f/4, f/2 주파수의 클럭을 공급하는데, 외부의 조정신호에 따라 f를 3.2 또는 6.4 GHz로 선택한다. 병렬 패턴 생성기에서는 출력 데이터의 f/16의 전송속도를 갖는 16비트의 랜덤 데이터를 생성한다. 16:2 serializer에서는 f/16, f/8, f/4의 주파수를 갖는 클럭을 이용하여 16비트의 랜덤 데이터를 2비트로 직렬화하고, pre-emphasis 회로에 전달한다. Pre-emphasis 회로에서는 f/2의 주파수를 갖는 클럭을 이용하여 2비트의 랜덤 데이터를 1비트로 직렬화하여 출력하는데, 외부의 조정신호에 따라 출력의 크기와 pre-emphasis 정도를 선택하게 된다.

### 2. 송신기 블록의 설계

#### (1) Pre-emphasis 회로

Pre-emphasis회로는, 데이터를 지연시킨 후에 지연된 데이터와 현재 데이터의 차를 출력하는 방식으로 구현



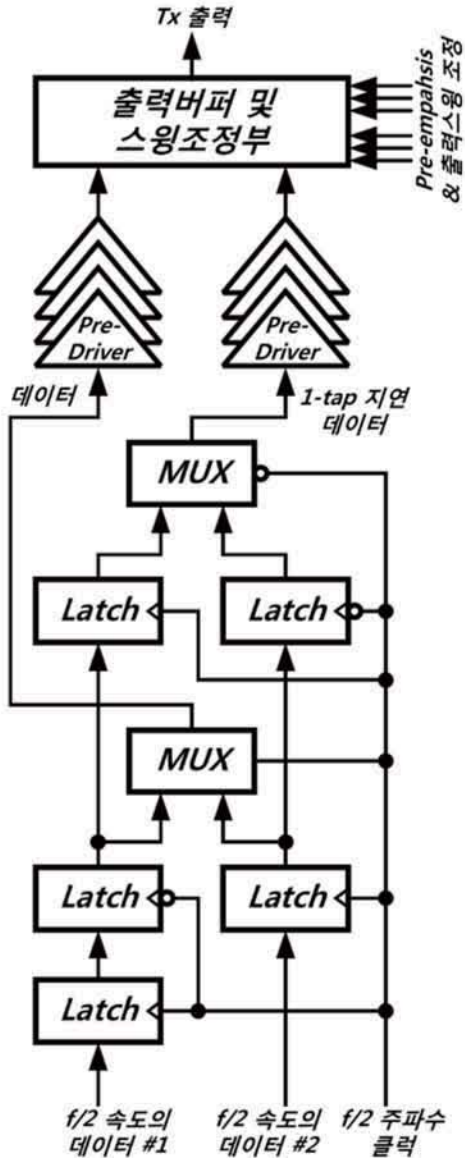


그림 3. Pre-emphasis 회로의 블록도  
Fig. 3. Block diagram of pre-emphasis circuit.

되며, 지연된 데이터 신호의 크기와 현재 데이터 신호 크기의 비율이 pre-emphasis의 정도를 결정하게 된다<sup>[2~3]</sup>. 지연시키는 tap의 개수가 많을수록 ISI를 더 정확하게 상쇄시켜줄 수 있으나 전력소모가 늘어나므로, 본 설계에서는 1-tap 지연을 사용하도록 설계하였다. Pre-emphasis 회로는 그림 3과 같이 5개의 latch와 2개의 2:1 mux를 이용하여 2비트 데이터를 1비트로 직렬화 하면서, 1-tap지연을 수행한다. 그림 4는 2:1 mux의 회로도이며, 입력 bp, bn을 출력에 연결하여 latch를 구현할 수 있다.

2:1 mux는 출력버퍼에 비해 매우 작은 구동능력을 갖도록 설계하였으므로, 50Ω 매칭을 위한 pre-emphasis

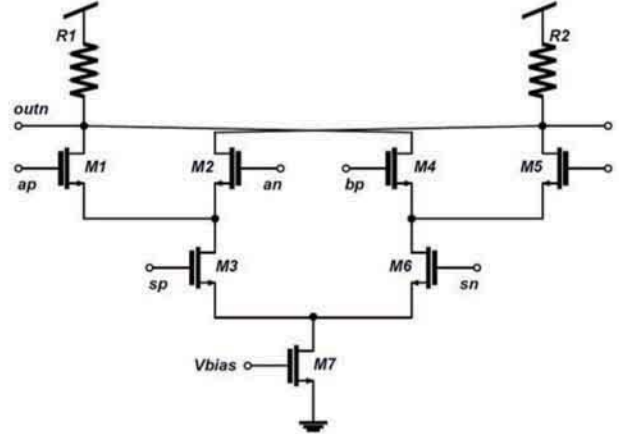


그림 4. 2:1 mux의 회로도  
Fig. 4. Schematic of 2:1 mux.

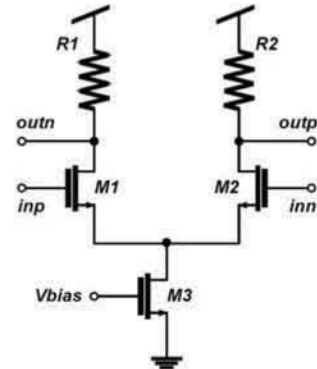


그림 5. 차동증폭기의 회로도  
Fig. 5. Schematic of differential amplifier.

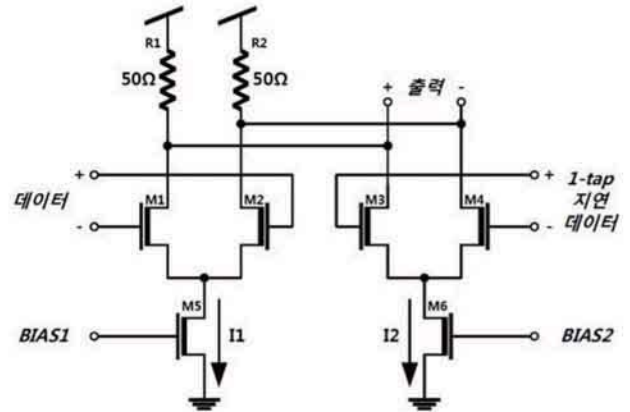


그림 6. Pre-emphasis 출력버퍼의 회로도  
Fig. 6. Schematic of pre-emphasis outputbuffer.

출력버퍼를 직접 구동할 수 없다. 따라서 그림 3과 같이, 4단의 pre-driver를 추가하였다. Pre-driver에 사용된 차동증폭기의 회로도는 그림 5와 같으며, 전류밀도를 최대화하는 방법을 이용하여 동작속도를 최적화하였다<sup>[4]</sup>. 이 차동증폭기는 클럭 트리의 구현에도 이용되었다.

1-tap 지연된 데이터 신호와 현재 데이터신호의 차를

구현하기 위하여 그림 6과 같은 출력버퍼를 설계하였다. M1, M2와 M3, M4는 각각 데이터신호에 대한 차동 입력 트랜지스터쌍이며, 각 쌍에 흐르는 전류  $I_1, I_2$ 는 BIAS1과 BIAS2에 의해 조정된다. 이로 인해 얻어지는 전류의 차는 출력저항 R1, R2에 의해 전압으로 바뀌어 출력된다. 임피던스 매칭을 위해 R1, R2의 값은 50Ω을 사용하였다.

이러한 회로에 현재 신호  $V_{in1}$ 과 지연된 신호  $V_{in2}$ 가 입력되고, 각각의 전류 비율을 a, b라고 하면, 출력  $V_{out}$ 은 다음과 같은 수식으로 결정된다.

$$V_{out}(t) = a \times V_{in1}(t) - b \times V_{in2}(t) \quad (1)$$

- ①  $V_{in1} = 1$  and  $V_{in2} = 1$ ,  $V_{out} = (a-b)$
- ②  $V_{in1} = 1$  and  $V_{in2} = -1$ ,  $V_{out} = (a+b)$
- ③  $V_{in1} = -1$  and  $V_{in2} = 1$ ,  $V_{out} = -(a+b)$
- ④  $V_{in1} = -1$  and  $V_{in2} = -1$ ,  $V_{out} = -(a-b)$

이 수식에 의하면, 데이터가 천이할 때( $V_{in1}$ 과  $V_{in2}$ 가 부호가 반대인 ②, ③)에는 스윙의 크기가  $(a+b)$ 이다. 데이터가 천이하지 않을 때( $V_{in1}$ 과  $V_{in2}$ 가 부호가 같은 ①, ④)에는 스윙의 크기가  $(a-b)$ 이다. 곧, 기본적인 출력 스윙은  $(a-b)$ 로 나타나며, 데이터 천이시에는  $(a+b)$ 의 출력 스윙을 갖게 된다. 따라서 pre-emphasis 비율은  $(a+b)/(a-b)$ 로 결정되며, 이 때, 출력 스윙은  $(a-b)$ 이다. 출력 스윙을 유지하면서 정해진 pre-emphasis 정도를 조정할 수 있도록, 그림 7과 같은 회로를 설계하였다.

M1-M9는 기본적인 출력 스윙을 조정하기 위한 트랜지스터들이다. M1-M4는 기준전압인 BIAS를 이용하여 전류를 생성하는데, M5-M8의 트랜지스터를 스위치로 이용하여 M9에 흐르는 전류의 총합을 결정한다. M1-M4의 width 비율은 2:1:1:2이며, 기본적으로 출력 스윙을 200mV로 하기 위해, M5는 항상 켜져 있다. amp1-3이 하나씩 켜질 때마다 출력 스윙은 300, 400, 600mV로 증가한다. M9는 diode 형태로 연결되어 있으므로, 전류복사회로로 동작하며, M10-16으로 전류를 복사한다. M10-13의 width 비율은 4:1:1:2이며, M14-16의 width비율은 1:1:2이다. M20은 pre-emphasis를 사용하지 않는 경우에도 출력 스윙을 유지하도록 항상 켜져 있으며, con1-3이 하나씩 켜질 때마다 1.5, 2, 3배의

pre-emphasis를 사용하게 된다.

(2) 16:2 Serializer

그림 8은 16:2 serializer의 블록도이다. 본 설계에서는 고속의 동작을 목표로 하고 있으므로, 가장 간단한 tree 구조를 차용하였으며, 각 셀은 그림 4의 CML형태로 구현하였다. 입력으로 들어오는 16 비트의 데이터는 총 3단을 거쳐 2 비트로 직렬화되며, 각 단은 2:1 serializer들로 구성되어 있다. 2:1 serializer는 2개의 latch와 1개의 2:1 mux로 구현되는 double-edge-triggered flip-flop<sup>[5]</sup>의 앞에 반주기 딜레이를 맞춰주기 위한 latch를 추가한 형태이다. 이 flip-flop에서는 두 latch가 반전된 클럭을 사용하므로, 번갈아가며 데이터 유지 상태를 나타낸다. 따라서 2:1 mux를 이용하여 데이터 유지 상태인 latch의 출력을 클럭에 따라 번갈아

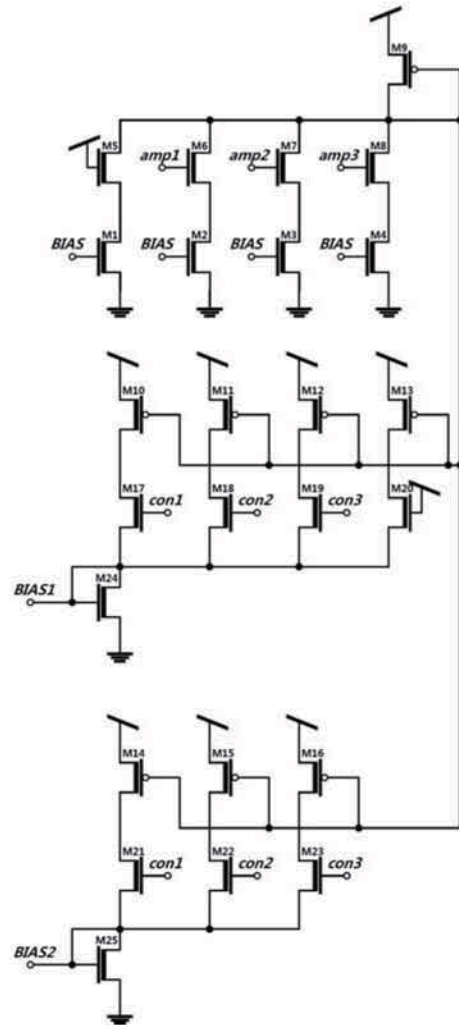


그림 7. Pre-emphasis 조정회로의 회로도  
Fig. 7. Schematic of pre-emphasis control circuit.



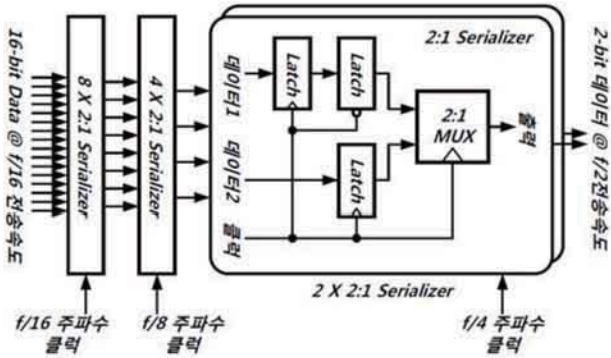


그림 8. 16:2 Serializer의 블록도  
Fig. 8. Block diagram of 16:2 serializer.

가며 내보내면, 입력데이터 2배의 속도로 직렬화가 수행된다.

(3) 클럭생성기 (PLL)

그림 9는 클럭생성기의 블록도를 보이고 있다. 클럭생성기는 위상동기루프(PLL)의 구조이며, 1/48의 분주율을 사용한다. 4개의 2:1 mux는, 외부의 주파수 선택에 따라, 주어진 클럭 또는 1/2 주파수의 클럭을 출력함으로써, 송신기가 1/2의 속도로 동작할 수 있도록 한다.

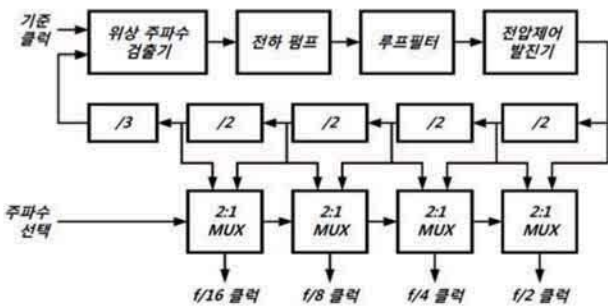


그림 9. 클럭생성기의 블록도  
Fig. 9. Block diagram of clock generator.

III. 실험

설계된 칩은 0.13 $\mu$ m CMOS 표준공정을 이용하여 제작되었다. 제작된 칩의 사진은 그림 10과 같다. 각 송신기의 크기는 300 $\times$ 300 $\mu$ m<sup>2</sup>이며, PLL의 크기는 300 $\times$ 400 $\mu$ m<sup>2</sup>이다.

제작된 칩은 COB(circuit on board)를 통해 보드에 실장되었으며, 4채널 송신기와 PLL(출력버퍼 포함)이 1.2V전원에서 최대 600mW의 전류를 소모한다. PLL은 3.2GHz에서 동기하며, 7.573ps<sub>rms</sub>의 jitter를 갖는다.

그림 11은 출력버퍼의 jitter를 측정하기 위해, 최소의

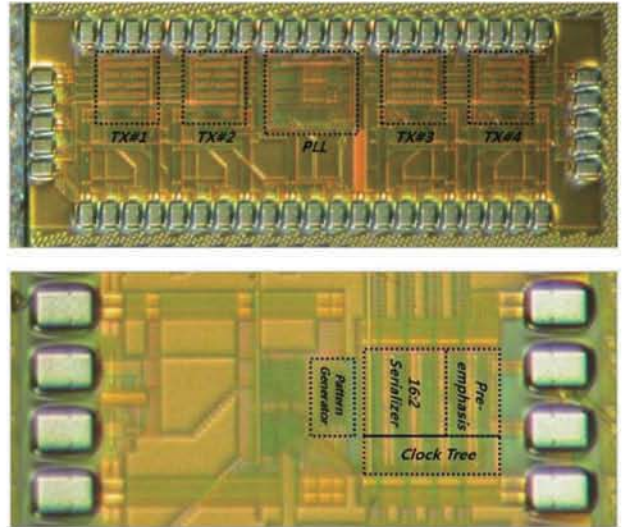
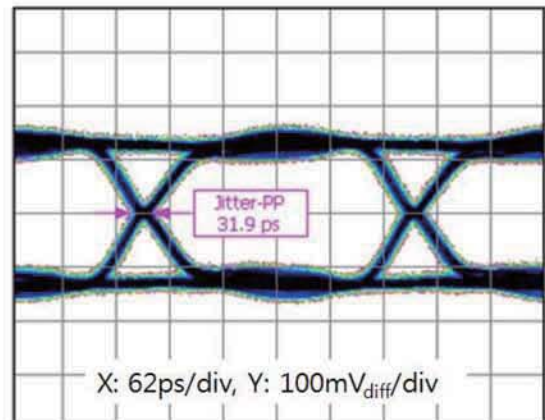
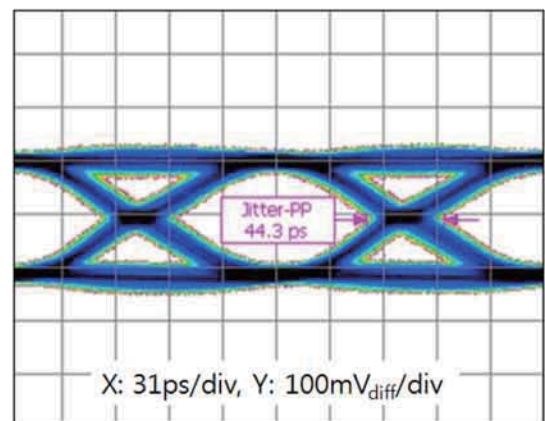


그림 10. 제작된 칩의 사진  
Fig. 10. Die photograph of fabricated chip.



(a)



(b)

그림 11. 출력버퍼의 jitter측정: (a) 3.2Gb/s (b) 6.4Gb/s  
Fig. 11. Jitter measurement of output buffer.  
(a) 3.2Gb/s (b) 6.4Gb/s

출력 스윙 (200mV<sub>diff,p2p</sub>)일 때 Pre-emphasis를 사용하지 않은 상태에서 각각 3.2Gb/s와 6.4Gb/s 출력의 아이

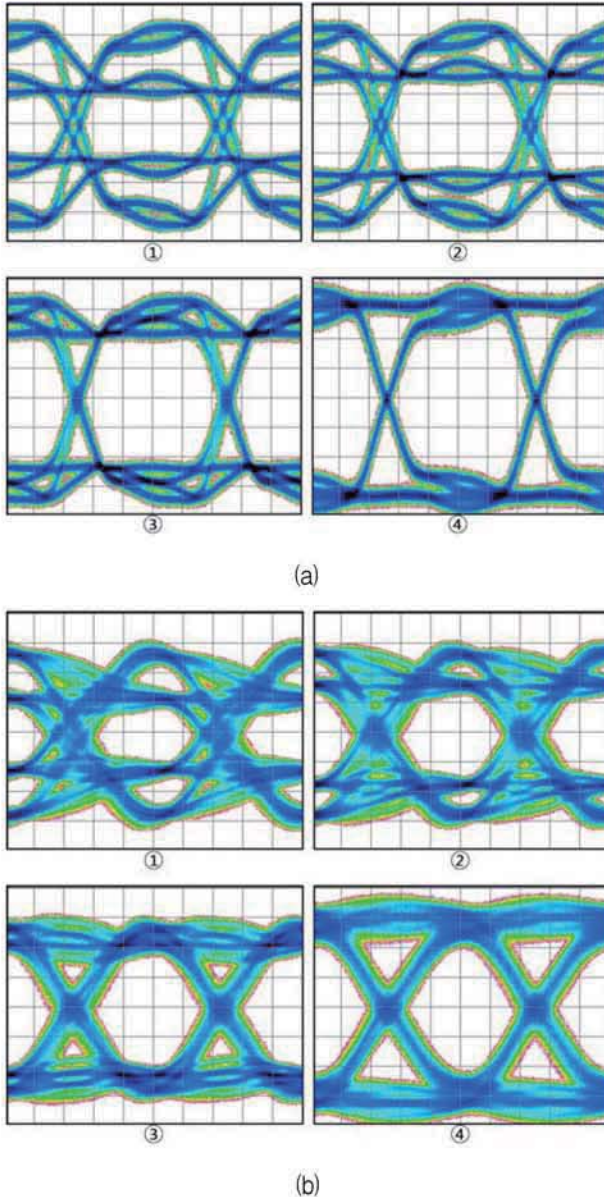


그림 12. Pre-emphasis 측정; (a) 3.2Gb/s (b) 6.4Gb/s  
 Fig. 12. Measurement of pre-emphasis;  
 (a) 3.2Gb/s (b) 6.4Gb/s (Y: 100mV<sub>diff,p2p</sub>/div).

다이어그램이며, 각각 31.9<sub>ps,p2p</sub>와 44.3<sub>ps,p2p</sub>의 jitter를 보였다.

그림 12는 pre-emphasis와 출력스wing을 조정한 측정 결과이다. 출력버퍼는 최대 600mV<sub>diff,p2p</sub>를 사용할 수 있도록 설계되었으므로, pre-emphasis된 최대 출력스wing이 600mV<sub>diff,p2p</sub>인 4가지 경우에 대하여 측정하였으며, 이는 다음과 같다.

- ① Pre-emphasis: 3배 / 출력스wing: 200mV<sub>diff,p2p</sub>
- ② Pre-emphasis: 2배 / 출력스wing: 300mV<sub>diff,p2p</sub>

표 1. 제작된 회로의 성능

Table 1. Performance of fabricated chip.

공정	삼성 0.13 $\mu\text{m}$ CMOS
전송속도	3.2 / 6.4 Gbps
전원	1.2 V
소모전력	600mW (4ch 송신기+클럭생성기)
Pre-emphasis 조정	1 / 1.5 / 2 / 3 배
출력스wing 조정	200 / 300 / 400 / 600 mV <sub>diff,p2p</sub>
클럭생성기 jitter	7.573 ps <sub>rms</sub>
면적	300 $\times$ 400 $\mu\text{m}^2$ (송신기 1채널) 300 $\times$ 300 $\mu\text{m}^2$ (클럭생성기) 2500 $\times$ 900 $\mu\text{m}^2$ (전체 패드 포함)
송신기 jitter	31.9 ps <sub>p2p</sub> (3.2Gb/s) 44.3 ps <sub>p2p</sub> (6.4Gb/s)
클럭생성기 jitter	7.573 ps <sub>rms</sub>

표 2. 기존 연구결과와의 성능 비교

Table 2. Performance comparison with other works.

	참고문헌 [6]	참고문헌 [7]	본 논문
공정	0.13 $\mu\text{m}$ CMOS	0.11 $\mu\text{m}$ CMOS	0.13 $\mu\text{m}$ CMOS
전송속도 [Gb/s]	4.8 ~ 6.4	5 ~ 6.4	3.2 & 6.4
소모 전력 (@6.4Gb/s)	110mW/ch	150mW/ch	150mW/ch
Pre-emphasis	4-tap	5-tap	2-tap
면적 [ $\mu\text{m}^2$ ]	200 $\times$ 1200	110 $\times$ 2800	300 $\times$ 400

- ③ Pre-emphasis: 1.5배 / 출력스wing: 400mV<sub>diff,p2p</sub>
- ④ Pre-emphasis: 없음 / 출력스wing: 600mV<sub>diff,p2p</sub>

천이시에 데이터에 출렁이는 모습이 보이는데, 이것은 COB패키징에 의한 왜곡으로 보인다. 3.2Gb/s와 6.4Gb/s에서 잘 동작하는 것을 알 수 있다. 제작된 회로의 성능을 표 1에 정리하였으며, 기존에 발표된 연구결과와의 비교를 표 2에 정리하였다.

#### IV. 결론

본 논문에서는 3.2 Gb/s 또는 6.4 Gb/s의 전송속도를 갖는 송신기를 설계하였다. 이 송신기는 1/ 1.5/ 2/ 3배의 pre-emphasis를 사용할 수 있으며, 출력스wing을 200/ 300/ 400/ 600mV<sub>diff,p2p</sub>로 선택할 수 있다. 설계된 송신기는 0.13 $\mu\text{m}$  CMOS 공정을 이용하여 제작되었으며, COB 패키징을 이용하여 PCB에 실장되어 검증되었다.



## 참고 문헌

- [1] J. Kim, et al., "A Four-Channel 3.125-Gb/s/ch CMOS Serial-Link Transceiver With a Mixed-Mode Adaptive Equalizer," *IEEE Journal of Solid-State Circuits*, Vol. 40, no. 2, pp. 462-471, Feb. 2005.
- [2] T. Beukema, et al., "A 6.4-Gbps CMOS SerDes Core With Feed-Forward and Decision-Feedback Equalization," *IEEE Journal of Solid-State Circuits*, Vol. 40, issue. 12, pp. 2633-2645, Dec. 2005.
- [3] R. Payne, et al., "A 6.25-Gbps Binary Transceiver in 0.13 $\mu$ m CMOS for Serial Data Transmission Across High Loss Legacy Backplane Channels," *IEEE Journal of Solid-State Circuits*, Vol. 40, issue. 12, pp. 2646-2657, Dec. 2005.
- [4] E. Crain, and M. Perrott, "A numerical design approach for high speed differential resistor-loaded CMOS amplifiers," *Proc. of ISCAS*, Vol.5, pp. 508-511, Vancouver, British Columbia, Canada, May. 2004.
- [5] Jri Lee and Behzad Razavi, "A 40-Gb/s Clock and Data Recovery Circuit in 0.18- $\mu$ m CMOS Technology," *IEEE Journal of Solid-State Circuits*, Vol. 38, issue 12, pp. 2181-2190, Dec. 2003.
- [6] Vishnu Balan, et al, "A 4.8-6.4-Gb/s Serial Link for Backplane Application Using Decision Feedback Equalization," *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 9, pp. 1957-1967, Sep. 2005.
- [7] Hirohito Higashi, et al, "A 5-6.4-Gb/s 12-Channel Transceiver With Pre-Emphasis and Equalization," *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 4, pp. 978-985, Apr. 2005.

## 저 자 소 개



김 두 호(학생회원)  
2004년 연세대학교 전기전자  
공학과 학사 졸업.  
2007년 연세대학교 전기전자  
공학과 학사 졸업  
2008년~현재 연세대학교 전기  
전자공학과 박사과정

<주관심분야 : 고속 인터페이스 회로, 클럭 복원 회로, 복조기 회로>



최 우 영(정회원)-교신저자  
1986년 MIT, EECS, B.S.  
1988년 MIT, EECS, M.S.  
1994년 MIT, EECS, Ph.D.  
1994년~1995년 일본 NTT  
광전자연구소  
Post-Doctoral Fellow

1995년~현재 연세대학교 전기전자공학과 정교수  
<주관심분야 : 고속 회로 및 시스템, 광전자 및  
마이크로 웨이브 포토닉스>