Under-Damped 전치 증폭기를 이용한 10-Gb/s CMOS 집적 광 수신기

(10-Gb/s CMOS Monolithic Optical Receiver With Under-Damped TIA)

정현용, 이정민, 최우영
연세대학교 전기전자 공학과
Hyun-Yong Jung, Jeong-Min Lee, and Woo-Young Choi
Department of Electrical and Electronic Engineering, Yonsei University, Seoul 120-749, Korea
E-mail : hyjunghyjung@gmail.com

요약 - 본 논문에서는 65 nm CMOS 공정을 사용하여 under-damped 전치 증폭기와 CMOS 아발란치 광 검출기를 포함한 CMOS 집적 광 수신기를 구현하였다. Under-damped 전치 증폭기는 이전 발표된 기법에 비해 CMOS 아발란치 광 검출기의 제한된 속도를 보상하면서도 더욱 낮은 파워와 나은 민감도를 제공한다. 구현된 광 수신기를 통해 -6 과 -6.5 dBm의 광 파워에서 10^{-12} 이하의 비트 에러율 성능을 만족시키며 10 Gb/s 2^{31}-1 와 2^{7}-1 PRBS 데이터 광 신호를 성공적으로 전송하였다. 제작된 광 수신기는 0.24 × 0.1 mm^2 의 칩 크기를 가지며 출력 버퍼를 제외하고 1.2 V 전원에서 13.7 mW 의 전력을 소모한다.

Abstract - This paper presents a CMOS integrated optical receiver having under-damped transimpedance amplifier (TIA) and CMOS avalanche photodetector (APD) realized in 65-nm CMOS technology. The under-damped TIA compensates the bandwidth limitation of CMOS APD and provides enhanced receiver bandwidth performance with reduced power consumption and better sensitivity compared to previously reported techniques. We successfully demonstrate pseudo random bit sequence (PRBS) 2^{31}-1 and 2^{7}-1 10-Gb/s operation with the bit-error rate less than 10^{-12} at the incident optical power of -6 and -6.5 dBm, respectively. The receiver has core size of 0.24 × 0.1 mm^2 and power consumption excluding output buffer of about 13.7 mW with 1.2-V supply voltage.

a. Corresponding author; hyjunghyjung@gmail.com

Copyright ©2015 IDEC All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Ⅰ. 서 론

최근 들어, 다양한 인터페이스에서 요구되어지는 데이터 속도가 높아짐에 따라 전기적 연결 기술의 한계가 나타나고 있고, 이를 해결하기 위한 방법으로 광 연결의 연구가 활발하게 진행 되고 있다. 이것의 일환으로, vertical-cavity surface-emitting laser (VCSEL)과 multimode fiber (MMF)를 이용한 850-nm대역의 광 연결 기술이 칩 간 또는 보드 사이를 연결하는 방법으로 주목을 받고 있다 [1]. 특히 850-nm 대역 광 수신기는 complementary metal-oxide-semiconductor (CMOS) 공정으로 광소자부터 전기 회로까지 단일 집적 회로로 구현가능하다는 장점이 있다. 이는 기존에 사용하던 공정을 이용할 수 있고 저가로 구현이 가능하다는 점에서 큰 관심을 받고 있다 [2, 3].

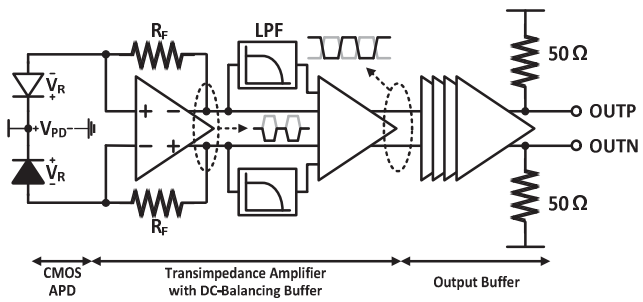
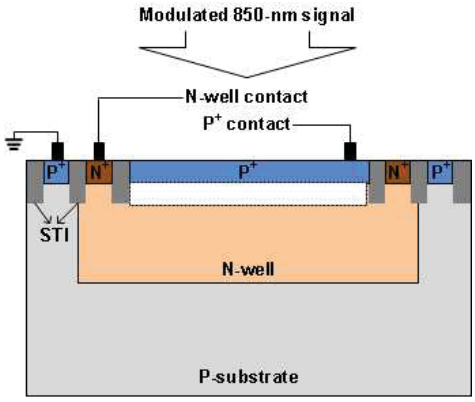
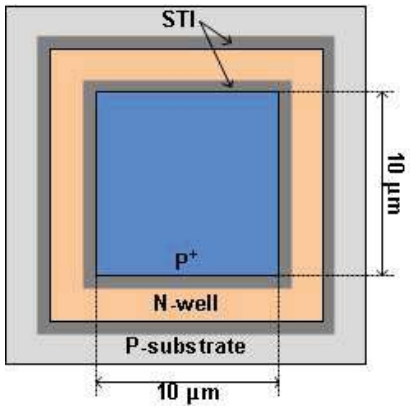


그림 1. 제안된 광 수신기의 블록 다이어그램.
Fig. 1. Block diagram of the proposed optical receiver.



(a)



(b)

그림 2. 제작된 광 검출기의 (a) 단면도 와 (b) 상면도
Fig. 2. (a) Cross section and (b) top view of the fabricated CMOS APD.

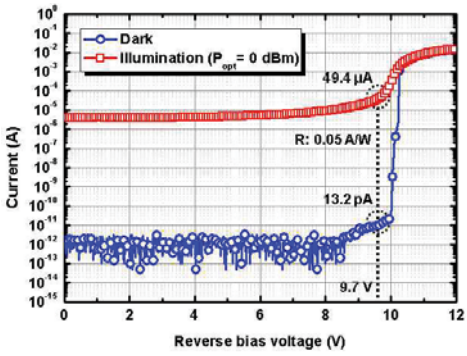
고속 CMOS 집적 광 수신기에서 CMOS 공정으로 구현된 광 검출기는 일반적으로 저속의 디퓨젼 전류에 인하여 속도 제한을 받게 된다. 이 문제를 해결하기 위해 기존에 발표된 고속 CMOS 직접 광 수신기들은 spatially-modulated 광 검출기 (SM 광 검출기)와 같은 특별한 광 검출기 구조를 이용하거나 [4 ,5]. 전기 등화 회로를 사용해 왔다. 하지만 SM 광 검출기는 빛의 일부를 메탈로 막는 구조의 특성상 낮은 반응도 (responsivity)를 갖는다는 단점이 있고, 전기 등화 회로는 추가적인 파워와 칩 면적을 필요로 한다는 단점을 가지게 된다. 본 논문에서는 이 문제들을 해결하고 높은 성능을 갖는 광 수신기의 구현을 위해 광 검출기의 모델링과 함께 CMOS 광 검출기의 특성을 파악 및 이용한 under-damped 전치 증폭기의 새로운 구조 제안한다. 또한 본 논문은 under-damped 전치 증폭기를 포함한 광 수신기의 구현하였고 이에 대한 검증결과를 포함한다.

Ⅱ. CMOS 직접 광 수신기

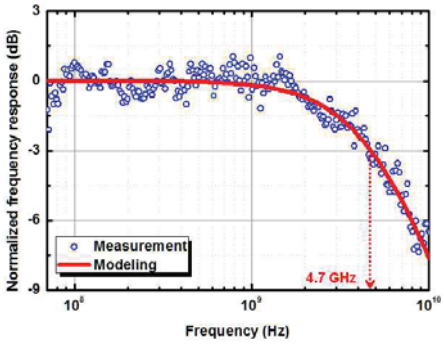
그림 1은 구현된 CMOS 직접 광 수신기의 블록 다이어그램을 보여준다. CMOS 직접 광 수신기는 CMOS 아발란치 광 검출기와 더미 광 검출기, under-damped 전치 증폭기, DC 오프셋 제거기, 아웃풋 버퍼로 구성되어있다.

1. CMOS 아발란치 광 검출기

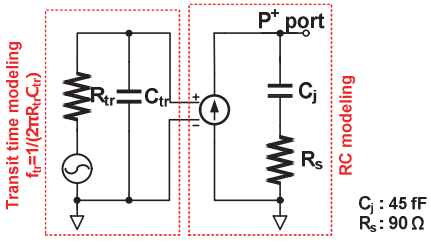
그림 2. (a)와 (b)는 제작된 CMOS 아발란치 광 검출기의 옆 단면도와 상면도를 보여주고 있다. 그림과



(a)



(b)



(c)

그림 3. CMOS 광 검출기의 (a) DC 특성 (b) 측정된 주파수 특성 (c) 등가회로.
Fig. 3. (a) DC characteristic (b) frequency response for measurement and modeling and (c) equivalent circuit model of CMOS APD.

같이P+ source/drain과 N-well 접합구조로 이루어져 있으며 표준 CMOS 공정에서 아무런 디자인 룰 위반 없이 제작되었다. PN 접합 구조 사이의 shallow trench isolation (STI)는 넓고 균일한 전기장을 제공

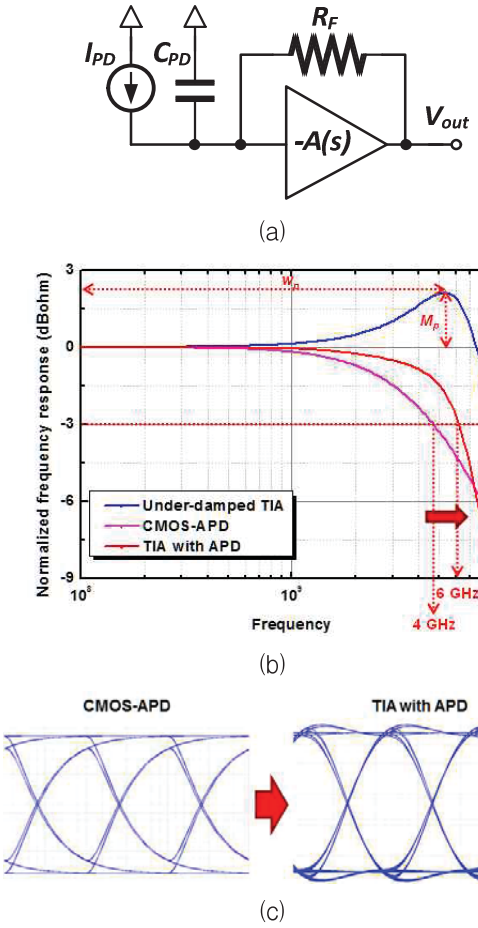


그림 4. Under-damped 전치 증폭기의 (a) 블록 다이어그램, (b) 시뮬레이션 주파수 특성과 (c) 시뮬레이션 eye diagram.

Fig. 4. (a) Simplified block diagram of the feedback transimpedance amplifier, (b) simulated frequency response and (c) simulated eye diagram of the under-damped transimpedance amplifier.

하여 충분한 아발란치 게인을 가지도록 한다. 또한 N-well 에서 나오는 전류는 P-substrate에서 빛 흡수 되어 생기는 느린 디퓨전 전류를 포함하고 있기 때문에 고속 광 수신기의 구현을 위하여 P+ 컨택트에서 나오는 전류를 전치 증폭기로 전달하게 된다. CMOS 아발란치 광 검출기는 10 μm × 10 μm 의 광 주입용 optical window를 가지고 있다.

Under-damped 전치 증폭기의 효율적인 디자인을 위해서는 정확한 광 검출기의 모델링이 필요하다. 광 검출기의 3-dB bandwidth는 $f_{PD}=1/[(1/f_{tr})^2+(1/f_{RC})^2]^{1/2}$ 와 같이 정의 된다. f_{tr}는 홀 transit time에 의해 제한되는 속도이며, f_{RC}는 광 검출기의 RC 성분에 의해

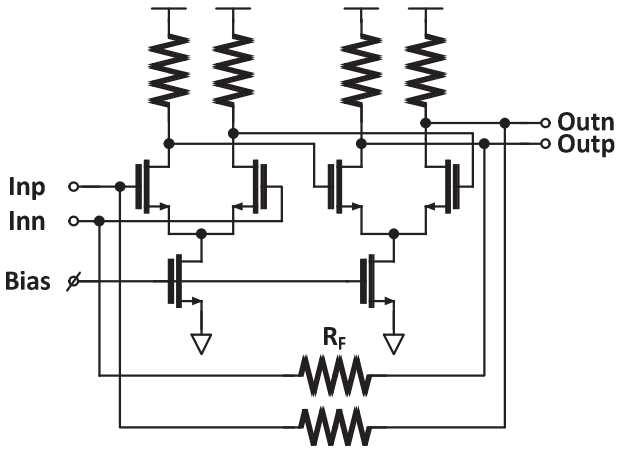


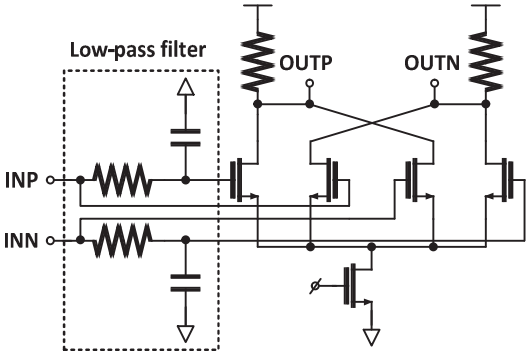
그림 5. Under-dmpaed 전치 증폭기 회로도.

Fig. 5. Schematic of under-damped transimpedance amplifier.

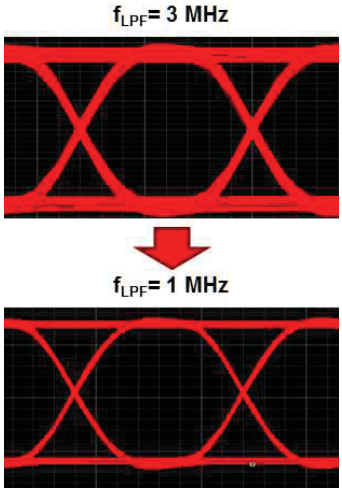
결정되는 속도를 의미한다. Fig. 3(a)는 제작된 광 검출기의 DC 특성을 보여주고 있으며, Fig. 3(b)는 광 검출기에 9.7 V의 바이어스 전압을 주었을 때의 주파수 특성을 보여준다. 9.7 V의 바이어스 전압은 제작 된 광 수신기에서 사용된 전압으로, 광 검출기가 가장 좋은 signal-to-noise (SNR) 특성을 보여주는 바이어스 전압이다 [7]. 그림에서 보는 바와 같이 9.7 V의 바이어스 전압에서 제작된 광 검출기는 0.05 A/W의 반응도와 50 Ω 로드를 기준으로 4.7 GHz의 3-dB bandwidth를 갖는다. Fig. 3(c)는 광 검출기의 등가 회로 모델을 보여준다. C_j와 R_s는 공핍영역의 캐패시턴스와 N-well의 직렬 저항 값을 모델링 하고 있으며, R_{tr}과 C_{tr}은 홀 transit time을 모델링 하고 있다. RC 모델링은 광 검출기로부터 추출된 s-parameter의 s_{11}으로부터 추출되며, transit time은 추출된 s_{21}과의 피팅을 통해 결정된다. 그림 3(b)를 보면 모델링이 측정결과와 잘 맞음을 확인할 수 있다. 다음과 같이 구현된 광 검출기의 모델링은 under-damped 전치 증폭기의 설계 시 under-damped 응답의 설계 파라미터를 결정하는데 사용된다.

2. Under-damped 전치 증폭기

Under-damped 전치 증폭기는 peaking을 통해 CMOS 아발란치 광 검출기의 제한된 속도를 보상하는 등화기의 역할을 포함할 수 있고, 이는 전체 광 수신기의 증가된 속도를 얻을 수 있게 해준다. Fig. 4(a)는 구현된 전치 증폭기의 간이화된 블록 다이어그램을 보여준다. 전치 증폭기는 션트-션트(shunt-shunt)피드백 구조를 가지고 있다.



(a)



(b)

그림 6. DC 오프셋 제거기 (a) 회로도 (b) fLPF = 3 과 1 MHz일 때 시뮬레이션 eye diagram.

Fig. 6. (a) Schematic of DC-balancing buffer and (b) simulated eye diagram for fLPF = 3 and 1 MHz.

션트-션트 피드백 구조는 낮은 노이즈 특성과 높은 게인-bandwidth의 특성을 가지고 있을 뿐 아니라 코어 증폭기의 게인과 bandwidth를 조절함으로써 under-damped 반응을 가질 수 있도록 해준다. 코어 증폭기의 전달 함수가 수식 (1)과 같을 때,

$$A(s)=\frac{A_0}{1+s/w_0} \tag{1}$$

피드백 전치 증폭기 폐쇄 루프의 전달 함수는 수식 (2)와 같다.

$$\frac{V_{out}}{I_{PD}}=-\frac{A_0 w_0}{C_{PD}}\frac{1}{s^2+\dfrac{R_F C_{PD}+1/w_0}{R_F C_{PD}/w_0}s+\dfrac{(A_0+1)w_0}{R_F C_{PD}}} \tag{2}$$

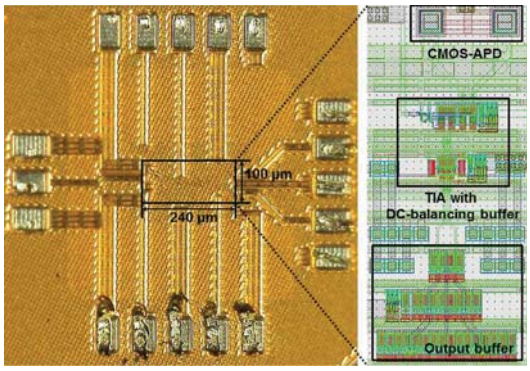


그림 7. 제작된 광 수신기의 칩 사진과 레이아웃.

Fig. 7. Microphotograph and layout of the fabricated optical receiver.

수식 (2)의 분모를 $s^2+2\zeta w_n s+w_n^2$ 꼴의 2차 시스템 함수로 바꾸어 주면 댐핑 팩터, ζ, 와 고유진동수(natural frequency), w_n,는 다음 수식 (3)과 (4)와 같이 표현 할 수 있다.

$$\zeta=\frac{1}{2}\frac{R_F C_{PD} w_0+1}{\sqrt{(A_0+1)w_0 R_F C_{PD}}} \tag{3}$$

$$w_n=\sqrt{\frac{(A_0+1)w_0}{R_F C_{PD}}} \tag{4}$$

위 수식들을 보면, under-damped 전치 증폭기의 transimpedance 게인은 $A_0 R_F/(A_0+1)$를 가지게 되고 bandwidth은 대략적으로 w_n에 비례하게 된다. 또한 under-damped 응답을 얻기 위해서는 $\zeta<\sqrt{2}/2$의 값을 가져야 하며, peaking 크기, M_p,와 peaking

주파수, w_p,는 수식 (5)와 (6)과 같이 표현 될 수 있다 [10].

$$M_P = \frac{1}{2\zeta\sqrt{1-\zeta^2}} \quad (5)$$

$$w_p = w_n\sqrt{1-2\zeta^2} \quad (6)$$

보다 좋은 등화기능을 얻기 위해서는 위 값들을 정확하고 신중하게 결정할 필요가 있으며, 이를 위해서는 보다 정확한 광 검출기의 모델링을 필요로 하게 된다. 2 kΩ의 피드백 저항, 20 dB DC 게인과 4.5 GHz 의bandwidth를 갖는 코어증폭기와 앞서 얻은 광 검출기의 모델링을 포함한 시뮬레이션 결과는 Fig. 4(b)

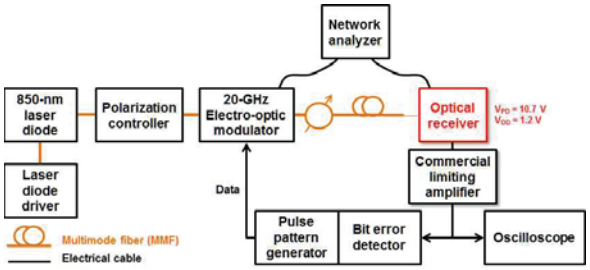


그림 8. 측정 셋업.
Fig. 8. Measurement setup.

와 같다. 시뮬레이션 결과는 광 검출기와 under-damped 전치 증폭기, 그리고 최종 결과가 포함되어 있으며, 그림에서 볼 수 있듯이 under- damped 전치 증폭기가 4.7 GHz의 광 검출기의 속도를 6 GHz까지 증가시키는 등화기의 역할 또한 충분히 수행하고 있음을 확인 할 수 있다. Fig. 4(c)는 10 Gb/s eye diagram 시뮬레이션 결과로 제한된 광 검출기의 속도가 제안된 전치 증폭기로 충분히 보상되었음을 보여준다. Fig. 5는 구현된 under-damped 전치 증폭기의 회로도를 보여준다. 시뮬레이션 결과들에서 볼 수 있듯이 기존에 사용되었던 SM 광 검출기나 추가적인 등화기 회로를 이용하지 않고 전치 증폭기의 디자인 방법만을 바꿈으로써 추가적인 파워 소모나 면적 없이 좋은 성능의 광 수신기 구현이 가능하다.

3. DC 오프셋 제거기와 아웃풋 버퍼

광 입력이 차동 구조인 전치 증폭기 입력단의 한 쪽에만 주입 되면서 출력단 2개의 차동 신호에 DC 오프셋이 발생하는 문제가 생기게 된다. 이는 광 수신기 다음에 위치하는 clock and data recovery (CDR)와 같은 회로에서 decision threshold문제를 일으키면서 에러를 발생시킬 수 있다. 이 문제를 해결하기 위해 DC 오프셋 제거기 회로를 이용하게 된다. Fig. 6(a)는 DC 오프셋 제거기의 회로도를 보여준다. 두 개의 온 칩 저역통과 필터를 내장하고 있으며, f_T-doubler 구조를 가지고 있다. 또한 DC wander effect를 피하기 위해 저역통과 필터의 cut-off frequency가 1 MHz를 갖도록 하였다. Fig. 6(b)의 eye diagram 시뮬레이션 결과에서 DC wander effect의 문제를 확인할 수 있으며 1 MHz에서는 문제가 없음을 확인할 수 있다. 또한 아웃풋 버퍼를 통해 측정 장비들의 50 Ω 로드에 신호 전달이 가능하다.

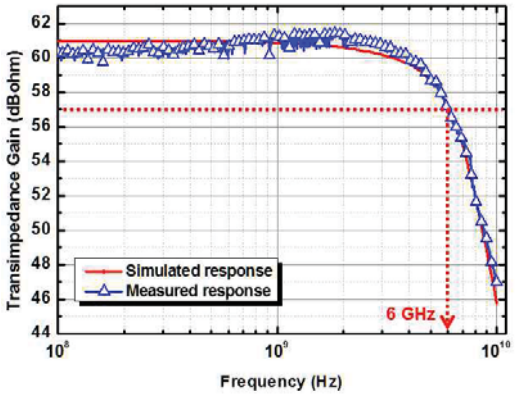


그림 9. 주파수 특성의 측정과 시뮬레이션 결과.
Fig. 9. Measured and simulated frequency response.

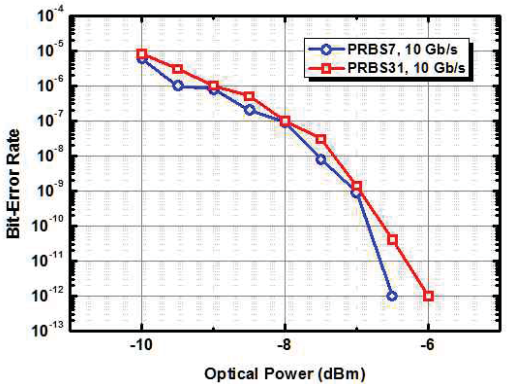


그림 10. 입력 광파워에 따른 10 Gb/s BER 특성.
Fig. 10. Measured BER performance with various incident optical powers for 10-Gb/s data.

Ⅲ. 측정 결과

Fig. 7은 제작된 광 수신기의 칩 사진과 레이아웃을 보여준다. 코어의 면적은 0.24 mm × 0.1 mm이고

아웃풋 버퍼를 제외한 전력은 1.2 V의 공급 전압에 13.7 mW를 소모한다.

Fig. 8은 광 수신기의 광 검출 주파수 특성과 광 데이터 전송 실험의 측정 셋업이다. 모든 실험은 on-wafer로 probing을 통해 측정 되었다. 광 신호 변조를 위해 850-nm 레이저 다이오드 (laser diode)와 20-GHz 전기 광학 변조기 (electro optic modulator)가 사용되었다. 변조된 광 신호는 다중모드 광 섬유를 통해 전송 되었고 lensed fiber를 통하여 제작된 집적 광수신기의 CMOS 애벌런치 광 검출기에 주입 되었다.

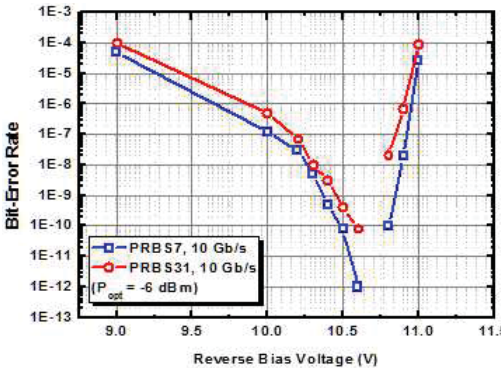


그림 11. PD 바이어스에 따른 10 Gb/s BER 특성.
Fig. 11. Measured BER performance with various reverse bias voltages for 10-Gb/s data.

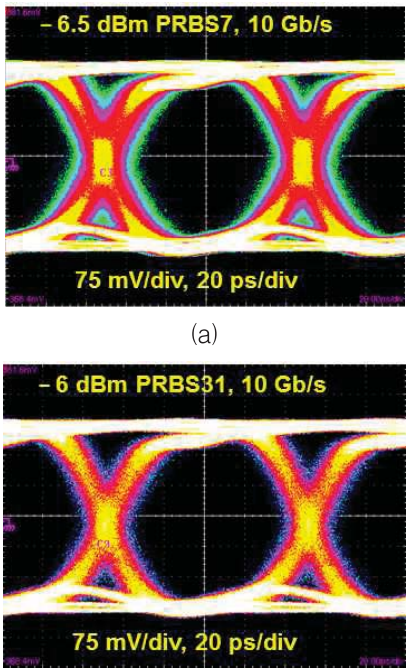


그림 12. 측정된 10 Gb/s eye diagram.
Fig. 12. Measured eye diagrams for 10-Gb/s optical data.

광 검출기에 인가된 전압은 10.7 V로, 이는 전치 증폭기의 구조상 CMOS 애벌런치 광 검출기에 최대의 SNR을 갖는 9.7 V의 바이어스 전압을 제공하게 된다.

표 1. CMOS 광 검출기를 사용한 광 수신기들의 성능 비교표.
Table 1. Performance comparison of the reported optical receiver with CMOS PD

	[6] 10' JSSC	[4] 11' JSSC	[7] 12' JQE	[5] 14' OE	This work	Estimated work
Technology	130-nm CMOS	180-nm CMOS	130-nm CMOS	130-nm CMOS	65-nm CMOS	65-nm CMOS
Structure	*SM-PD + TIA + **EQ + LA	*SM-PD + TIA + LA (9 passive inductors)	APD + TIA + **EQ + LA	*SM-APD + TIA + **EQ + LA	APD + TIA	APD + TIA + substitute LA
Gain (dBΩ)	120	88	100	104	60	100
Data rate (Gb/s)	8.5	10	10	12.5	10	10
BER (PRBS)	10^{-12} (31)	10^{-11} (7)	10^{-12} (7)	10^{-12} (7)	10^{-12} (31)	10^{-12} (31)
Sensitivity(ER)	-3.2 dBm	-6 dBm	-4 dBm	0 dBm	-6 dBm	-6 dBm
Supply voltage	1.5 V	1.8 V (Circuit) 14.2 V (PD)	1.2 V (Circuit) 10.5 V (PD)	1.3 V (Circuit) 10.5 V (PD)	1.2 V (Circuit) 10.7 V (PD)	1.2 V (Circuit) 10.7 V (PD)
Power	47 mW	118 mW	66.8 mW	72.4 mW	13.7 mW	52.1 mW
Chip area	0.1 mm^2	0.76 mm^2	0.26 mm^2	0.26 mm^2	0.024 mm^2	0.1 mm^2
FOM (mW/Gb/s)	5.53	11.8	6.68	5.79	1.37	5.21

*SM PD: spatially-modulated photodetector, **EQ: equalizer, LA: limiting amplifier, ER: error rate

또한, 최근 CDR의 민감도가 좋아지면서 추가적인 limiting 증폭기나 post 증폭기가 없어지는 추세지만, 광 수신기의 성능 측정을 위한 측정 장비의민감도 만족을 위해 12.5 Gb/s용 상용 limiting 증폭기를 사용하였다.

Fig. 9는 제작된 광 수신기 광 검출 주파수 특성의 시뮬레이션과 측정 결과이다. 측정된 transimpedance 게인은 60 dBΩ이고, 3-dB bandwidth는 6 GHz이다. 또한 시뮬레이션 결과와 측정결과가 잘 매치되고 있음을 확인 할 수 있다. Fig. 10은 다양한 입력 광 파워에 따라 측정된 CMOS 집적 광 수신기 비트 에러율 (bit error rate, BER)이다. 유사 랜덤 비트 시퀀스 (pseudorandom bit sequence, PRBS) 2^{31}-1 과 2^{7}-1 10 Gb/s에 대하여 10^{-12} 이하의 비트 에러율을 만족 시키기 위하여 -6 dBm과 -6.5 dBm의 수신기 민감도 (receiver sensitivity)가 요구 되었다. 또한 Fig. 11은 다양한 CMOS 광 검출기의 바이어스 전압에 따른 BER 측정 결과를 보여준다. 10.7 V 전압에서 가장 좋은 BER 성능을 보여주고 있다. 10.7 V이하의 바이어스 전압에서는 광 검출기의 아발란치 게인이 줄어들어 시그널의 크기가 줄어들고 10.7 V이상의 전압에서는 노이즈가 커지면서 SNR이 나빠지고 따라서 BER 성능이 나빠지게 된다. Fig. 12는 10^{-12} 이하의 비트 에러율을 만족하는 수신기 민감도에서 측정된 eye diagram을 보여준다.

Table 1은 최근 발표 된 CMOS 집적 광 수신기들의 성능비교표이다. 비교를 위하여 전력 효율을 보여주는 figure of merit (*FOM*)을 이용하였다.

$$FOM = \frac{Power\,consumption}{Data\,rate}\,(mW/Gb/s) \quad (7)$$

비교표에서 볼 수 있듯이 제작된 CMOS 집적 광 수신기가 추가적인 등화기와 limiting 증폭기를 사용하지 않기 때문에 가장 낮은 *FOM*인 1.10 mW/Gb/s를 가지고 있음을 확인 할 수 있다. 공정한 비교를 위해 기존에 발표된 limiting 증폭기의 성능 (38.4 mW 전력 소모와 0.076 mm^2 면적)을 추가하여 비교를 하더라도 5.21 mW/Gb/s의 가장 좋은 값을 가지고 있음을 확인 할 수 있다. 또한 기존의 SM 광 검출기나 등화기 없는 10 Gb/s 급 광 수신기 구현은 본 수신기 뿐이다. 이로 인해 높은 성능의 민감도와 작은 칩 면적을 가지고 있다.

Ⅳ. 결 론

본 논문에서는 under-damped 전치 증폭기를 이용하여 CMOS 광 검출기 속도의 제한을 보상한 10 Gb/s CMOS 단일 집적 광 수신기를 65 nm CMOS 공정을 이용하여 구현하였다. 정확한 광 검출기의 모델링과 이해와 함께 신중한 under-damped 전치증폭기의 설계로 기존의 방식이었던 SM 광 검출기와 등화기를 사용하지 않고 CMOS 광 검출기의 속도 제한을 성공적으로 보상함으로써 높은 성능의 민감도 (-6 dBm)와 낮은 파워 (13.7 mW), 작은 칩 면적 (0.024 mm^2)을 얻을 수 있었으며, 10 Gb/s 2^{31}-1 PRBS 광신호를 성공적으로 전송하였다. 제작된 CMOS 집적 광 수신기는 저가 구현이 요구되는 근거리 광 연결 응용에 사용 가능성을 보여줄 뿐 아니라, 광과 회로 양쪽의 이해가 있어야만 높은 성능의 광자·전자 집적 회로 (electronic-photonic integrated circuit, EPIC) 설계가 가능하다는 것을 보여준다. 이 논문의 일부 내용은 IEEE Photonics Technology Letters에 투고되어 현재 심사 중에 있다 [11].

참 고 문 헌

[1] T. - K. Woodward and a. V. Krishnamoorthy, "1-Gb/s integrated optical detectors and receivers in commercial CMOS technologies," *IEEE J. Sel. Top. Quantum Electron.*, vol. 5, no. 2, pp. 146-156, Mar.-Apr. 1999.

[2] N. Bamiedakis, J. Beals, R. V. Penty, I. H. White, J. V. DeGroot, and T. V. Clapp, "Cost-effective multimode polymer waveguides for highspeed on-board optical interconnect," *IEEE J. Quantum Electron.*, vol. 45, no. 4, pp. 415 - 424, Apr. 2009.

[3] L. Schares, J. A. Kash, F. E. Doany, C. L. Schow, C. Schuster, D. M. Kuchta, P. K. Pepeljugoski, J. M. Trewhella, C. W. Baks, R. A. John, L. Shan, Y. H. Kwark, R. A. Budd, P. Chiniwalla, F. R. Libsch, J. Rosner, C. K. Tsang, C. S. Patel, J. D. Schaub, R. Dangel, F. Horst, B. J. Offrein, D. Kucharski, D. Guckenberger, S. Hegde, H. Nyikal, C.-K. Lin, A. Tandon, G. R. Trott, M. Nystrom, D. P. Bour, M. R. T. Tan, and D. W. Dolfi, "Terabus: Terabit/ second-class card-level optical interconnect technologies," *IEEE J.*

Sel. Topics Quantum Electron., vol. 12, no. 5, pp. 1032 - 1044, Sep.-Oct. 2006.
[4] S.-H. Huang, W.-Z. Chen, Y.-W. Chang, and Y.-T Huang, "A 10-Gb/s OEIC with meshed spatially- mudulated photo detector in 0.18-μm CMOS technology," *IEEE J. Solid-State Circuits*, vol. 46, no. 5, pp. 1158-1169, May 2011.
[5] M.-J. Lee, J.-S. Youn, K.-Y. Park, and W.-Y. Choi, "A fully-integrated 12.5-Gb/s 850-nm CMOS optical receiver based on a spatially-modulated avalanche photodetector," *Opt. Express*, vol. 22, no. 3, pp. 2511-2518, Feb. 2014.
[6] D. Lee, J. Han, G. Han, and S. M. Park, "An 8.5-Gb/s fully integrated cmos optoelectronic receiver using slope-detection adaptive equalizer," *IEEE J. Solid-State Circuits*, vol. 45, no. 12, pp. 2861-2873, Dec. 2010.
[7] J.-S. Youn, M.-J. Lee, K.-Y. Park, and W.-Y. Choi, "10-Gb/s 850-nm CMOS OEIC receiver with a silicon avalanche photodetector," *IEEE J. Quantum Electron.*, vol. 48, no. 2, pp. 229-236, Feb. 2012.
[8] M.-J. Lee, W.-Y. Choi, "Area-dependent photodetection frequency response characterization of silicon avalanche photodetectors fabricated with standard CMOS technology," *IEEE Transactions on Electron Devices*, vol. 60, no. 3, pp. 998-1004, Mar. 2013.
[9] B. Razavi, *Design of Integrated Circuits for Optical Communications*, New York: McGraw-Hill, 2002, pp. 89-91.
[10]A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 4th ed., New York: Oxford University Press, 1998, pp. 901-909.
[11]H. -Y. Jung, J. -M. Lee, W. -Y. Choi, "A High-Speed CMOS Integated Optical Receiver with an Under-Damped TIA," Submitted to *IEEE Photonics Technology Letters*.

정 현 용
2010년 KAIST 전기 전자 공학과 학사 졸업.
2010년～현재 연세대학교 전기 전자 공학과 통합 과정.
<주관심분야 : Si Photonics, Optoelectronic integrated circuit>

이 정 민
2010년 연세대학교 전기 전자 공학과 학사 졸업.
2010년～현재 연세대학교 전기 전자 공학과 통합 과정.
<주관심분야 : Si Photonics, Photodetector, Ring modulator>

최 우 영
1986년 MIT, EECS, B.S.
1988년 MIT, EECS, M.S.
1994년 MIT, EECS, Ph.D.
1994년～1995년 일본 NTT 광전자연구소 Post-Doctoral Fellow
1995년～현재 연세대학교 전기 전자 공학과 교수
<주관심분야 : 고속 회로 및 시스템, Si Photonics>