

새로운 구조의 위상/주파수 검출기를
포함한 위상 동기 회로

연세대학교 대학원

전자공학과

전 상 오

새로운 구조의 위상/주파수 검출기를
포함한 위상 동기 회로

지도 최 우 영 교수

이 논문을 석사학위논문으로 제출함




1998년 6월 일

연세대학교 대학원

전자공학과

전 상 오

전상오의 석사학위논문을 인준함

심사위원 최우명 
심사위원 이홍석 
심사위원 김재석 

연세대학교 대학원

1998년 6월 일

감사의 글

되돌아보면 짧았던 대학원 생활 동안 항상 지를 얻어주시고 아낌없는 격려와 지상한 배려로 돌보아 주신 여러분들께 진심으로 감사드립니다. 특히 학생들에게 항상 신경 써 주시고 관심을 두시고 살피주신 저의 지도교수인 최우영 교수님께 감사드립니다. 또한, 본 논문을 심사해 주시고 부족한 점을 자상하게 지도해 주신 이용석 교수님과 김재석 교수님께도 감사함을 드립니다. 그리고 학부와 대학원 과정 동안 많은 가르침을 주시고 지금은 정년 퇴임하신 김봉열 교수님, 그리고 박기태 교수님, 차일환 교수님, 이상배 교수님, 강창언 교수님, 박환근 교수님, 이봉기 교수님, 박명용 교수님, 윤대희 교수님, 김재희 교수님, 이재용 교수님, 홍대식 교수님, 송홍업 교수님, 그리고 서강대학교 전자공학과 이승훈 교수님께 모두 감사드립니다.

2년여 동안 연구실 생활을 해오면서 본 연구에 가장 도움을 주시고 함께 연구활동 및 여러 즐거운 일들을 함께 한 정리식 선배님과 항상 정력적인 연구와 정열적인 집중력으로 저를 감탄시킨 김정환 선배님, 그리고 연구실의 모든 어려운 일을 도맡아 하신 우렁찬 목소리의 주인공 이승우 선배님, 그리고 항상 모든 일을 함께 하신 우동열 선배님, 함께 어려움을 같이한 자용이 형, 그리고 성실한 용호 형과 새은이 형, 절값은 만우, 용상이, 혼자 들어와 홀로 쓰기에 성공한 걸쭉한 입담의 위근, 그리고 항상 성실하신 영광이 형, 모든 일에 열심인 정훈이, 힘든 일을 도맡아하는 명수, 그리고 함께한 연구실 생활은 비록 짧았지만 저에게 도움을 많이 주신 이 범철 선배님, 최준근 선배님, 김정래 선배님, 그리고 음등을 좋아하시고 메시에 열심인 승호 형, 심주형, 심우형, 경석이 형, 장희 형을 비롯한 *CA.B9*의 많은 분들과 용환

이 형, 상국이 형, 증환이 형, 병인이 형, 상준이 형, 대영이 형, 우경이, 영
록 등자를 비롯한 *GAUSS*의 여러분들께 깊은 감사의 말을 전합니다.

또한, 이재는 졸업을 하셨지만 항상 조언을 아끼지 않으셨던 정일이 형,
대욱이 형, 용근 형, 그리고, 학부때부터 변하지 않는 우정을 함께 하였고 지
금은 다른 분야를 개척중인 철욱이, 보든일에 활발하고 정열적인 개성을 지
닌 성원이, 제일 먼저 사회에 진출한 준석이, 그리고 저의 동기이자 대학원
선배로서 항상 저를 도와준 환상이, 키업고 예쁜 중수, 멋쟁이 현수, 선준이
를 비롯한 많은 사람들에게도 감사의 말을 전하고 싶습니다.

그리고 초등학교때부터 학창시절의 보든 고민과 어려움, 그리고 즐거움을
함께 해온 상희, 은상, 대명, 진욱이와 어디선가 자신의 일에 몰두하고 있을
재훈, 상백, 병래, 병희에게 감사드립니다. 끝으로, 무엇보다도 저를 낳으시
고 키우시면서 항상 저를 믿어주시고 아껴주시며 못한 저를 위해 늘 고생만
하시는 부모님과 친구같고 항상 저를 믿어주시는 우리 상욱이 형께도 감사
의 말을 전하며 보잘 것 없지만 이 눈글을 바칩니다.

1998년 6월 상오가

차 례

그림차례	iii
표 차례	v
국문요약	vi
제 1 장 서 론	1
제 2 장 위상 동기 회로를 구성하는 블록의 동작 원리	4
제 2-1 절 위상/주파수 검출기 동작 원리	6
제 2-2 절 전하펌프 루프필터의 동작 원리	12
제 2-3 절 전압 제어 발진기의 동작 원리	16
제 2-4 절 전하펌프 위상 동기 회로	18
제 3 장 새롭게 제안된 위상/주파수 검출기의 동작 원리	20
제 3-1 절 기존의 위상/주파수 검출기	20
제 3-2 절 리셋 시간을 감소하여 개선된 위상/주파수 검출기	23
제 3-3 절 두 가지 리셋 경로의 새로운 위상/주파수 검출기	27
제 4 장 위상 동기 회로의 블록별 설계 및 시뮬레이션	30
제 4-1 절 PFD1, PFD2, 그리고 PFD3 구조 성능 비교	30
제 4-2 절 전체 회로의 동작 검증 및 레이아웃	39

제 4-3 절 칩 측정 결과	51
제 5 장 결론 및 향후 연구 과제	57
참 고 문 헌	60
영 문 요 약	64

그림 차례

그림 2-1	위상 동기 회로의 블록도	5
그림 2-2	R-S latch의 입출력과 위상 검출 범위	7
그림 2-3	위상/주파수 검출기의 입출력과 위상 검출 범위	8
그림 2-4	위상/주파수 검출기의 논리 상태도	10
그림 2-5	일반적인 위상/주파수 검출기(PFD1)	11
그림 2-6	위상/주파수 검출기와 연동된 전하펌프 루프필터	14
그림 2-7	Dead zone 내의 위상차에 따른 출력 파형	15
그림 3-1	PFD1 구조의 회로도	22
그림 3-2	리셋 시간을 감소시킨 위상/주파수 검출기의 구조(PFD2)	26
그림 3-3	리셋 시간이 제거된 위상/주파수 검출기의 구조(PFD3)	29
그림 4-1	위상/주파수 검출기의 리셋과 전달 시간 시뮬레이션	35
그림 4-2	세가지 위상/주파수 검출기가 각각 포함된 위상 동기 회로의 V_c	37
그림 4-3	전체 위상 동기 회로	41
그림 4-4	위상 동기 회로의 Capture 과정	42
그림 4-5	위상 동기 회로의 레이아웃	45
그림 4-6	제어 전압에 대한 출력 주파수의 변화	47
그림 4-7	각각의 입력 주파수 추적 과정	48

그림 4-8	위상 고정된 상태에서의 Up과 Dn 신호	49
그림 4-9	칩 사진과 PCB Layout	54
그림 4-10	위상 동기 회로의 입출력 측정 결과	55
그림 4-11	V_{vco} 신호의 지터 잡음 측정 결과	56

표 차례

표 4-1 각 구조의 성능 비교	38
표 4-2 위상 동기 회로 특성표	50

국 문 요 약

새로운 구조의 위상/주파수 검출기를 포함한 위상 동기 회로

본 논문에서는 위상 동기 회로의 기본 블록들 중의 하나인 위상/주파수 검출기가 미치는 잡음에 대하여 연구하고 동작 주파수 한계를 분석하여 이를 극복할 수 있는 구조를 제안하여 고 주파수에서 동작이 가능하도록 하였다.

위상/주파수 검출기의 리셋 시간을 최소한으로 줄이기 위하여 위상/주파수 검출기를 간단하게 구성하였다. 그러나, 이 구조 역시 3 게이트 지연 시간만큼의 리셋 시간으로 인한 잡음이 존재한다. 따라서, 위상/주파수 검출기의 출력을 리셋시키는 경로를 두 부분으로 나누었다. 인버터를 사용하여 출력이 동시에 논리 '1'이 되지 않도록 하고 다른 리셋 경로를 사용하여 논리 '0'으로 하강시킴으로써 리셋 시간을 없애고자 하였다.

제안된 구조의 성능을 평가하기 위하여 $0.8\mu\text{m}$ CMOS 공정 파라미터를 이용한 SPICE 시뮬레이션을 수행하였다. 위상/주파수 검출기의 리셋 시간에 대한 시뮬레이션 결과, 기존의 구조에 비해 28%이상 향상되었으며 전달 시간 역시 거의 나타나지 않았다. 또한, 제안된 위상/주파수 검출기의 GHz 이상에서의 동작 가능성과 capture 과정에 필요한 시간 역시 감소되어 성능이 향상되었다.

본 논문에서는 리셋 경로를 두 개로 나눈 위상/주파수 검출기와 전하펌프 루

프필터를 설계하고 전압 제어 발진기를 도입하여 전체 위상 동기 회로를 구성하였다. 이 회로의 full-custom 레이아웃을 통하여 기생 커패시턴스와 저항값을 SPICE netlist에 포함시켰다. 이와 같은 포스트 레이아웃 시뮬레이션을 통하여 740MHz까지 동작이 가능하였으며 실제 측정 결과는 440MHz까지 동작하였다. 따라서, 이 구조는 데이터 통신 시스템과 이동 통신 시스템에서 요구되는 고속 주파수 합성, 클럭 및 데이터 복원등의 기능을 수행하는 통신 시스템에 응용될 수 있을 것이다.

핵심되는 말 : 위상 동기 회로, 위상/주파수 검출기, 리셋 시간, 전달 시간, 포스트 레이아웃 시뮬레이션, 주파수 합성, 클럭 및 데이터 복원 회로

제 1 장. 서 론

현재 위상 동기 회로(Phase-Locked Loop)는 대부분의 데이터 전송 시스템 및 이동 통신 시스템에 사용되고 있다. 데이터 전송 시스템에서는 수신단과 송신단이 정보를 변조 또는 비변조된 형태의 디지털 신호로 주고받는다. 이 때, 하드웨어의 복잡성과 전력, 가격 등의 이유로 인해서 송신단에서는 동기를 맞추는 클럭을 제외한 데이터 정보만을 수신단으로 보낸다. 따라서, 수신단의 단말기는 수신된 디지털 데이터 정보로부터 클럭을 추출해내는 역할을 해야만 한다. 이를 위하여 일반적으로 클럭 복구 회로(Clock-recovery circuit)를 사용하고 있다. 또한, 이동 통신 시스템에서는 입력되는 신호를 IF(Intermediate frequency)와 기저 대역(Base-band)의 주파수로 변환하기 위한 지역 발진기(Local oscillator)가 필요하다. 이 때, 여러 채널의 주기적인 신호를 입력으로 받아서 처리해야 하기 때문에 반드시 수신 단말기에는 반드시 주파수 합성기 회로(Frequency-synthesizer circuit)가 사용되고 있다.^{[1][2]}

이와 같은 클럭 및 데이터 복원과 주파수 합성등의 기능을 수행하기 위해서는 필수적으로 위상 동기 회로가 포함되어야만 한다. 최근의 통신 시스템이 높은 주파수의 처리능력을 가지는 위상 동기 회로를 요구하기 때문에 고 주파수 대역에서 안정적으로 동작할 수 있도록 위상 동기 회로를 구성하는 기본 블록들의 구조를 개선하기 위한 연구가 국·내외적으로 활발히 진행되고 있다.^{[3]-[5]}

따라서, 본 논문에서는 위상 동기 회로를 구성하는 기본 블록 중 하나인 위상/주파수 검출기(Phase/Frequency Detector)의 구조를 새롭게 제안하여 고 주파수에서 동작이 가능하도록 하고자 한다. 위상/주파수 검출기는 위상 동기 회로

의 외부에서 입력되는 신호인 V_{in} 과 전압 제어 발진기(Voltage-Controlled Oscillator)의 출력 신호인 V_{vco} 를 입력으로 받아들여서 V_{in} 과 V_{vco} 의 위상 및 주파수 차이가 발생하는 경우에만 Up 또는 Dn 신호를 출력하고, 위상 및 주파수 차이가 없는 경우에는 논리 '0'의 신호를 출력하는 동작을 한다.^{[6][7]}

그러나, 일반적으로 사용되는 위상/주파수 검출기는 다음과 같은 문제점을 가지고 있다. V_{in} 과 V_{vco} 의 두 입력 신호가 어느 정도의 위상 차이를 가지고 논리 '0'에서 논리 '1'로 변할 때 그 차이만큼의 간격을 두고 Up과 Dn의 두 출력 신호가 논리 '1'로 상승한다. 이 때 Up과 Dn 신호가 동시에 논리 '1'의 값을 가지는 경우가 발생하고 이를 리셋하는데 필요한 시간만큼 유지된다. 이 시간동안 위상/주파수 검출기의 다음단인 전하펌프의 두 개의 스위치가 동시에 도통되어 두 개의 전류원이 하나의 경로에 위치하여 전류가 흐르게 되고 이러한 회로의 단락으로 인한 제어 전압의 왜곡이 지터(Jitter) 잡음을 야기시킨다.^{[3][4][8]} 또한, 위상/주파수 검출기에서 입력이 출력으로 나타나기까지의 시간인 전달 시간이 길어지면 전체 위상 동기 회로의 루프 지연이 증가하여 capture 과정과 위상 고정된 상태에서 주파수를 추적하는 Lock-in 과정에 영향을 미치게 된다. 본 논문에서는 리셋 시간과 전달 시간을 효과적으로 제거한 새로운 구조의 위상/주파수 검출기를 제안한다.

현재 위상 동기 회로는 GaAs 또는 바이폴라 소자와 다수의 개별 소자(Discrete Device)들을 이용하여 회로를 구성하고 있다. 그러나, 개별 소자의 사용이 어렵고 많은 수의 개별 소자가 필요함으로 인해서 단말기의 크기가 커지며 소모 전력이 커지는 등의 문제점이 존재한다. 따라서, 이를 고려하여 집적회로 형태로 구성하기 위하여 GaAs등의 소자를 이용한 MMIC 회로로 구성하는 연구들이 진행되고 있으나 공정이 복잡하고 가격이 비싼 단점이 있다. 현재는

고 주파수에서의 동작이 떨어지지만 CMOS 공정이 점점 발달하면서 제작 가능한 최소의 소자 크기가 줄어들고 있다.^{[2][11]} 따라서, RF(Radio frequency) 대역에서 동작가능한 위상 동기 회로를 CMOS 회로로써 구성하는 것이 가능해졌으며 앞으로 초고속 주파수 대역에서도 가능해질 것이다. 또한, 저전력에서 동작이 가능하고 가격면에서도 장점을 가지게 되며 모든 기능의 집적화를 통해서 단일 칩 수신기가 가능해질 가능성이 커지기 때문에 본 논문에서는 CMOS 소자를 사용하여 위상/주파수 검출기의 기존의 구조를 단순화시킴으로써 임계 경로(Critical path)를 단축하여 리셋시간과 전달시간을 감소시키고 리셋 경로를 두 부분으로 나누어서 리셋시간이 0인 최적의 구조로 설계하고자 한다.

제안된 위상/주파수 검출기의 동작 주파수등의 성능을 검증하기 위하여 전체 위상 동기 회로를 이상적인 회로로 설계한 후 0.8 μ m CMOS 공정 파라미터를 이용하여 SPICE 시뮬레이션을 수행하였다. 또한, 리셋 경로를 두 부분으로 나누는 위상/주파수 검출기를 포함한 전하펌프 위상 동기 회로를 compass 툴을 이용하여 post-layout 시뮬레이션을 수행하였다. 이를 통해 추출된 기생 저항과 커패시터를 포함한 위상 동기 회로의 동작을 시뮬레이션을 통해 확인하였다.

II장에서는 위상 동기 회로를 구성하는 각 블록의 동작 원리와 전하펌프 위상 동기 회로에 대하여 설명하며 III장에서는 기존의 위상/주파수 검출기의 잡음 및 동작속도에 대한 연구를 통하여 성능 향상을 위해 제안된 위상/주파수 검출기의 동작원리에 대하여 설명하였다. IV장에서는 위상/주파수 검출기의 성능을 알아보기 위해서 위상 동기 회로의 나머지 부분을 이상적으로 설계하여 기존의 구조와 제안된 구조의 리셋 시간과 전달 시간을 SPICE 시뮬레이션을 통해 알아보기로 한다. Post-layout 시뮬레이션과 실제 측정을 통해 동작을 확인하였다. 끝으로 V장에서는 본 논문의 결과를 정리하였다.

제 2 장. 위상 동기 회로를 구성하는 블록의 동작 원리

전하펌프 위상 동기 회로는 그림 2-1과 같이 네 가지 블록으로 구성되어 있다. 먼저, 외부의 클럭 입력 신호인 V_{in} 과 전압 제어 발진기(Voltage-Controlled Oscillator)의 출력 신호인 V_{vco} 를 입력으로 받아들이는 위상/주파수 검출기가 있다. 이는 두 입력 신호의 상태에 따라서 세 가지 상태의 출력값을 가지게 된다. V_{in} 의 위상 및 주파수가 V_{vco} 보다 앞 설 경우에는 Up에 논리 '1'의 값이 출력되고 반대로 V_{vco} 신호가 앞 설 경우에는 Dn에 논리 '1'이 출력된다. V_{in} 과 V_{vco} 의 위상 및 주파수 차가 없는 경우에는 Up과 Dn 출력단자에 논리 '0'의 신호를 발생하여 이를 전하펌프 루프필터(Charge Pump Loop Filter)에 전달한다.^{[6]-[9]} 전하펌프 루프필터에서 전하펌프는 루프필터의 커패시터를 충전시키거나 방전시키는데 필요한 두 개의 전류원과 논리 '1'의 값을 가질 경우에 도통되는 두 개의 스위치로 구성되어 있다. 이와 같은 구조의 전하펌프 루프필터는 입력된 값의 상태에 따라서 전압 제어 발진기의 출력 주파수를 제어하는 전압인 V_c 를 발생시키고 이 전압의 크기를 조절하는 역할을 한다. 전압 제어 발진기는 V_c 의 크기에 비례하여 출력 신호인 V_{vco} 의 주파수를 조절한다.

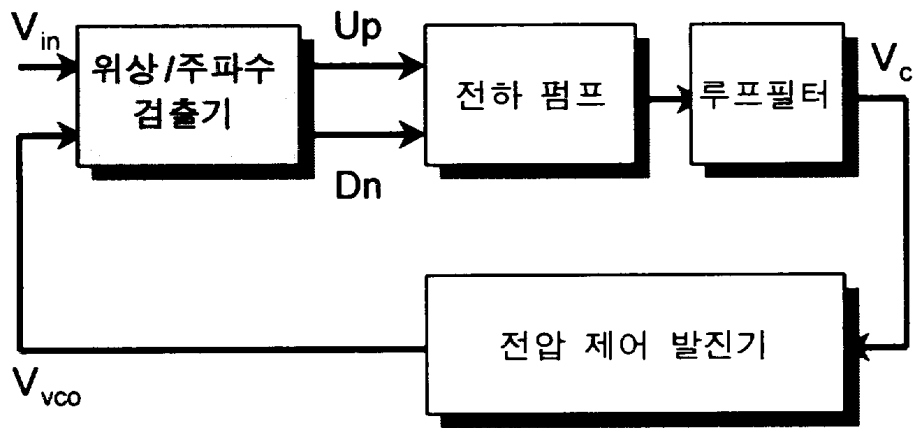


그림 2-1. 위상 동기 회로의 블록도

제 2-1 절. 위상/주파수 검출기 동작 원리

위상을 검출해내기 위한 위상 검출기로서 edge-triggered R-S Latch가 있다. 그림 2-2에 나타난 위상 검출기는 입력되는 V_{in} 신호의 상승 천이시에 출력 Q에 논리 '1'의 값을 전달하고 V_{vco} 신호의 상승 천이시에 논리 '0'의 값을 출력 V_{out} 에 나타낸다. 이와 같은 구조의 위상 검출기는 출력이 입력 신호들의 duty cycle에 영향을 받지 않는다는 장점이 있다. 또한, XOR 게이트를 사용한 구조는 검출해낼 수 있는 위상차가 $-\pi/2$ 에서 $+\pi/2$ 인 반면에 $-\pi$ 에서 π 로 위상 검출 범위가 확장되는 장점이 있다. 이와 같은 구조의 위상 검출기의 입출력 특성과 위상차에 대한 V_{out} 출력 특성을 그림 2-2에 같이 나타내었다.

그러나, 두 입력되는 신호의 주파수의 변화에 대해서 인식을 하지 못하며 위상 검출 범위 역시 어느 정도 제한되기 때문에 위상과 주파수 모두를 검출할 수 있는 위상/주파수 검출기에 대한 연구를 하고자 한다. 그림 2-3은 전형적인 위상/주파수 검출기의 입출력에 관해 나타내고 있는데 만일 입력 V_{in} 의 각 주파수가 입력 V_{vco} 의 각 주파수보다 작다면 이 때, 위상/주파수 검출기는 논리 '0'의 값을 출력 Up에 전달하고 Dn에는 논리 '1'의 값을 전달한다. 반대로 V_{vco} 의 각 주파수가 더 작다면 출력 Dn에 논리 '0'의 값이 전달되고 Up에 논리 '1'의 값이 전달된다. 만일, 두 입력 신호의 각 주파수가 서로 같다면 위상/주파수 검출기는 그림 2-3에 나타낸 바와 같이 V_{in} 신호와 V_{vco} 신호의 위상차가 음이라면 Dn에 위상차와 동일한 펄스폭을 갖는 신호를 출력한다. 반대로 위상차가 양이라면 Up에 동일한 펄스폭을 갖는 논리 '1'의 값을 출력하는 구조를 가지고 있으며 각 주파수와 위상이 모두 동일한 경우에는 Up과 Dn에 논리 '0'의 값을 출력한다. 이와 같은 위상/주파수 검출기에서는 Up과 Dn에 동시에 논리 '1'의 값

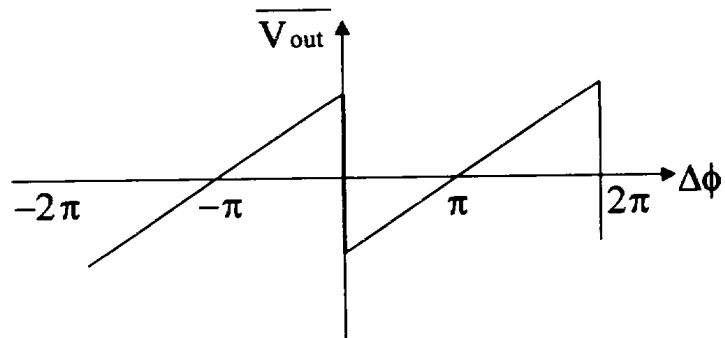
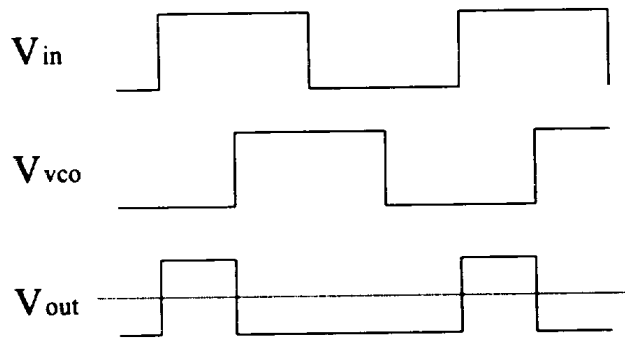
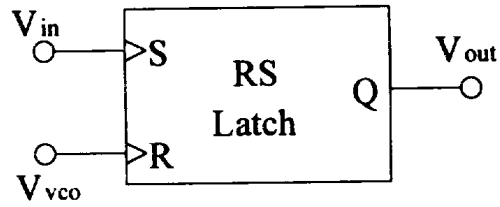


그림 2-2. R-S latch의 입출력과 위상 검출 범위

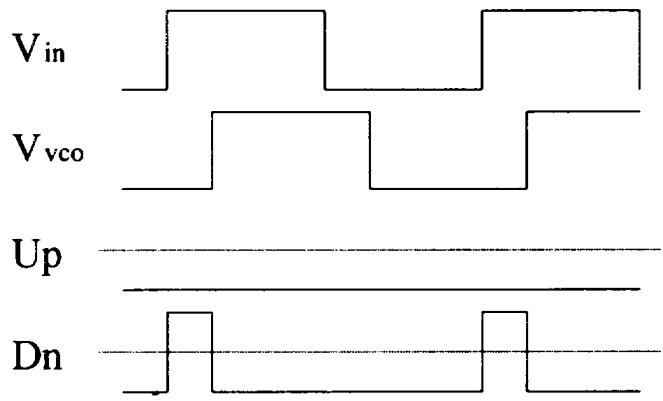
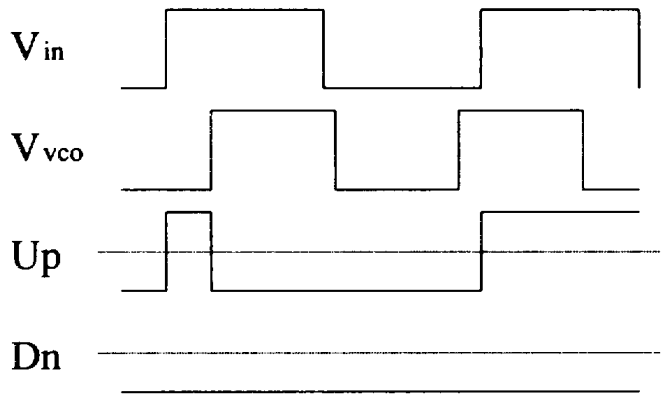
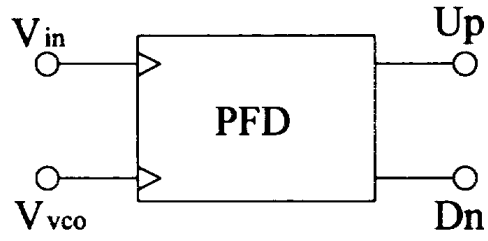


그림 2-3. 위상/주파수 검출기의 입출력과 위상 검출 범위

을 갖는 펄스가 발생하지 말아야만 한다.

위와 같은 구조를 갖는 위상/주파수 검출기를 설계하기 위해서는 두 개의 출력값이 세 가지의 논리 상태를 가져야 하며 입력되는 신호들의 주파수와 위상의 변화에 따른 duty cycle에 영향을 받지 않도록 edge-triggered 구조를 가져야만 한다. 이를 위해 그림 2-4에 위상/주파수 검출기의 동작을 요약한 상태 그림(State diagram)을 나타내었다. 여기서, $U_p=D_n=0$; $U_p=0, D_n=1$; $U_p=1, D_n=0$;의 세 가지 상태를 가지며 각 상태의 전환은 입력되는 두 신호의 하강 천이 때 일어난다. 따라서, 만일 V_{in} 의 각 주파수가 V_{vco} 의 각 주파수보다 크다면, V_{vco} 신호가 두 번 전환된 사이에 V_{in} 신호가 두 번 전환되는 상태가 돌아가기 위해 나머지의 상태사이로 전환되는 순차적인 변환을 나타내고 있다.

0에서 2π 까지의 위상차를 검출하고 전하펌프와 함께 사용하여 정적인 위상 잡음을 제거할 수 있는 위상/주파수 검출기 구조가 그림 2-5에 나타나 있다.(PFD1)^{[3][7][11]} 하강 시점(Negative Edge)에서 동작하는 두 개의 D-F/F(D Flip-Flop)의 클럭 입력단에는 V_{in} 과 V_{vco} 신호가 각각 입력되고 D 입력에는 논리 '1'의 값을 가하여서 V_{in} 이나 V_{vco} 가 논리 '1'에서 '0'으로 하강하는 시점에서 입력값을 외부에 출력한다. 즉, 입력 V_{in} 이 하강하는 시점에서 논리 '1'의 신호가 D-F/F의 출력 U_p 에 나타나고 V_{vco} 가 하강하는 시점에서는 출력 D_n 에 논리 '1'의 값이 나타난다. 이 때, U_p 과 D_n 신호가 동시에 논리 '1'이 되면 AND 게이트의 출력이 논리 '1'의 값을 갖고 리셋 단자를 동작시켜서 V_{in} 과 V_{vco} 신호를 논리 '0'으로 하강시킨다. 두 입력 신호의 위상차는 전하펌프에 위상차만큼의 U_p 신호가 전달되어 전압 제어 발진기의 주파수를 증가시킴으로써 감소된다. 천이 순간에서만 동작하기 때문에 위상차에 관계없이 0에서 2π 까지 검출이 가능하고 위상차가 미세하여 검출해 낼 수 없는 영역인 Dead Zone을 피할 수 있다.

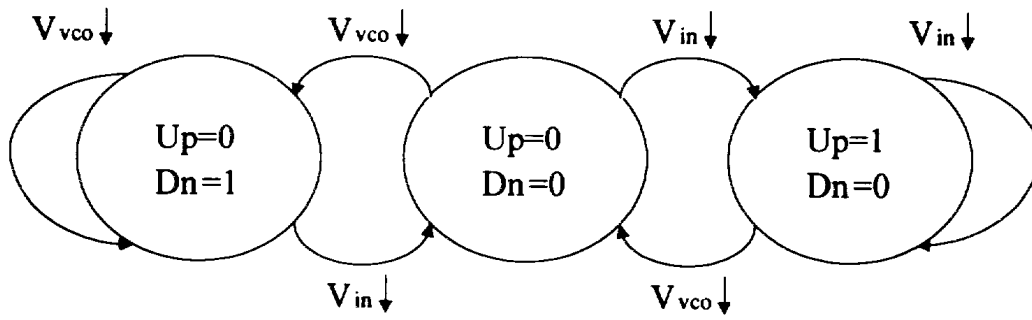


그림 2-4. 위상/주파수 검출기 논리 상태도

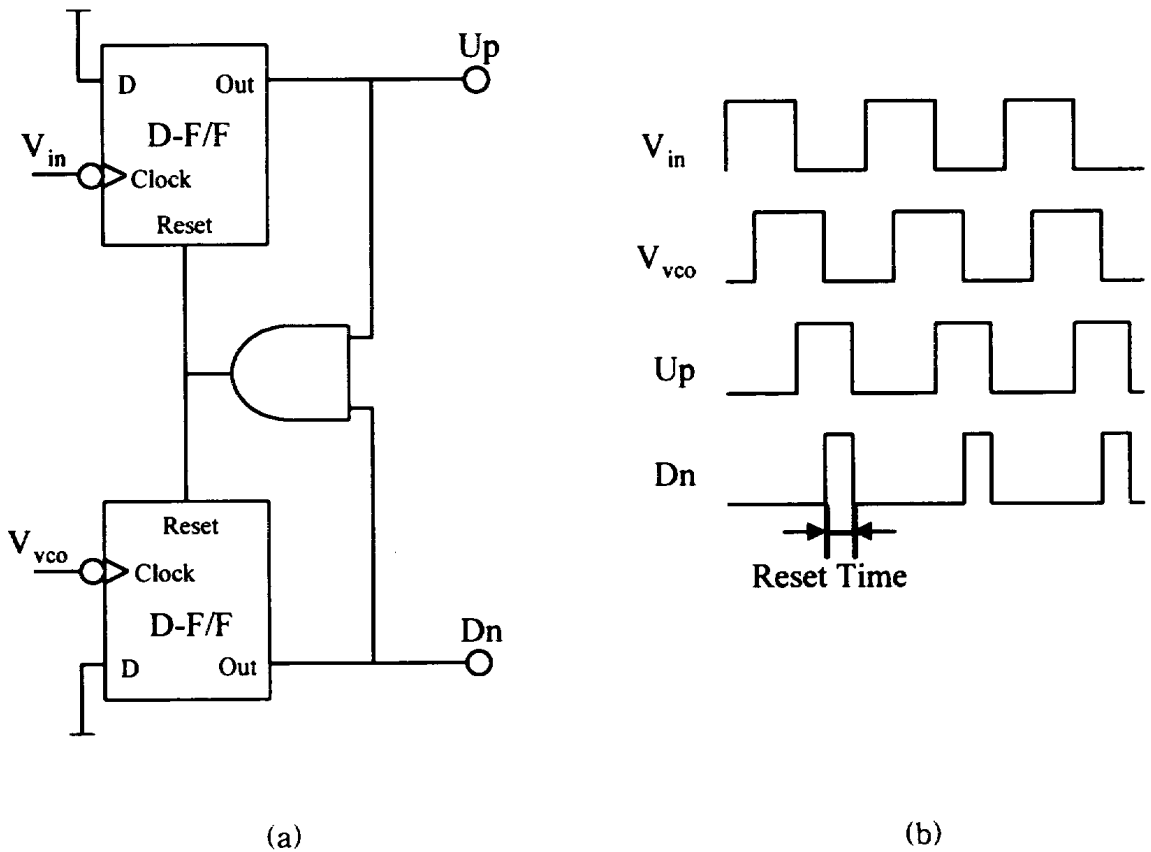


그림 2-5. 일반적인 위상/주파수 검출기(PFD1)

(a) PFD1의 구조

(b) PFD1의 입출력 특성

제 2-2 절. 전하펌프 루프필터의 동작 원리

전형적인 선형 위상 동기 회로에는 위상 검출기와 연동하여 간단한 구조의 저역 통과 필터가 사용된다. 이 구조에서는 위상 검출기 출력의 평균값이 위상차가 존재하는 구간내에 저역 통과 필터의 커패시터에 충전되고 이 값은 시간이 지날수록 누설 전류로 인하여 방전되기 때문에 정상 상태에서의 잡음이 계속해서 발생하는 단점이 있다.^{[6][9][14]} 연산 증폭기등을 이용한 능동 저역 통과 필터가 존재하지만 연산 증폭기 자체가 가지는 대역폭과 동작 주파수의 한계로 인해 잡음의 제거에 있어서 한계가 존재할 수밖에 없다. 이와 같은 문제점은 위상/주파수 검출기와 전하펌프 루프필터를 사용하여 해결할 수 있다.

동작 원리를 알아보기 위해서 그림 2-6에 두 개의 독립 전류원과 전기적인 스위치로 구성된 전하펌프와 위상/주파수 검출기, 저역 통과 필터를 함께 나타내었다. 만일, 입력 V_{in} 신호가 V_{vco} 신호보다 앞선다면 위상/주파수 검출기는 Up 에 논리 '1'의 값을 출력하게 된다. 이 값이 전하펌프의 스위치 S_1 을 도통시키면서 루프필터의 커패시터에는 전류 I_1 이 전달되어 전하가 충전된다. 이 때, Dn 에는 논리 '0'의 값이 나타나게 되고 스위치 S_2 는 도통되지 않고 전류원 B 는 동작하지 않는다. 그림에 나타난 바와 같이 Up 신호의 펄스폭만큼의 시간동안 커패시터에 충전된 값으로 인해 출력 control 전압이 상승하고, 그 외의 시간동안은 전하펌프의 DC 이득이 무한대이기 때문에 루프필터 단독으로 사용된 경우와는 달리 방전될 경로가 생기지 않아서 출력 전압이 일정하게 유지된다. 따라서, 이상적으로 전하펌프가 포함된 위상 동기 회로의 정지 위상 오차는 0이 되고 주파수 획득 범위가 단지 전압 제어기의 출력 주파수 범위에 의해서만 제한되는 장점이 있다.^{[17]-[20]}

그러나, 이와 같이 위상/주파수 검출기와 전하펌프 루프필터가 포함된 경우에는 Dead zone이라는 현상을 겪게된다.^[11] 만일, 두 입력 신호의 위상차가 충분히 크다면 문제가 발생하지 않지만 그림 2-7에 나타난 바와 같이 두 입력 신호 간의 지연 시간이 0에 가까워지면 FET 소자로 구성되는 스위치의 커패시터 부하를 충전시키는데 걸리는 시간으로 인하여 출력 Up 신호가 충분히 논리 '1'로 상승하지 못하고 문턱 전압에 도달하여 논리 '0'의 값으로 Up과 Dn 신호가 하강하는 경우가 발생한다. 이와 같이 제한된 위상 검출 범위를 해결하기 위하여 위상/주파수 검출기의 출력 신호인 Up과 Dn 신호의 상승 시간을 감소하여야 한다. 그러나, 전하 펌프의 스위치인 S_1 과 S_2 가 실제 회로에서 구현될 경우 FET 소자를 사용하게 되는데 이 스위치의 커패시터 부하를 최대한 작게 설계해야 하는데 소자 자체의 한계가 있을 수밖에 없다. 또 다른 방법으로는 두 입력 신호를 논리 '0'으로 리셋 시키는 구조를 사용하여 Up과 Dn 신호가 충분한 시간 동안 논리 '1'의 값을 유지할 수 있도록 설계함으로써 Dead zone 문제를 해결하는 것이다. 그러나, 이 방법을 사용하게 되면 Up과 Dn 신호가 동시에 논리 '1'이 되는 순간에 스위치 S_1 과 S_2 가 동시에 도통되어 두 개의 전류원은 하나의 경로에 위치하게 된다. 이 때, 전류원 A와 B가 가지는 전류 I_1 과 I_2 는 회로로 구성할 경우 어느 정도의 크기 오차가 반드시 발생하게 된다. 이 오차로 인하여 위상차가 없는 경우에도 계속해서 control 전압이 변하기 때문에 이 전압을 제어 전압으로 사용하여 주파수를 변화시키는 전압 제어 발진기의 출력 파형에 심한 왜곡을 발생시키게 된다. 이는 전체 위상 동기 회로에 직접적으로 영향을 미치게 되어서 입력되는 신호와 위상 고정된 상태에서도 계속해서 V_{vco} 의 주파수가 계속해서 변화하게 되어서 지터 잡음을 야기시키게 된다.

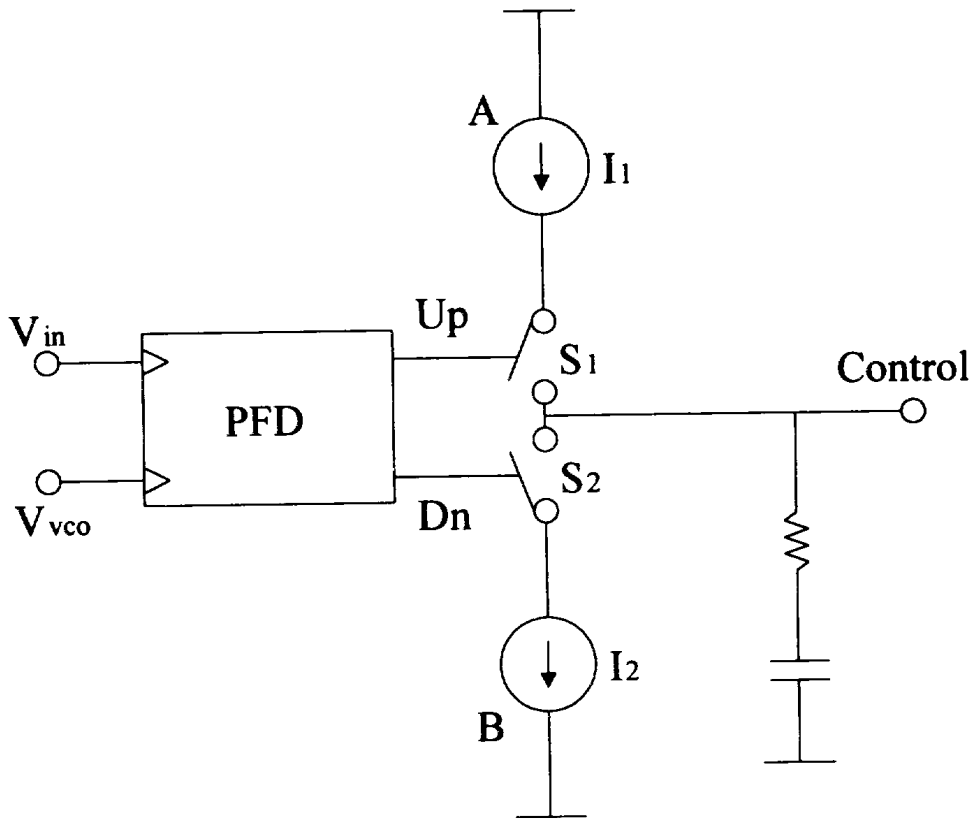


그림 2-6. 위상/주파수 검출기와 연동된 전하펌프 루프필터

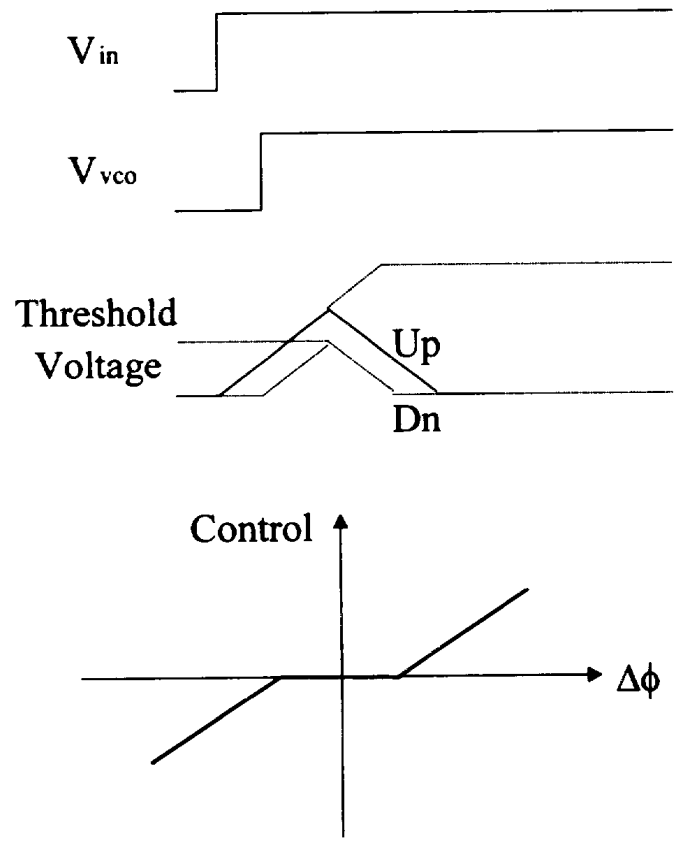


그림 2-7. Dead zone 내의 위상차에 따른 출력 파형

제 2-3 절. 전압 제어 발진기의 동작 원리

전압 제어 발진기는 전하펌프 루프필터에서 발생시켜주는 아날로그 전압을 입력으로 받아들여서 이와 선형적으로 비례하는 주파수를 가지는 출력 신호를 위상/주파수 검출기의 입력으로 전달하는 역할을 수행하는 블록이다.^{[15][16]} 제어 전압이 V_c 라고 할 때 출력되는 신호의 각 주파수는 다음과 같이 표현된다.

$$\omega_{vco} = \omega_o + K_{VCO} V_c \quad (2-1)$$

여기에서 ω_o 는 제어 전압이 0일 때 즉, 전압 제어 발진기가 자유 동작하는 주파수를 말하고, $K_{VCO}(\text{rad/s/V})$ 는 전압 제어 발진기의 제어 전압이 1V 증가할 때의 주파수 이득을 의미한다. 위상을 시간에 대해서 적분하면 sinusoidal 전압 제어 발진기의 출력은 다음과 같이 표현된다.

$$y(t) = A \cos\left(\omega_o t + K_{VCO} \int_{-\infty}^t V_c dt\right) \quad (2-2)$$

전압 제어 발진기는 위상 동기 회로에서 동작 주파수를 결정하는 중요한 역할을 하는 블록이다. 즉, 전압 제어 발진기의 최대 주파수와 최소 주파수가 위상 동기 회로에서 튜닝할 수 있는 범위를 제한하며 이 범위 내에서 전압 제어 발진기의 출력 크기의 변화는 최소가 되어야하며 지터 잡음 역시 최소가 되어야만 한다. 위상 동기 회로 전체의 지터와 위상 잡음은 정확도 등을 결정하는 중요한 요소이다. 또한, 입출력 특성이 선형적이어야만 한다. 즉, 전압 제어 발

진기의 이득인 K_{vco} 의 값이 튜닝 영역안에서는 선형성에서 어긋나지 말아야만 한다.

이러한 전압 제어 발진기는 개별 소자와 몇 개의 능동 소자를 포함한 LC 공진기등으로 구성되어지고 있다. 주파수 안정도가 매우 높아 잡음이 적은 장점이 있지만 생산할 때 주파수를 조정할 때의 문제와 점유 면적 등의 문제가 있다. 현재 국내에서 이러한 전압 제어 발진기의 대량생산을 위한 MMIC 회로가 연구되고 있으나 이와 같은 신 공정 또는 새로운 소자를 이용하기 위한 공정 자체가 매우 비싸고 실용성이 아직까지 증명되지 않았다.

이러한 전압 제어 발진기는 발진 특성 면에서는 낮은 위상잡음을 가져야하며 휴대용에 사용될 수 있도록 낮은 동작전압에서 동작하는 것이 필요하기 때문에 요구되는 전류량이 작아야 한다. 또한, 한 개의 칩에 집적해서 제작하기 위해서는 CMOS 공정과 같이 값싸고 저전력이며 시스템 온 칩이 가능한 공정을 이용하여야만 한다. 물론, 위상잡음 특성이 떨어지지만 점차 MOS 소자에 대한 연구가 계속해서 발전됨에 따라서 소자의 동작 주파수를 결정하는 소자의 게이트 길이가 점점 짧아지고 안정적이 되어 충분히 사용이 가능하리라 생각된다.

이와 같은 전압 제어 발진기가 가지는 위상 잡음등이 상당히 크기 때문에 그 외의 위상 동기 회로의 블록들은 최소의 잡음만을 가지도록 설계되어야 하며 또한 점점 통신 시스템이 고속화됨에 따라서 전압 제어 발진기뿐만이 아니라 그 외의 블록들 역시 그에 상응한 속도로 발전하여야만 한다.

제 2-4 절. 전하펌프 위상 동기 회로

정상 상태에서의 전하펌프 위상 동기 회로를 분석하면 다음과 같다. 먼저, 위상/주파수 검출기와 전하펌프는 선형적인 램프 함수의 응답 특성을 갖는다. 따라서, 회로의 전달함수는 원점에 극점을 포함하게 되고 또 다른 극점은 전압 제어 발진기가 제공한다. 따라서, 위상/주파수 검출기와 전하펌프의 전달함수를 K_{PFD}/s 라고 할 때, 전체 위상 동기 회로의 전달함수는 다음과 같다.

$$H(s) = \frac{\frac{K_{PFD}}{s} \frac{K_{VCO}}{s}}{1 + \frac{K_{PFD}}{s} \frac{K_{VCO}}{s}} = \frac{K_{PFD}K_{VCO}}{s^2 + K_{PFD}K_{VCO}} \quad (2-3)$$

여기서, 불안정한 경우가 발생하기 때문에 이를 제거하기 위하여 전하펌프 루프필터에 영점을 포함시키는데 이는 루프필터의 커패시터에 저항을 직렬로 연결하여 구성한다.^{[6][21][24]}

소신호 분석에서 위상 동기 회로는 위상차가 발생하는 시점에서 전하펌프의 스위칭 동작에 의해 더 이상 연속적인 시간 시스템을 유지하지 못한다. 그러나, 만일 입력 주파수보다 루프 대역폭이 상당히 작다면, 입력되는 신호의 주기에 대해 위상 동기 회로는 극히 작은 양만큼 변한다고 가정할 수 있다. 이와 같은 평균값을 사용하여 우리는 연속적인 시간 시스템으로 위상 동기 회로를 가정한다. 위상차가 $\phi_{in} - \phi_{out} = \phi_e$ 인 상태에서 루프가 시작될 때, 커패시터에 충전되는 평균 전류는 $I\phi_e/(2\pi)$ 가 된다. 그리고, 전압 제어 발진기의 입력인 제어전압의 평균적인 변화는 다음과 같다.

$$V_c(s) = \frac{I\phi_e}{2\pi} \left\{ R + \frac{1}{C_p s} \right\} \quad (2-4)$$

폐루프 전달 함수를 구하기 위해 $\phi_{out}(s) = V_c(s)K_{vco}/s$ 에서 $V_c(s)$ 에 관해 정리한 후 식 (2-4)에 대입하여 정리하면 다음과 같이 나타난다.

$$H(s) = \frac{\frac{I}{2\pi C_p} (RC_p s + 1) K_{vco}}{s^2 + \frac{I}{2\pi} K_{vco} R s + \frac{I}{2\pi C_p} K_{vco}} \quad (2-5)$$

위 식에서 고유 주파수와 댐핑 계수를 구하면 다음과 같이 나타난다.

$$\omega_n = \sqrt{\frac{I}{2\pi C_p} K_{vco}} \quad (2-6)$$

$$\zeta = \frac{R}{2} \sqrt{\frac{I C_p}{2\pi} K_{vco}} \quad (2-7)$$

많은 응용에서 루프 대역폭은 최대화시키는 것이 바람직하다. 보통 고유 주파수 ω_n 과 비례하는데 (2-6)과 (2-7)식에서 전류 I 나 K_{vco} 를 증가시킨다면 고유 주파수와 댐핑 계수가 증가한다. 그러나, 루프 대역폭이 어느 정도 이상을 증가하여 입력 주파수와 비슷하게 되면 연속 시간 시스템으로 가정할 수 없게 되고 이 때는 다음과 같은 안정성의 한계를 제공하는 식을 사용한다.

$$\omega_n^2 < \frac{\omega_{in}^2}{\pi(RC_p \omega_{in} + \pi)} \quad (2-8)$$

제 3 장. 새롭게 제안된 위상/주파수 검출기의 동작원리

제 3-1 절. 기존의 위상/주파수 검출기

앞에서 언급한 바와 같이 전하펌프 위상 동기 회로는 정상 상태에서의 위상 오차가 0이 되는 장점이 있는 반면에 Dead zone으로 인한 잡음을 가질 수밖에 없다. 물론, 외부에서 들어오는 입력과 전압 제어 발진기의 출력 신호의 위상차가 충분히 크다면 문제가 발생하지 않지만 만일 두 입력 신호의 위상차가 전하펌프의 스위치를 도통시키기 위한 문턱전압까지 상승하는데 필요한 시간보다 짧다면 출력 신호가 충분히 논리 '1'로 상승하지 못하고 문턱전압에 도달하여 논리 '0'의 값으로 Up과 Dn 신호가 하강하는 경우가 발생한다.

Dead zone 문제를 해결하기 위하여 그림 2-7(a)의 PFD1 구조와 같이 두 입력 신호를 논리 '0'으로 리셋 시키는 구조를 사용함으로써 Up과 Dn 신호가 충분한 시간 동안 논리 '1'의 값을 유지할 수 있도록 설계한다. 이와 같이 문턱전압에 상관없이 동작시킴으로써 Dead zone 문제를 해결하고자 제안된 구조이다. 그러나, 이와 같은 구조의 문제점은 Up과 Dn 신호들이 동시에 논리 '1'이 되는 경우가 존재한다는 것이다. 이 방법을 사용하게 되면 위상/주파수 검출기 다음 단인 전하펌프의 두 스위치를 동시에 도통시켜서 전류 경로를 야기시킨다. 즉, Up과 Dn 신호가 동시에 논리 '1'이 되는 순간에 스위치 S_1 과 S_2 가 동시에 도통

되어 두 개의 전류원은 하나의 경로에 위치하게 된다. 이 때, 두 개의 전류원은 실제 회로로 구성할 경우 각각의 전류 크기가 완전히 동일할 수는 없다. 즉, 어느 정도의 크기 오차가 반드시 발생하게 된다. 이와 같은 오차는 위상차가 없는 경우에도 단락된 회로에 의해서 계속해서 루프필터의 제어 전압이 순간적으로 변하기 때문에 논리 '1'의 값을 논리 '0'으로 하강시키기 위한 리셋에 필요한 시간동안 제어 전압은 왜곡된다.

따라서, 이 전압을 사용하여 주파수를 변화시키는 전압 제어 발전기의 출력 파형에 심한 왜곡을 발생시키게 된다. 이는 전체 위상 동기 회로에 직접적으로 영향을 미치게 되어서 입력되는 신호와 위상 고정된 상태에서도 계속해서 V_{vco} 의 주파수가 계속해서 변화하게 되어서 지터 잡음을 야기시키게 된다. 위상 동기 회로가 Lock-in이 된 이후의 위상/주파수 검출기와 전하 펌프의 선형성에 영향을 주게 되는 문제를 야기시킨다.

그리고, 위상/주파수 검출기 회로의 임계 경로가 커서 두 입력 신호의 위상차를 검출하여 Up이나 Dn 단자에 출력 신호가 나오기까지의 전달 시간이 길게 되면 전체 위상 동기 회로의 지연 시간이 길어진다. 따라서, Capture 과정에서의 반응 시간이 길어지거나 Lock-in 과정에서 리플을 야기시킬 수 있다.

그러므로, 위상/주파수 검출기의 성능을 향상시키기 위해서는 위상/주파수 검출기의 출력 특성을 최적화하여 리셋 시간을 감소시킴으로써 제어 전압의 왜곡을 최소화하여야 한다. 그리고, 구조를 단순화하여 임계 경로를 줄여서 전달 시간을 감소시키고 전체 위상 동기 회로가 동기된 상태에서 Dead Zone내의 위상차를 인식하지 못하게 되어 발생하는 잡음을 줄일 수 있는 새로운 구조를 필요로 한다.

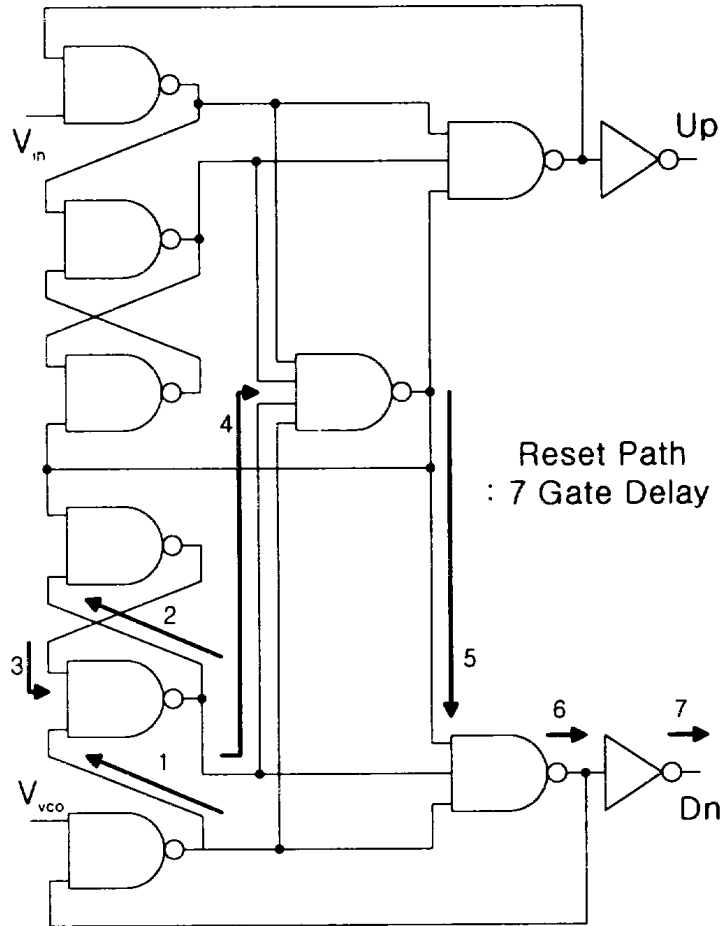


그림 3-1. PFD1 구조의 회로도

제 3-2 절. 리셋 시간을 감소하여 개선된 위상/주파수 검출기

앞 절에서 언급한 PFD1과 같은 구조를 갖는 위상/주파수 검출기를 실제 설계할 경우 일반적인 NAND 게이트를 기반으로 해서 설계된 회로도가 그림 3-1에 나타나 있다.^{[3][5]}

이 회로는 입력되는 두 V_{in} 과 V_{vco} 신호의 하강 천이시에 두 신호의 위상 및 주파수차를 검출한다. NAND 게이트 9개와 인버터 2개로 구성된 이 회로의 동작 속도는 모든 내부 노드의 상태들을 리셋시키는데 필요한 지연 시간에 의해 결정되는데 그림에 나타난 바와 같이 7 게이트의 상당히 긴 리셋 시간과 전달 시간이 소요된다. 본 논문에서는 리셋 시간과 전달 시간을 감소시키기 위해 임계 경로를 단축시키고자 하였다. 이와 같은 경로를 단축하기 위해서는 일반적인 NAND 게이트와 인버터만 사용해서는 구조를 단순화시키기 어렵다. 따라서, 본 논문에서는 Dynamic D-Latch^[10]와 이를 사용하여 발생하는 다른 문제를 해결하는 기본 게이트들을 사용하여 그림 3-2에 나타난 바와 같이 구조를 단순화시킨 위상/주파수 검출기(PFD2)를 제안한다.

PFD2의 구조는 기존의 PFD1구조의 리셋 경로자체를 바꾸지는 않은 상태에서 리셋 시간과 전달 시간 등의 성능을 향상시키면서 문제를 해결하는데 중점을 둔 것으로써 동작 원리는 다음과 같다.

PFD2에서는 그림 3-2(a)로부터 알 수 있듯이 처음 입력단으로써 동작하는 NMOS인 MN1의 입력으로 V_{in} 신호를 가한다. 즉, V_{in} 신호가 논리 '1'의 값으로 상승하는 경우에 외부 데이터를 받아들이는 PMOS인 MP1의 입력이 출력으

로 전달되지 않도록 설계한다. 그리고, VCC에 가까운 전압이 출력 n1에 전달되도록 인버터 형태로 구성되는 MP2의 W/L비를 MP1의 W/L 비보다 4배 이상 크게 설계하도록 한다.

위와 같이 설계하게 되면, 입력 V_{in} 신호가 논리 '0'으로 하강한 상태에서 MP1의 입력으로 논리 '0'이 전달 될 경우에만 VDD에 가까운 전압이 출력 노드인 n1에 전달되는 동작을 한다. 마찬가지로 입력 V_{in} 신호가 논리 '0'인 상태에 있을 경우에 MP1의 입력으로 논리 '1'이 전달된다면 출력 n1의 값이 다음단의 NMOS인 MN2를 도통시키지 않을 정도의 전압값이 전달된다. 이와 같이 구조를 간단히 하기 위하여 위상/주파수 검출기에 포함되는 Latch는 Dynamic D-Latch를 사용함으로써 MP2와 MN2의 W/L 비를 앞에서 설계한 바와 같이 결정한다. 이와 같이 설계하면, MN2의 입력인 노드 n1의 값이 문턱 전압 이상의 값을 가지면 MN2는 도통되고 따라서 출력되는 Up신호는 논리 '0'의 값으로 하강한 상태로 고정된다. 이 경우에 MP2는 어떠한 상태에 있더라도 출력값은 변하지 않는다.

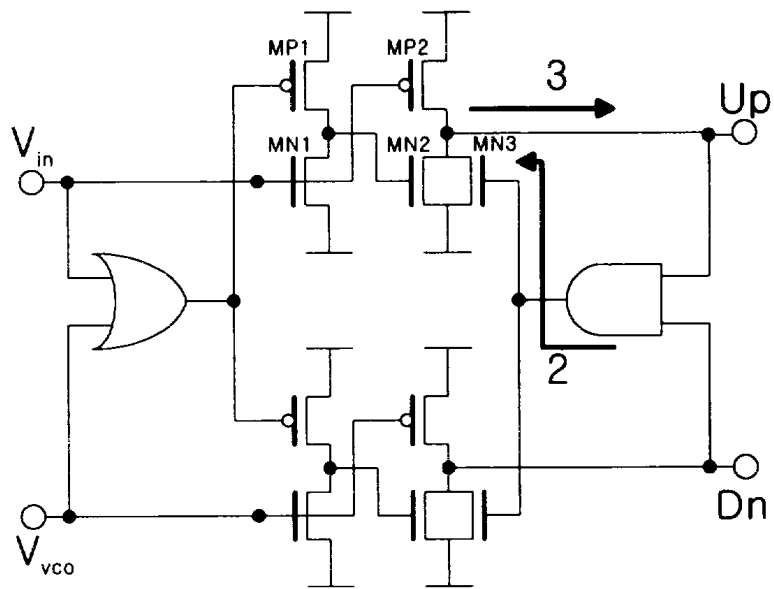
결과적으로 V_{in} 신호가 논리 '1'의 값으로 상승한다면 MP1의 입력으로 어떠한 값이 들어오더라도 관계없이 출력값이 일정하게 유지되고, V_{in} 신호가 논리 '0'이고 MP1의 입력이 논리 '1'이라면 Up 신호에는 VDD에 가까운 값이 출력되고 반대로 MP1의 입력이 논리 '0'이라면 Up 신호에는 VCC에 가까운 값이 출력되도록 설계한다.

위와 같이 설계된 PFD2 구조의 입출력 특성을 알아보기 위해서 그림 3-2(b)에 입력 V_{in} 과 V_{vco} 신호가 어느 정도의 위상차를 가지고 출력될 때의 파형을 나타내었다. 입력 V_{in} 신호가 논리 '1'의 값으로 상승하면 입력되는 경로를 단절시킴으로써 이전에 입력되어 나타나고 있는 출력값이 그대로 나타나도록

유지된다. 따라서, 오동작을 피하기 위해서 초기에는 논리 '0'의 값을 입력으로 가한다. 따라서, 출력인 U_p 에는 논리 '0'의 값이 나타나도록 한다. V_{in} 신호와 어느 정도의 위상차를 가지고 V_{vco} 신호가 논리 '1'의 값으로 상승하면 역시 마찬가지로 입력되는 경로가 개방되어서 이전의 입력이 출력으로 그대로 유지된 상태로 나타난다. 따라서, 초기값인 논리 '0'의 값을 입력으로 가하여서 출력에 그대로 나타나도록 전달한다.

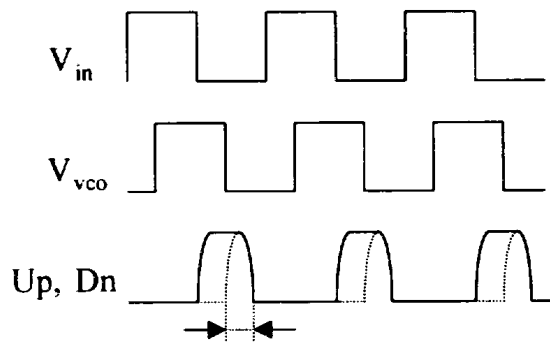
다음으로 V_{in} 신호가 논리 '0'으로 하강하게 되면 이 때 MP1의 입력으로는 V_{in} 과 V_{vco} 의 OR 게이트 조합에 의한 논리 '1'의 값이 전달되어 출력 신호인 U_p 에 전달된다. 어느 정도의 위상차가 지난 후 V_{vco} 신호가 논리 '0'으로 하강하면 마찬가지로 D_n 에 논리 '1'의 값이 나타난다. 이와 같이 독립적으로 동작하는 출력 신호의 상태값에서 실선으로 나타나는 U_p 과 점선으로 나타나는 D_n 신호가 동시에 논리 '1'이 되면 이 때 AND 게이트의 출력값은 논리 '1'의 값으로 상승하고 이 값이 MN3에 전달되어 U_p 과 D_n 신호를 논리 '0'의 값으로 하강시키는 구조를 갖는다. 이 때, 논리 '0'상태에서 V_{in} 과 V_{vco} 의 값의 변화에 대한 영향을 제거하기 위하여 본 논문에서는 NOR 게이트를 추가하였다.

PFD2 구조는 PFD1 구조와 비교하여 상당히 간단하며 게이트의 수 역시 감소되고, 그림 3-2(a)에 나타나듯이 리셋 시간이 3 게이트 지연 시간으로 50% 이상 감소되었다. PFD2 구조에서 전달 시간은 입력이 하강하는 시점에서 출력값이 논리 '1'의 값으로 상승하기 시작하는 시점에서 전하 펌프의 스위치인 MOSFET이 도통될 수 있는 문턱 전압까지 상승하는 데 필요한 시간만큼 소요된다. 따라서, 출력단의 부하에 전하를 충전시키는데 필요한 시간만큼의 전달 시간이 소요되기 때문에 출력 전류를 큰 값으로 설계함으로써 이를 최소화하였다.



Reset Path: 3 Gate Delay

(a)



Reset Time : 3 Gate Delay

(b)

그림 3-2. 리셋 시간을 감소시킨 위상/주파수 검출기의 구조(PFD2)

(a) PFD2의 회로도

(b) PFD2의 입출력

제 3-3 절. 두 가지 리셋 경로의 새로운 위상/주파수 검출기

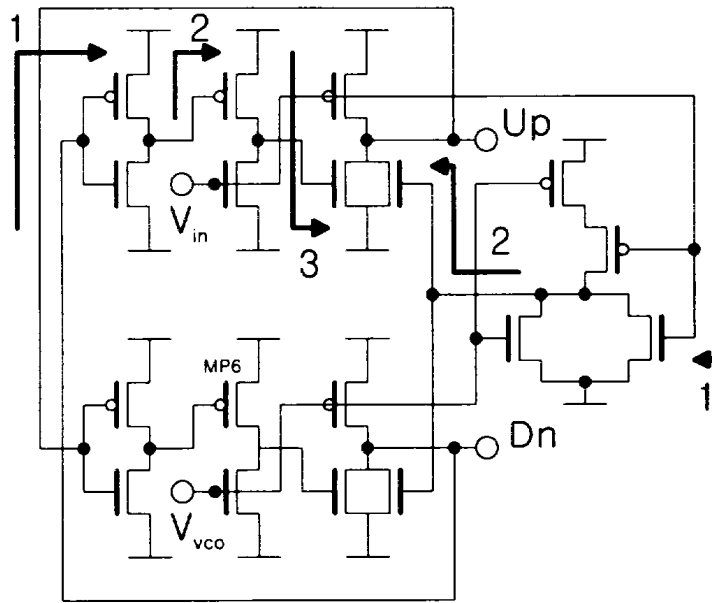
그림 3-2에 나타난 구조를 단순화시킨 PFD2의 구조는 기존의 PFD1구조의 리셋 경로자체를 바꾸지는 않은 상태에서 리셋 시간과 전달 시간 등의 성능을 향상시키고자 의도한 위상/주파수 검출기이다.

이와 같은 PFD2 구조를 제안하여 리셋 시간을 감소시켰지만 3 게이트 지연 시간동안은 계속해서 위상 동기 회로에 지터 잡음을 야기시킬 수밖에 없다. 따라서, 기존의 Up과 Dn 단자의 신호가 동시에 논리 '1'이 될 경우에 하나의 AND 게이트를 통하여 리셋되는 구조를 개선하여 그림 3-3(a)와 같이 리셋 경로를 두 부분으로 나눈 새로운 구조의 위상/주파수 검출기(PFD3)를 제안한다.

그림 3-3(b)에 나타나듯이 PFD3 구조의 위상/주파수 검출기 역시 하강 시점에서 동작하는 Dynamic D-Latch를 사용하였기 때문에 PFD2 구조와 마찬가지로 V_{in} 신호가 논리 '0'으로 하강하는 시점에서 Up 신호가 논리 '1'로 상승하게 된다. 그러나, PFD2 구조에서는 입력되는 신호에 대한 정보를 갖는 데이터가 직접 D 입력에 가해지는 반면에 PFD3 구조에서는 실선으로 나타나는 Up 신호의 반전된 신호가 MP6에 입력으로 가해진다. 즉, 클럭 입력단에 V_{vco} 의 어떤 입력이 들어오기 전에 Up 신호의 반전된 논리 '0'의 값이 전달되도록 하는 것이다. 이와 같이 구성하게 되면 V_{vco} 의 하강시점에서는 Dn의 출력 신호는 논리 '0'의 값을 나타낸다. 따라서, 그림에 나타난 바와 같이 점선으로 나타난 Dn 신호는 전하펌프 루프필터의 스위치, 즉 입력 게이트를 도통시키는 문턱전압 이하의 전압을 갖게 되도록 설계하는 것이다. 또한, 두 번째 리셋 경로는 V_{in} 과 V_{vco} 를

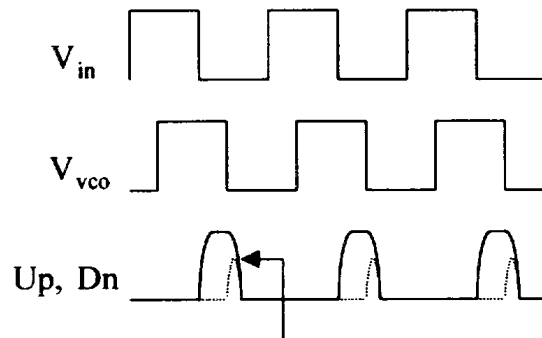
조합하여 Up 신호를 논리 '0'으로 하강시키는 역할을 한다. 따라서, Up과 Dn 신호가 동시에 논리 '1'로 상승하여 리셋에 필요한 지연 시간을 최소화하였다.

PFD3 구조는 입력 신호간의 위상차가 클 경우에는 위에 설명된 방법에 의해 리셋에 필요한 지연 시간이 최소화되지만 위상차가 출력을 반전시켜 다시 입력을 거쳐 전달되는 3 게이트 지연 시간보다 작아진다면 인버터에 의한 리셋 경로는 동작을 하지 않고 NOR 게이트에 의하여 PFD2와 마찬가지로 3 게이트 지연 시간만큼의 리셋 시간을 가지게 된다. 위상차가 완전히 0인 경우에도 역시 NOR 게이트에 의한 두 번째 리셋 경로에 의하여 3 게이트 지연 시간이 계속해서 발생할 수밖에 없다. 이는 전하펌프 루프필터와 연동하여 사용할 경우에 Dead zone 문제가 발생할 수 있기 때문에 존재해야만 한다. 또한, V_{in} 이 V_{vco} 보다 위상차가 π 만큼 앞설 경우에 PFD1 구조와는 달리 NOR 게이트에 의한 두 번째 리셋 경로가 리셋 게이트를 도통시킬 수 없어서 Up 신호가 논리 '1'의 값을 계속해서 갖게 된다. 따라서, 위상을 검출할 수 있는 범위에서 입력이 완전히 서로 반전된 부분이 제외되는 단점이 있는 반면에 부가적으로 주파수 획득을 하는 Capture 과정에 필요한 시간이 짧아진다. 본 PFD2와 PFD3 구조는 출력을 전류로 볼 수 있기 때문에 전하펌프에 충분하지 못한 출력 전류의 값이 전달되면 미세한 위상차에 반응하지 못하여 Dead Zone을 야기시킨다. 따라서, 본 논문에서 제안된 PFD2와 PFD3에서는 부하를 충전시키는 출력 전류를 크게 함으로써 Dead Zone을 최소화하였지만 전력 소비가 커지는 단점이 존재한다. 그러나, 이와 같은 문제점에도 불구하고 고 주파수에서의 동작등의 전체적인 성능은 향상되었다고 판단된다.



Critical Reset Path : 3 Gate Delay

(a)



전하펌프 문턱전압 이하

(b)

그림 3-3. 리셋 시간이 제거된 위상/주파수 검출기의 구조(PFD3)

(a) PFD3의 회로도

(b) PFD3의 입출력 특성

제 4 장. 위상 동기 회로의 블록 별 설계 및 시뮬레이션

제 4-1 절. PFD1, PFD2, 그리고 PFD3 구조 성능 비교

본 논문에서는 새롭게 제안된 위상/주파수 검출기(PFD2, PFD3)의 성능 향상을 검증하기 위해서 $0.8\mu\text{m}$ CMOS 공정 파라미터를 이용하여 SPICE 시뮬레이션을 수행하였다. 제안된 구조의 위상/주파수 검출기와 비교하기 위해서 PFD1의 구조는 그림 3-1과 같이 집적화가 가능한 일반적인 위상/주파수 검출기로 구성하였다. 동일한 입력에 대한 출력이 나올 수 있도록 PFD1의 회로는 인버터가 포함되어 Up과 Dn 신호를 직접 볼 수 있고 사용할 수 있다. 이와 같은 인버터와 PFD1의 기본적인 게이트인 NAND 게이트 모두를 최적으로 설계하여 구조적인 차이점을 볼 수 있도록 노력하였으며 새로 제안된 PFD2, PFD3와 중복되는 게이트들이 포함되는 것은 동일하게 구성하여 시뮬레이션에 적용함으로써 특성의 차이를 줄이고자 하였다.^{[12][13]}

먼저, 그림 4-1과 같이 입력 V_{in} 과 V_{vco} 의 동작 주파수가 250MHz이고 V_{in} 이 V_{vco} 보다 0.3 nsec의 위상차만큼 앞 선 상태의 두 입력을 가하여 Up과 Dn 신호가 출력되는 펄스에 관해 시뮬레이션하였다. 전하펌프는 실제 회로로 구성할 때

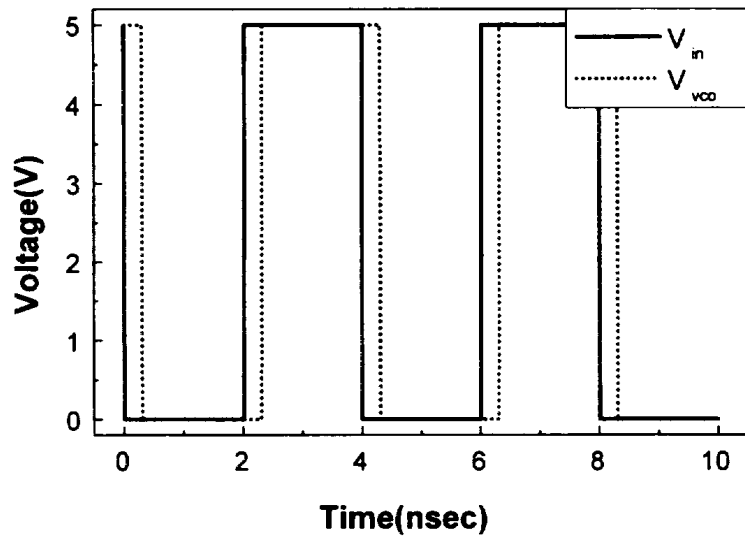
온도와 공정상에서 안정된 특성을 가지도록 일반적으로 차동 구조로 설계한다. 따라서, 전하펌프의 스위치로 사용되는 NMOS는 차동 구조의 전류원을 동작시키기 위한 전압에 기본적인 MOSFET의 문턱 전압 이상의 전압이 더해져야만 도통될 수 있을 것이다. 따라서, 전하펌프의 스위치를 닫게 하기 위하여 위상/주파수 검출기의 Up신호와 Dn신호는 차동 구조의 입력 FET을 스위칭하는 데 약 2V 정도의 전압까지 상승하여야 한다. 따라서, 입력이 출력으로 나타나기까지의 전달 시간과 두 출력 신호가 동시에 논리 '1'이 되어서 유지되는 리셋 시간을 측정하기 위하여 기준 전압을 2V로 정하고 위상/주파수 검출기의 구조별로 측정하였으며 온도는 25°C이고 0.8 μ m typical 공정 파라미터를 사용하였다.

모든 구조에 대하여 측정해 본 결과 위상차에 대한 선형적인 출력 전압 이득은 차이가 없었으며 PFD1에서 요구되는 리셋 시간은 0.45 nsec이고 전달 시간은 약 4.91 nsec로써 그림 4-1(b)에 시뮬레이션 결과가 나타나 있다. 이에 반하여 구조를 단순화하여 리셋 시간과 전달 시간을 감소시킨 PFD2 구조에서는 약 0.32 nsec의 리셋 시간이 소요되었다. 그리고, 전달 시간은 0.11 nsec로 나타났다. PFD2 구조는 입력의 하강 시점에서 동시에 출력이 나타나기 때문에 이와 같이 아주 작은 전달 시간이 소요되었지만 전류를 출력으로 하기 때문에 출력에 부하를 충전시키기 위하여 필요한 상승 시간이 어느 정도 필요하였다. 물론, 이러한 상승 시간의 지연으로 PFD1 구조와 같이 전환 시점에서 직접 출력이 나타나는 구조와는 달리 Dead zone의 문제를 야기시킬 수 있으나 시뮬레이션 상에서 나타나듯이 아주 작은 값을 가지기 때문에 문제가 되지 않았다. PFD3는 2V의 문턱전압에 도달하기 이전에 논리 '0'으로 감소하기 때문에 전하 펌프의 스위치를 동시에 닫히게 하는 부분을 효과적으로 제거할 수 있어서 리셋 시간은 0.030 nsec이고 전달 시간은 0.095 nsec에 불과하였다.

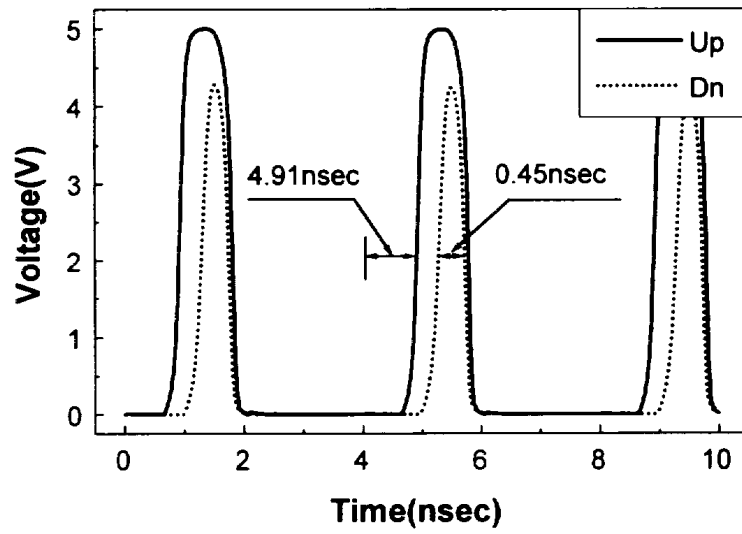
다음으로 위상/주파수 검출기의 동작 주파수 범위를 측정하기 위해서 위상/주파수 검출기를 제외한 부분을 이상적인 모델로 구성한 위상 동기 회로를 설계하고 전체적인 입력 주파수의 변화에 대해 주파수를 획득하는 과정을 시뮬레이션하여 동작 주파수를 측정하였다.

전하펌프 루프필터는 두 개의 전류원과 두 개의 스위치, 그리고 저항과 커패시터로 구성되어 있다. 대역폭을 결정하는 루프필터의 저항과 커패시터는 시뮬레이션을 통해서 안정된 값을 대입하여 사용하였다. 전압 제어 발진기의 주파수 이득은 200MHz/V로 정하였다. 이와 같이 구성하고 그림 3-1의 PFD1에 대해 시뮬레이션한 결과가 그림 4-2(a)에 나타나 있다. 이는 위상 동기 회로의 외부 입력 V_{in} 에 일정한 주파수를 갖는 신호를 가하고 전압 제어 발진기의 제어전압인 V_c 의 시간에 대한 변화를 살펴봄으로써 전체 위상 동기 회로의 Capture 과정을 확인하는 시뮬레이션이다. 이를 위해 전압 제어 발진기의 자유 동작 주파수(Free running frequency) f_0 가 600MHz, 900MHz, 1.2GHz, 1.5GHz이고 입력 주파수 f_{in} 은 각각의 f_0 보다 5MHz, 10MHz, 15MHz, 그리고 20MHz만큼 더 큰 주파수를 입력으로 가하여 시뮬레이션을 수행하였다. 전압 제어 발진기의 이득을 200MHz로 정하였기 때문에 제어 전압 V_c 가 0.025V, 0.05V, 0.075V, 그리고 0.1V가 될 때 위상이 고정되어야만 하는데 GHz 이상의 주파수에서는 PFD1이 동작하지 않는 것을 확인할 수 있었다. 반면에, PFD2에서는 900MHz 이상의 주파수에서 정상적으로 동작하며 최대 동작 주파수는 그림 4-2(b)에서 볼 수 있듯이 1.5GHz이고 Capture 과정에 소요되는 시간은 2.2 μ sec 이상이며 입력 주파수가 커짐에 따라 크게 증가하는 것을 알 수 있었다. 다음으로 PFD3는 모든 주파수에서 동작하며 그림 4-2(c)에서 볼 수 있듯이 위상이 π 만큼 차가 났을 경우에 PFD1과는 달리 Up신호를 계속해서 전하펌프 루프필터에 전달한다. 따

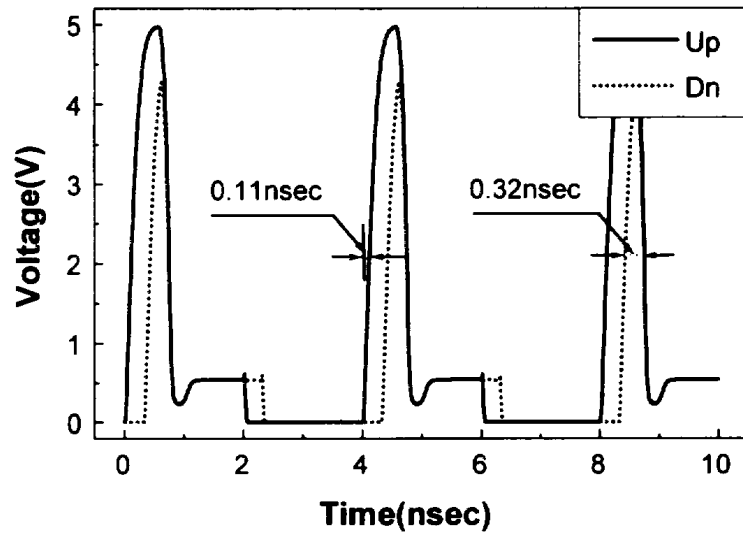
라서, 루프필터의 커패시터에 충전되는 전압을 급격히 상승시켜서 앞의 PFD2 구조의 시뮬레이션 결과에서는 고 주파수에서 주파수 획득 시간이 증가하는 반면에 PFD3에서는 약 180 nsec로 감소되었으며 세밀한 주파수를 추적하는 Lock-in 과정에서도 정상적으로 동작하는 것을 확인할 수 있었다. 표 4-1에 이와 같은 세 구조에 대한 시뮬레이션 결과가 나타나있다.



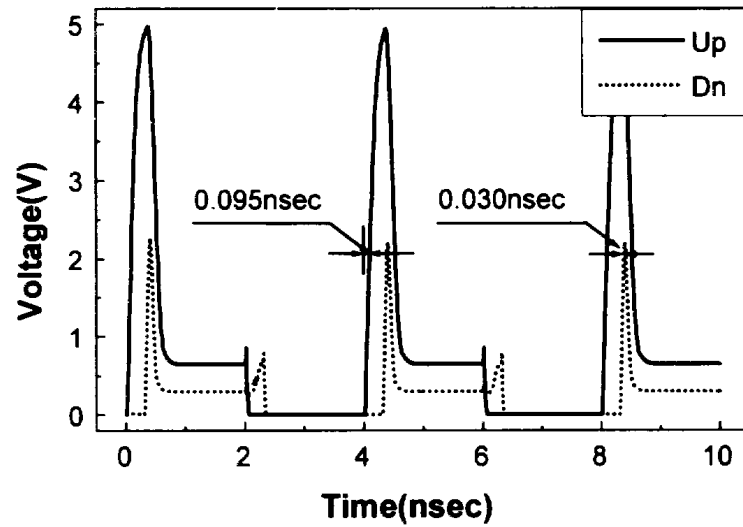
(a)



(b)



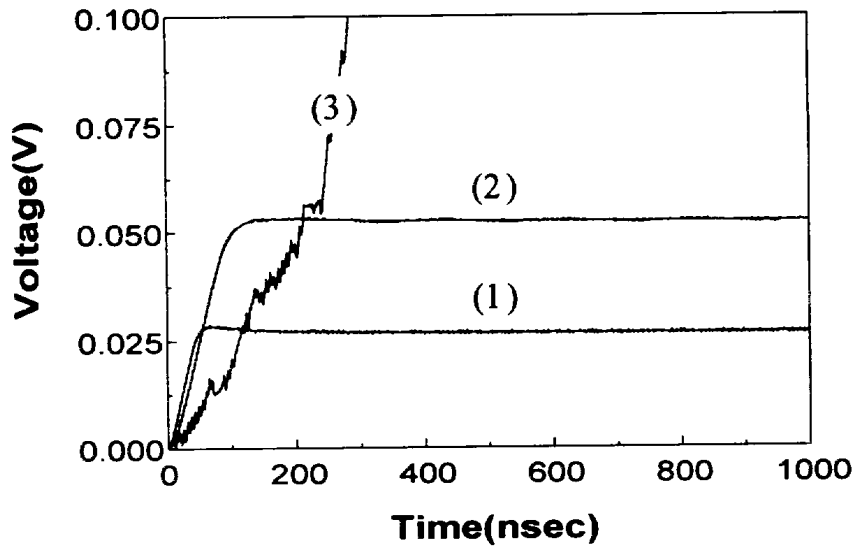
(c)



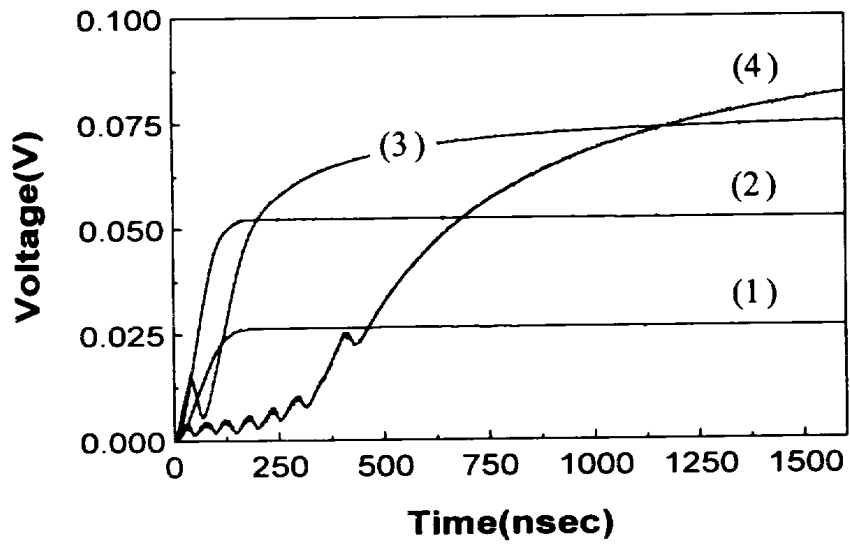
(d)

그림 4-1. 위상/주파수 검출기의 리셋과 전달 시간 시뮬레이션

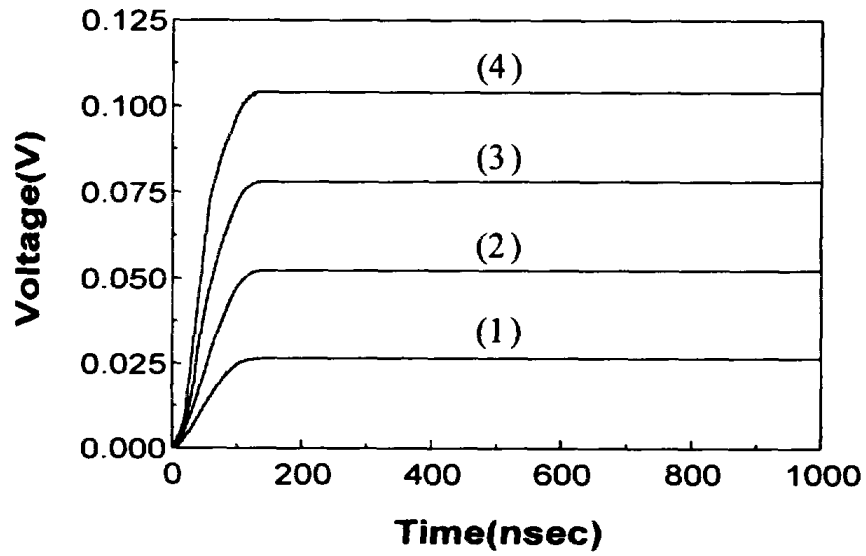
- (a) 0.3 nsec의 위상차를 갖는 V_{in} 과 V_{vco} 신호 (b) PFD1구조의 Up과 Dn신호
(c) PFD2구조의 Up과 Dn신호 (d) PFD3구조의 Up과 Dn신호



(a)



(b)



(c)

그림 4-2. 세가지 위상/주파수 검출기가 각각 포함된 위상 동기 회로의 V_c

(a) PFD1 [(1) $f_o=600\text{MHz}$, $f_{in}=605\text{MHz}$ (2) $f_o=900\text{MHz}$, $f_{in}=910\text{MHz}$

(3) $f_o=1200\text{MHz}$, $f_{in}=1215\text{MHz}$]

(b) PFD2 [(1) $f_o=600\text{MHz}$, $f_{in}=605\text{MHz}$ (2) $f_o=900\text{MHz}$, $f_{in}=910\text{MHz}$

(3) $f_o=1200\text{MHz}$, $f_{in}=1215\text{MHz}$ (4) $f_o=1500\text{MHz}$, $f_{in}=1520\text{MHz}$]

(c) PFD3 [(1) $f_o=600\text{MHz}$, $f_{in}=605\text{MHz}$ (2) $f_o=900\text{MHz}$, $f_{in}=910\text{MHz}$

(3) $f_o=1200\text{MHz}$, $f_{in}=1215\text{MHz}$ (4) $f_o=1500\text{MHz}$, $f_{in}=1520\text{MHz}$]

표 4-1. 각 구조의 성능 비교

성능 \ 구조	기존의 구조	제안된 구조	리셋 경로를 나눈 구조
리셋 시간	0.45nsec	0.32nsec	0.030nsec
전달 시간	4.91nsec	0.11nsec	0.095nsec
최대 동작 주파수	900MHz	1.5GHz	1.5GHz
Acquisition Time	고 주파수에서 점점 증가	고 주파수에서 점점 증가	모든 주파수 대역에서 180nsec 유지

제 4-2 절. 전체 회로의 동작 검증 및 레이 아웃

전체 위상 동기 회로를 구성하기 위하여 전하펌프 루프필터는 다음과 같이 설계하였다. 전하펌프는 고 주파수에서 동작되어야 하기 때문에 온도와 공정상에서의 안정성을 고려하여 차동 구조를 사용하여 설계하였으며 입력으로써 Up 과 Dn 신호가 각기 두 개의 차동 입력으로 가해지도록 되어 있다. 이와 같은 구조에서 가장 중요한 점은 루프필터의 커패시터를 충전시켜 주는 전류원을 설계하는 것과 또한 방전시켜 주는 전류원을 설계하는 것이다. Up에 논리 '1'의 값이 전달될 경우에 루프필터의 커패시터를 충전시켜 주는 상단의 전류가 루프필터로 전달되고 방전시켜 주는 전류원으로 향하는 경로는 모두 개방된다. 따라서, 루프필터의 제어전압은 이 시간동안 증가하게 된다. 반대로 입력 Dn에 논리 '1'의 값이 전달되면 모든 전류원에 대해서 단락되는 현상을 나타내게 된다. 즉, 상단의 충전시켜주는 전류원과 하단의 두 개의 방전시켜주는 전류원이 모두 동작하게 되도록 설계하였다.

전체 위상 동기 회로의 동작 주파수와 안정성을 결정짓는 중요한 요소인 전압 제어 발진기는 하나의 칩에서 집적화하기 위해서 링형태로 구성하여 사용하는 것이 일반적이다.^{[15][23]} 소비 전력이 비교적 커지지만 외부의 온도에 대한 민감성과 공정에 대한 민감성을 감소시키기 위하여 차동 구조의 인버터를 사용하여 2단의 짝수단의 링 오실레이터를 사용하였다. 이 때의 지연 소자인 인버터는 고속에서 동작 가능하기 위하여 차동 인버터에 인가되는 두 입력의 공통 성분의 변화 및 차동 인버터를 구성하는 MOSFET의 대신호에 대한 비선형성에 의해 2배의 높은 발진 주파수를 갖는 고속에서 동작가능한 주파수 체배의 효과를 가지는 전압 제어 발진기를 도입하였다. 각 단에서 주파수 체배의 효과를 얻기

위해 기본적인 차동 구조의 인버터 각각의 공통 소오스단에서 출력을 가지도록 되어 있다. 그러나, 이 때의 출력되는 신호의 진폭이 상당히 작기 때문에 위상/주파수 검출기의 입력단으로 직접 사용될 수 없기 때문에 높은 주파수를 증폭할 수 있는 고 주파수 대역의 증폭기가 필요하였다.

본 논문에서 제안된 PFD3 구조의 위상/주파수 검출기 회로와 전하펌프 루프 필터, 그리고 전압 제어 발진기를 포함하는 전체 회로도도 그림 4-3에 나타나 있다. 원하는 주파수 대역에서 동작시키기 위하여 일정한 값의 기생 효과를 포함시켜서 위상 동기 회로가 정상 동작하는지를 확인하고 고속에서 동작 가능한가를 시뮬레이션한 결과가 그림 4-4에 나타나 있다. 입력 주파수는 1.087GHz의 고 주파수를 갖는 신호를 외부 입력 V_{in} 에 가하고 전압 제어 발진기가 자유 동작 주파수에서 입력 주파수를 추적해나가는 과정을 살펴보기 위해 제어 전압 V_c 를 살펴보았다. 또한, 0.98GHz의 입력을 외부 입력 V_{in} 에 가한 후 마찬가지로 관찰해 본 결과 이상 없이 모두 동작하는 것을 확인할 수 있었다.

그러나, 설계된 회로들의 시뮬레이션 과정은 MOSFET의 연결선에서 발생하는 기생 커패시턴스와 전원 전압 등에 대한 분석이 실제적이지 못한 경우가 많다. 따라서, 전체 위상 동기 회로의 동작 및 새롭게 제안된 위상/주파수 검출기의 동작 가능성을 확인하기 위하여는 단순한 spice 시뮬레이션을 통해서는 불가능하다. 또한, 제안된 위상/주파수 검출기의 경우 고 주파수에서의 동작 가능성을 고려해야 하는데 회로의 동작 주파수가 높아질수록 미세한 회로 특성의 변화에 대하여 입력되는 외부 신호외에 내부에서 발생되어 입력으로 전달되는 신호의 경우 상당한 지연시간을 갖게 될 수 있다. 또한, 전압 수준 역시 회로 동작 주파수의 한계에 다다르면 상당히 저하될 가능성이 있고 출력 특성 역시 오차가 커지게 될 수밖에 없다.

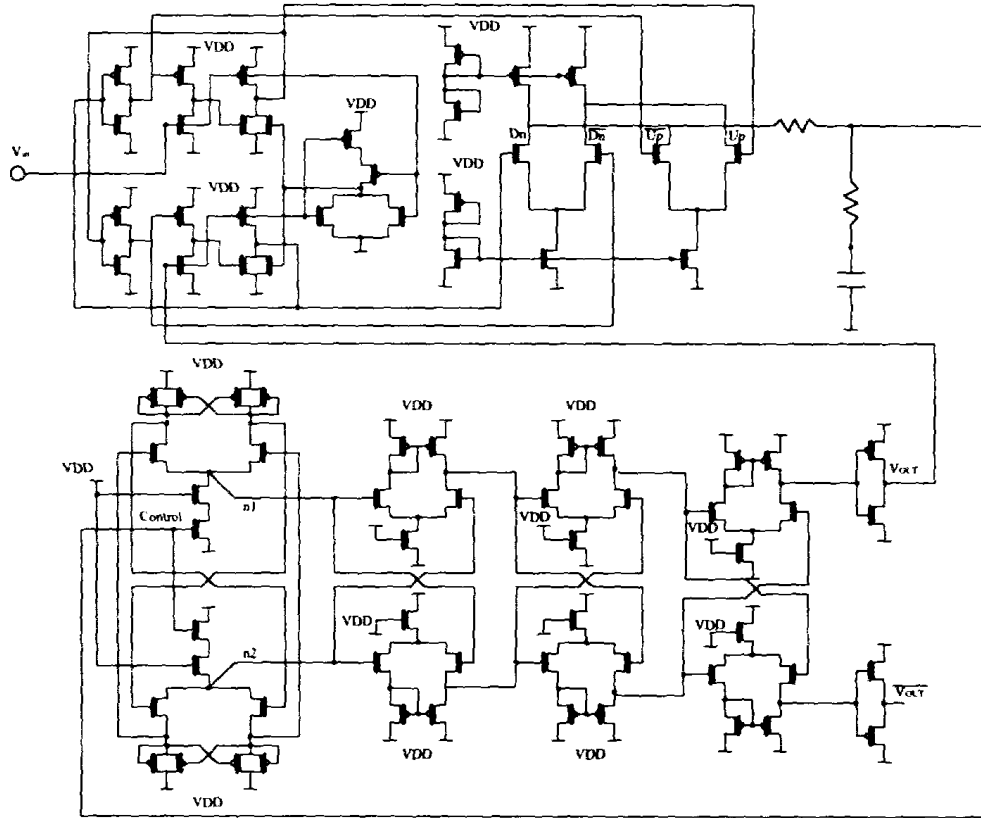
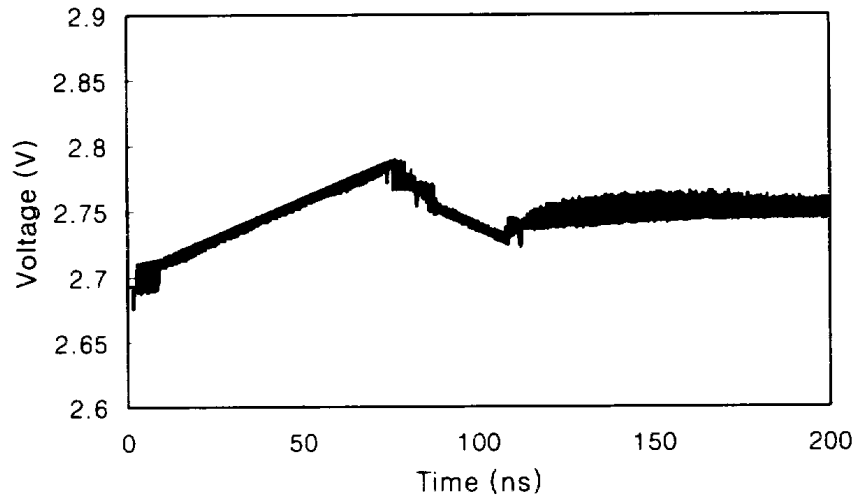
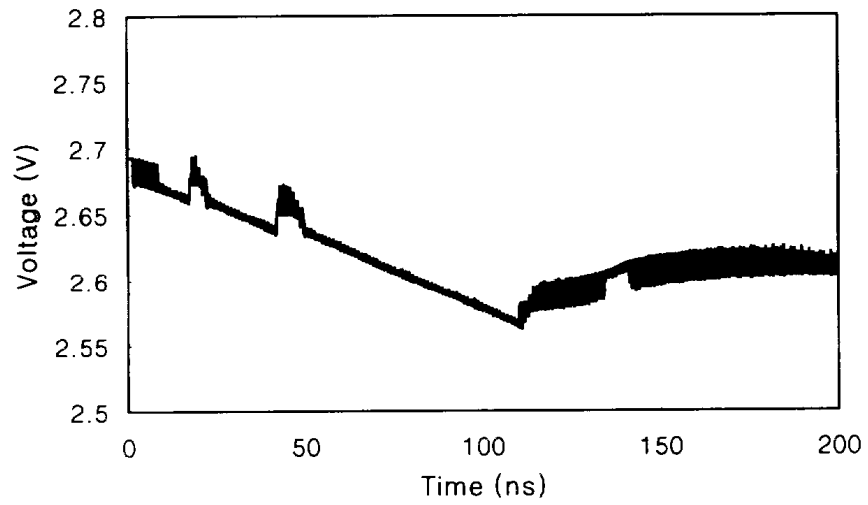


그림 4-3. 전체 위상 동기 회로



(a)



(b)

그림 4-4. 위상 동기 회로의 Capture 과정

(a) 1.087GHz 입력 신호 (b) 0.98GHz 입력 신호

그러므로, 위와 같은 문제를 고려하여 본 회로의 동작을 정확하게 시뮬레이션 하기 위해서는 앞절에서 설계된 회로들을 레이아웃한 후에 전체 블록의 연결과 각 회로들의 기생 커패시턴스 값과 저항값들을 추출해야만 한다. 본 논문에서는 $0.8\mu\text{m}$ CMOS 표준 디지털 공정의 기술 파일(technology file)을 사용하여 레이아웃을 진행한 후 Compass 툴을 사용하여 기생 커패시턴스와 저항 등의 값을 추출해내었다. 이와 같이 배선의 커패시턴스와 콘택 등의 저항을 포함한 netlist를 SPICE 시뮬레이터를 사용하여 포스트 레이아웃 시뮬레이션을 함으로써 새로운 구조의 위상/주파수 검출기가 포함된 위상 동기 회로의 동작을 확인하였다.

그림 4-5에는 MOSFET의 게이트로 사용되는 poly 커패시턴스와 poly 저항을 사용하여 내부적으로 루프필터를 사용하여 모든 위상 동기 회로가 하나의 칩안에 포함될 수 있는 온 칩 CMOS 위상 동기 회로의 레이아웃이 나타나있다. 이와 같은 레이아웃에서 기생 효과를 추출해낸 netlist를 가지고 전압 제어 발진기의 동작 주파수와 튜닝 범위 등을 알기 위하여 시뮬레이션을 수행하였다. 이 결과를 토대로 제어 전압에 대한 전압 제어 발진기의 출력을 나타낸 시뮬레이션 결과가 그림 4-6(a)에 나타나있다. 이와 같은 특성을 정리하여 선형적인 출력 이득을 갖는 제어 전압 범위를 그림 4-6(b)에 나타내었다. 여기서 제어 전압에 대한 이와 같은 전압 제어 발진기의 동작 주파수는 $340\text{MHz} \sim 740\text{MHz}$ 로써 최저에서 최대까지의 제어 전압은 $1.733\text{V} \sim 2.645\text{V}$ 를 가진다. 이 때, 주파수 이득은 440MHz/V 로 나타났고 전압 제어 발진기에 포함된 증폭기의 한계로 인하여 원하는 GHz 이상의 주파수는 출력되지 않았다. 따라서, 그림에 나타난 범위내에서만 제어 전압에 대해서 선형적으로 전압 제어 발진기가 동작하기 때문에 안정적으로 사용할 수 있다. 또한, PFD3 구조의 동작을 확인하기 위해

서 위상 동기 회로의 입력에 240MHz, 340MHz, 440MHz, 540MHz, 640MHz, 그리고 740MHz의 주파수를 갖는 V_{in} 신호를 가하였다. 그 후 전압 제어 발진기의 출력 신호 V_{vco} 가 이 주파수를 추적해나가는 과정을 살펴보기 위해 전하펌프 루프필터의 제어전압 V_c 를 시간에 대하여 살펴본 결과가 그림 4-7에 나타나 있다. 제어 전압과 관련하여 340MHz이하에서는 선형성에서 어긋나기 때문에 최소 동작 주파수는 340MHz로 정하였다. 전압 제어 발진기의 증폭단의 한계로 인하여 740MHz까지를 확인하였으나 이와 같은 주파수 대역에서 동작이 가능한 위상/주파수 검출기는 주파수 합성기 등의 1/2, 1/4, ..., 1/10 분배된 주파수 대역에서 사용할 경우 GHz 이상에서 사용이 가능할 것이다. 그림 4-8에는 640MHz의 V_{in} 입력에 대하여 V_{vco} 의 출력과 이에 따른 Up과 Dn 신호를 위상 고정된 상태에서 나타낸 시뮬레이션 결과이다. 여기서 알 수 있듯이 Dead zone을 피하기 위해 PFD3구조는 어쩔 수 없이 동시에 논리 '1'의 값을 가진다는 것을 확인할 수 있었으며 전체 구성된 위상 동기 회로의 특성을 표 4-2에 나타내었다. 이와 같은 결과에서 본 논문에서 제안된 구조의 특성상 전력 소비가 CMOS Static 회로보다 커지는 것을 볼 수 있었고 동작 주파수의 감소는 전압 제어 발진기의 증폭단과 전하펌프가 최적화되지 않아서 고 주파수에서 동작하지 않았기 때문에 발생하였으며 back-end 시뮬레이션을 통한 최적화를 수행하지 못하였다.

Full-Custom Layout using Compass - PLL

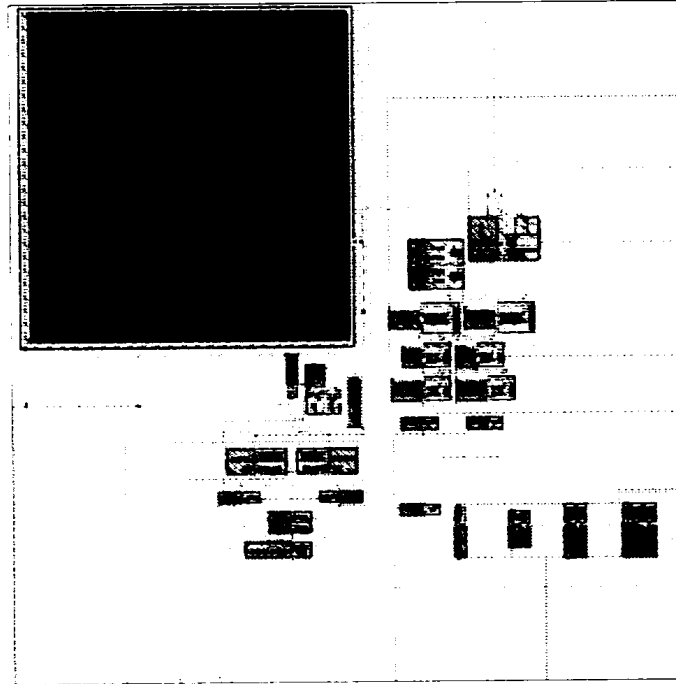
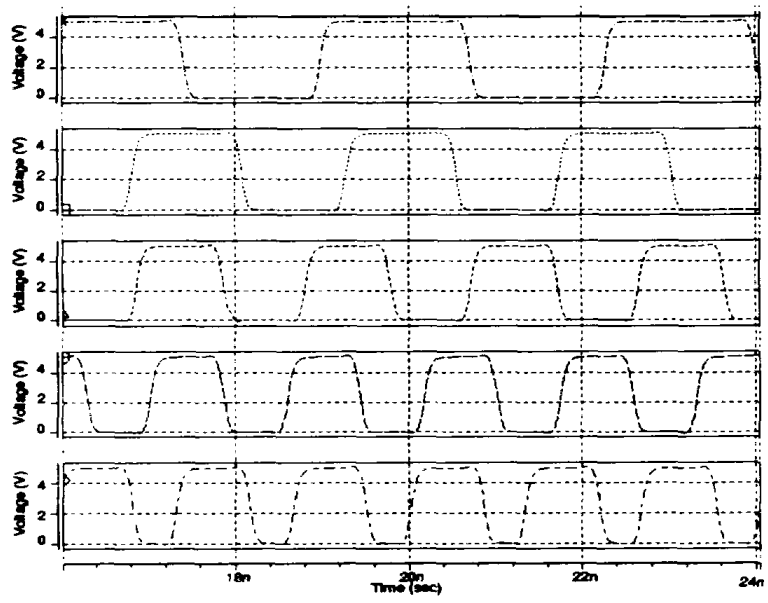
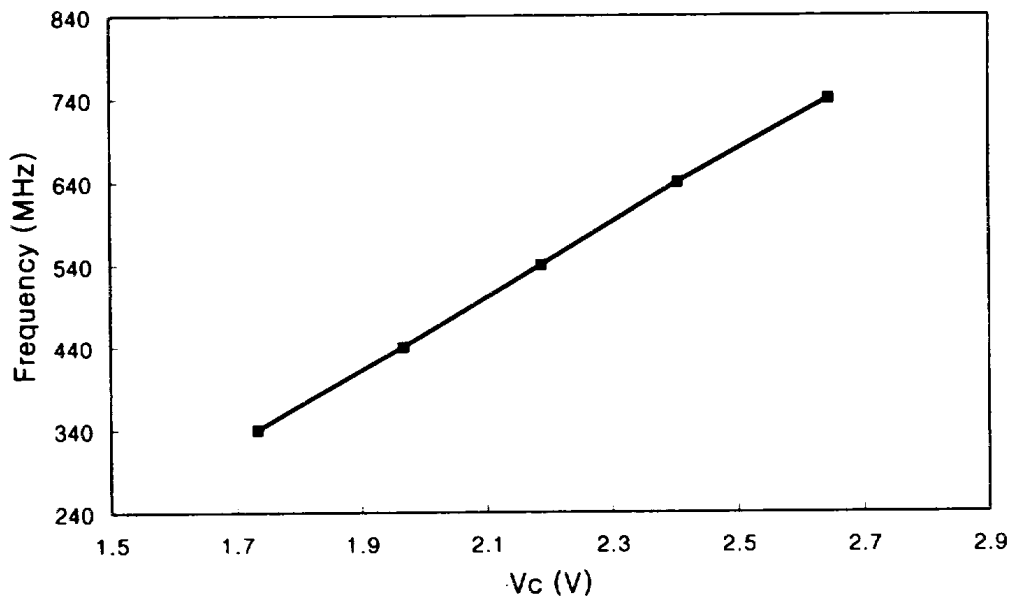


그림 4-5. 위상 동기 회로의 레이아웃



(a)



(b)

그림 4-6. 제어 전압에 대한 출력 주파수의 변화

(a) 제어 전압에 대한 전압 제어 발진기의 출력 신호

(b) 제어 전압에 대한 출력 주파수 시뮬레이션 결과

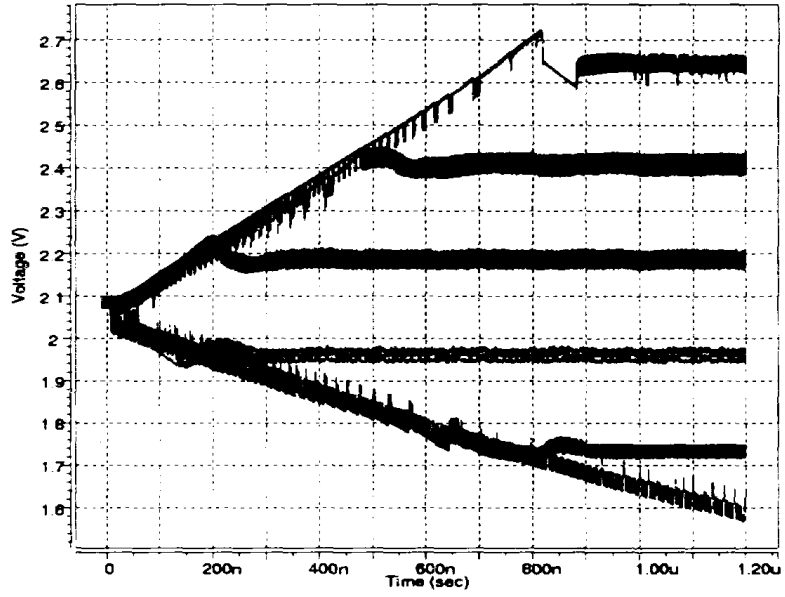


그림 4-7. 각각의 입력 주파수 추적 과정

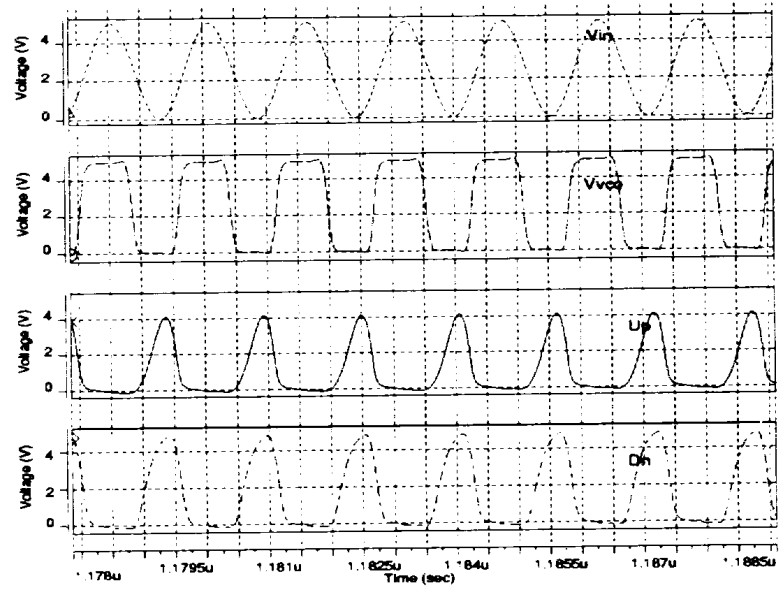


그림 4-8. 위상 고정된 상태에서의 Up과 Dn 신호

표 4-2. 위상 동기 회로 특성표

사 양	위상 동기 회로 특성값
동작 주파수	740 MHz
Capture 범위	340 MHz ~ 740 MHz
주파수 획득 시간	800 nsec
주파수 이득	438 MHz
전체 전력 소모량	78.47 mW

제 4-3 절. 칩 측정 결과

제안된 구조의 위상/주파수 검출기를 포함하는 위상 동기 회로는 97년 2차년도 MPW를 통해 실제 칩으로 제작하였다. 그림 4-9(a)에는 제작된 실제 칩 사진이며 이를 측정하기 위해 제작한 PCB layout 결과가 그림 4-9(b)에 나타나있다. 이 칩에는 4개의 독립된 블록으로 구성되어 있다. 외부 RC 루프필터를 사용하는 8분주와 분주되지 않은 블록과 내부 RC 루프필터를 사용하는 8분주와 분주되지 않은 블록이 포함되었다. 그러나, 실제 측정결과 8분주된 위상동기 회로는 동작하지 않았는데 이는 분주하기 위해 포함된 플립플롭이 차동 입력신호를 제대로 받아들이지 못하는 것을 post-layout 시뮬레이션을 통해 확인하였다. 측정을 하기 위해 설계된 PCB layout은 임피던스 매칭을 하기 위해 저항과 커패시터, 그리고 인덕터가 포함될 수 있도록 설계되었다. 그리고, 외부 RC 루프필터의 위상 동기 회로는 제어 전압을 측정하기 위해 전하펌프의 출력단과 루프필터를 분리시켰으나 외부 클럭 입력에 대하여 출력 신호가 전혀 나타나지 않았다. 원인을 정확히 분석할 수는 없었지만 시뮬레이션을 통해 위상/주파수 검출기의 입력단에서 요구되는 레벨이 외부 입력신호의 레벨보다 크기 때문에 측정 결과를 얻지 못한 것으로 추정된다.

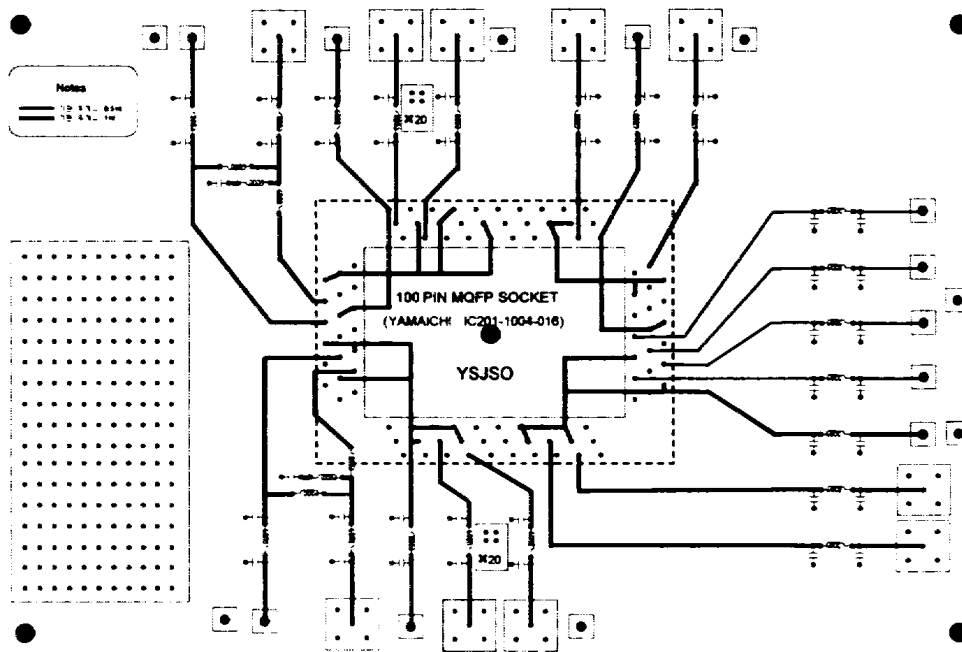
분주되지 않은 내부 RC 루프필터를 사용한 위상 동기 회로의 동작 주파수와 지터를 측정하기 위하여 Tektronix 11801C 오실레이터를 사용하였다. 측정 결과 360 - 440MHz의 동작 범위를 갖는 것으로 측정되었으며 391MHz와 435MHz에서의 위상이 동기된 결과가 그림 4-10에 나타나있다. 이와 같이 동작 주파수가 크게 감소된 원인은 앞절에서 설명한 바와 같이 전하펌프와 전압 제어 발진기의 증폭단 등과 버퍼 등의 회로 설계에 최적화를 수행하지 못하였기

때문에 크게 감소된 것으로 판단된다. 출력 전위 역시 1V의 스윙폭을 갖는데 이는 칩 내부에 임피던스 매칭 회로 및 주변회로에 대한 설계를 수행하지 못한 결과이다. 지터 잡음은 그림 4-11에 430MHz의 입력에 대하여 출력은 142.7ps의 RMS 지터값을 나타내었다. 이와 같은 지터 값은 전압 제어 발진기로 인한 이유 이외에도 전하펌프에 포함되는 전류원의 mismatch가 크기 때문에 야기된 것으로 post-layout 시뮬레이션을 통해 확인되었다.

그림 4-11에 나타난 파형은 왜곡된 형태로 나타나는데 이와같이 칩 제작 후 측정시에 나타나는 문제를 파악하기 위해 필요한 주변회로 설계에 미흡하여 원인을 파악하지 못하였고 본 논문에서 제안된 위상/주파수 검출기의 성능 역시 단독으로 설계되어 모듈별로 삽입되지 못하였기 때문에 구체적으로 나타낼 수 없었다. 단지, 새로운 구조의 위상/주파수 검출기의 동작 가능성만을 검증해주었으며 측정시 외부 입력단에 고 주파수의 높은 전위의 신호가 필요하였기 때문에 위상/주파수 검출기 입력 전압 레벨의 감소에 대한 연구가 필요하다고 판단된다.



(a)



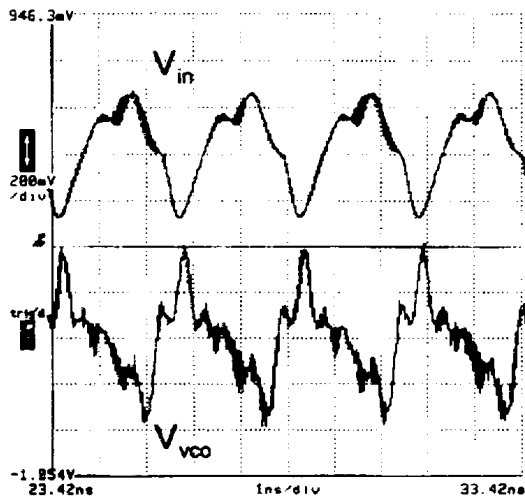
(b)

그림 4-9. 칩 사진과 PCB Layout

(a) 제작된 칩 사진

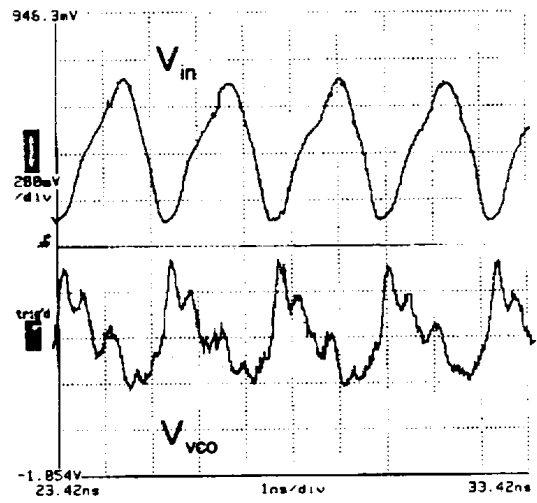
(b) PCB Layout

● 입력 주파수 $f_{in} = 391\text{MHz}$



(a)

● 입력 주파수 $f_{in} = 435\text{MHz}$



(b)

그림 4-10. 위상 동기 회로의 입출력 측정 결과

(a) 391MHz의 입력신호에 대한 출력신호

(b) 435MHz의 입력신호에 대한 출력신호

11801C DIGITAL SAMPLING OSCILLOSCOPE
 date: 12-MAY-98 time: 23:56:40

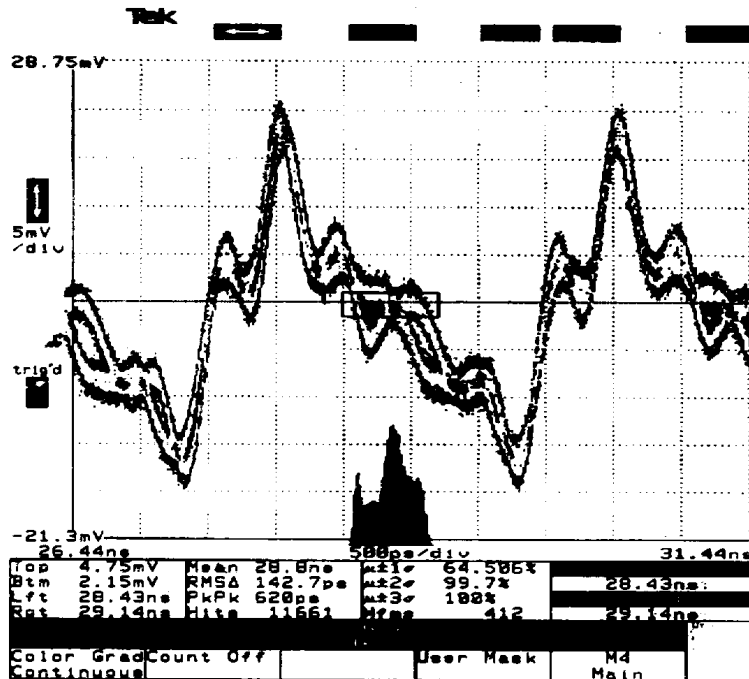


그림 4-11. V_{vco} 신호의 지터 잡음 측정결과

제 5 장. 결론 및 향후 연구과제

위상 동기 회로는 통신 시스템에서는 필수적인 회로이다. 데이터 전송 시스템에 사용되는 경우, 수신단의 단말기에 전달된 디지털 데이터 정보만으로 클럭을 추출해내는 클럭 복구 회로로 사용된다. 또한, 현재 각광받고 있는 이동 통신 시스템에서는 여러 채널의 신호를 처리하는 주파수 합성기 회로로써 사용된다. 이러한 통신 시스템의 정보 처리에 필요한 데이터 용량과 동작 속도가 급속도로 증가하고 있기 때문에 위상 동기 회로 역시 고 주파수에서 안정적으로 동작하여야 한다. 따라서, 본 논문에서는 위상 동기 회로의 기본 블록들 중의 하나인 위상/주파수 검출기가 전체 회로에 미치는 잡음에 대하여 연구하고 동작 주파수 한계를 분석하여 이를 극복할 수 있는 새로운 구조의 위상/주파수 검출기를 제안하여 이를 제거하고 고 주파수에서 동작이 가능하도록 하였다.

먼저, 기존의 위상/주파수 검출기(PFD1)에 대한 연구와 이해를 바탕으로 동작 주파수 한계와 이에 따른 위상 동기 회로 전체에 미치는 잡음을 분석하여 이를 극복할 수 있는 새로운 구조의 위상/주파수 검출기(PFD2, PFD3)를 제안·검증하였다.

위상/주파수 검출기의 동작 한계를 결정짓는 리셋 시간을 최소한으로 줄이기 위하여 기존의 위상 주파수 검출기의 리셋 경로를 가지면서 내부 블록을 간단하게 구성하고 최적화하여 본문의 PFD2의 구조를 제안하였다. 그러나, 이 구조 역시 주파수 획득과정에 있어서의 3 게이트 지연 시간만큼의 리셋 시간으로 인한 잡음을 제거하지 못하고 존재한다. 따라서, 위상/주파수 검출기의 출력을 리셋시키는 경로를 두 부분으로 나누어서 리셋 시간을 없애고자 하였다. 즉,

PFD3 구조를 제안함으로써 이전 구조가 전체 회로에 미치는 잡음을 최소화 할 수 있었다.

제안된 PFD2와 PFD3 구조를 PFD1의 성능과 비교해보기 위하여 0.8 μ m CMOS 공정 파라미터를 이용하여 SPICE 시뮬레이션을 수행하였다. 위상/주파수 검출기의 동작 주파수를 향상시키기 위하여 개선시킨 리셋 시간에 대한 시뮬레이션 결과, PFD2의 리셋 시간은 PFD1에 비하여 28%이상 향상되었고 PFD3는 리셋시간이 0.03 nsec로써 거의 나타나지 않음을 알 수 있었다. 동작 주파수 한계에 대한 시뮬레이션 결과에서는 PFD1 구조의 회로가 기생 효과를 모두 제거한 상태임에도 불구하고 GHz 이상에서 동작이 불가능하였다. 따라서, 9개의 NAND 게이트와 2개의 인버터를 포함한 회로에 대하여 기생 커패시턴스와 저항값들이 각각 포함된다면 성능은 상당히 저하될 것으로 예상된다. 이에 반하여 PFD2 구조는 1.5GHz 까지 문제없이 동작하였으나 고 주파수에서의 Capture 과정에 필요한 시간이 2.2 μ sec으로 비록 루프 대역폭을 상당히 작게 하였지만 주파수 획득하는데 상당히 오랜 시간이 걸렸다. 그러나, PFD3의 구조는 전달 시간이 0.095 nsec로 거의 나타나지 않고 동작 주파수 역시 PFD2의 구조와 동일하면서도 고 주파수에서 주파수 획득에 필요한 시간 역시 180 nsec로 고정된 성능을 나타내었다.

따라서, 본 논문에서는 PFD3와 전하펌프 루프필터를 설계하고 전압 제어 발진기를 도입하여 전체 위상 동기 회로를 구성하였다. 이 회로의 full-custom 레이아웃을 통하여 기생 커패시턴스와 저항값이 포함된 SPICE netlist를 추출하여 포스트 레이아웃 시뮬레이션을 통하여 실제 제작된 결과와 거의 동일한 특성을 갖는 출력을 나타내었다. 이와 같은 시뮬레이션에서 PFD3 구조는 740MHz까지의 입력에 대해서 문제없이 동작하였으며 그 이상의 주파수에서는

다른 블록의 주파수 한계에 의하여 확인할 수 없었다. 이와 같이 본 논문에서 제안된 위상/주파수 검출기를 실제 칩 제작 후 동작 주파수를 측정해 본 결과 360MHz - 440MHz 까지 위상 동기 회로가 동작하는 것으로 나타났다. 비록 다른 블록들이 최적화되지 않아서 위상/주파수 자체의 최대 동작 주파수는 알 수 없었지만 제안된 구조의 동작 가능성이 검증되었다고 판단된다.

그러나, 동작 주파수가 증가함에도 불구하고 PFD3의 구조는 PFD1 구조와는 달리 위상을 검출할 수 있는 범위가 제한된다. 물론, PFD3 구조는 부가적으로 주파수 획득을 하는 Capture 과정에 필요한 시간이 짧아지지만 이와 같은 특성은 저 주파수에서 동작시키고자 할 경우 문제를 야기시킬 수 있으므로 해결이 되어야 한다. 또한, 본 PFD2와 PFD3 구조는 출력을 전류로 볼 수 있기 때문에 전하펌프에 충분하지 못한 출력 전류의 값이 전달되면 미세한 위상차에 반응하지 못하여 Dead zone을 야기시킨다. 따라서, 본 논문에서 제안된 PFD2와 PFD3에서는 부하를 충전시키는 출력 전류를 크게 함으로써 Dead zone을 최소화하여야 한다. 즉, 입력과 출력단에 설계되는 회로들의 특성을 파악하여 세밀하게 설계를 하여야만 하며 특히, PFD3 구조는 두 리셋 경로의 지연 시간이 동일할 경우 좋은 특성이 나타나기 때문에 주의해서 설계해야 한다.

향후 위와 같은 문제점을 해결하고 또한 전원 전압이 5V에서 동작하기 때문에 저전력에서 동작이 가능하도록 설계해야한다. 그리고, 공정에 대한 민감도와 온도에 대한 안정성을 가지기 위하여 이와 같은 회로는 앞으로 차동 구조 형태로 발전되어야 하며 공정 기술이 발전하여 0.6 μ m 이하의 CMOS 공정 파라미터를 사용하여 더 높은 주파수에서 동작 가능한지를 연구해야만 한다고 생각한다.

참고문헌

- [1] T. H. Hu and P. R. Gray, "A Monolithic 480 Mb/s Parallel AGC/Decision/Clock-Recovery Circuit in 1.2 μ m CMOS," IEEE J. Solid-State Circuits, vol. 28, No. 12, pp. 1314-1320, Dec. 1993.
- [2] P. R. Gray and R. G. Meyer, "Future Directions in Silicon ICs for RF Personal Communications", in Proc. IEEE Custom Integrated Circuits Conf., 1995, pp. 83-90.
- [3] V. von Kaenel et al., "A 320MHz, 1.5mW@1.35V CMOS PLL for Microprocessor Clock Generation," IEEE J. Solid-State Circuits, vol. 31, no. 11, pp. 1715-1722, 1996.
- [4] J. G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE J. Solid-State Circuits, vol. 31, no. 11, pp. 1723-1732, 1996
- [5] Sungjoon Kim et al., "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL," IEEE J. Solid-State Circuits, vol. 32, no. 5, pp. 691-700, 1997.
- [6] F. M. Gardner, "Charge-Pump Phase-Lock Loops," IEEE Trans. on

Comm., vol. 28, no. 11, pp. 1849-1858, 1980.

[7] R. E. Best, Phase-Locked Loops: Theory, Design and Applications, McGraw-Hill New York, 1984.

[8] F. M. Gardner, Phaselock Techniques, 2nd Ed., Wiley New York, 1979

[9] M. V. Paemel, "Analysis of a Charge-Pump PLL: A New Model," IEEE Trans. on Comm., vol. 42, no. 7, pp. 2490-2498, 1994.

[10] Byungsoo Chang et al. "A 1.2GHz CMOS Dual-Modulus Prescaler Using New Dynamic D-Type Flip-Flops," IEEE J. Solid-State Circuits, vol. 31, no. 5, pp. 749-752, 1996.

[11] B. Razavi, Monolithic Phase-Locked Loops And Clock Recovery Circuits - Theory and Design, IEEE Press, 1996.

[12] P. R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, 3rd Ed., Wiley New York, 1993.

[13] P. E. Allen, D. R. Holberg, CMOS Analog Circuit Design, Holt, Rinehart and Winston, New York, 1987.

- [14] J. I. Brown, "A Digital Phase and Frequency-Sensitive Detector," Proc. IEEE, Vol. 59, p.717, 1971
- [15] K. E. Syed and A. A. Abidi, Gigahertz Voltage-Controlled Ring Oscillator, Electronics Lett., vol. 22, no. 12 pp. 677-679, 1986
- [16] B. Razavi, A study of Phase Noise in CMOS Oscillator, IEEE Journal of Solid-States Circuits, vol. 31, no. 3, pp. 331-343, 1996.
- [17] R. S. Co and J. H. Mulligan, "Optimization of Phase-Locked Loop Performance in Data Recovery Systems," IEEE J. Solid-State Circuits, vol. 29, no. 9, pp. 1022-1034, 1994.
- [18] I. A. Young, J. K. Greason, and K.L. Wong, "A PLL Clock Generator with 5 - 110 MHz of Lock Range for Microprocessors," IEEE J. Solid-State Circuits, vol. 27, no. 11, pp. 1599-1607, 1992.
- [19] D. H. Wolaver, Phase-Locked Loop Circuit Design, Prentice Hall: Englewood Cliffs, NJ, 1991.
- [20] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," IEEE J. Solid-State Circuits, vol. 24, no. 2, pp. 62-70, 189.

- [21] C. L. Philips and R.D. Harbor, *Feedback Control Systems*, Prentice Hall: Englewood Cliffs, NJ, 1988.
- [22] B. Razavi, A 2-GHz 1.6mW Phase-Locked Loop, *IEEE Journal of Solid States Circuits*, vol.32, no.5, pp.730-735, 1997.
- [23] D. L. Chen, "Designing On-Chip Clock Generators, " *IEEE Circuits & Devices*, pp. 32-35, Jun. 1992.
- [24] D. Mijuskovic et al., "Cell-based fully integrated CMOS frequency synthesizers," *IEEE J. Solid-State Circuits*, vol. 29, pp. 271-279, March 1994.

Abstract

Design of a Phase-Locked Loop with an Improved Phase/Frequency Detector

Sang O Jeon

Dept. of Electronic Eng.

The Graduate School

Yonsei University

In this thesis, we investigated the noise problems of phase/frequency detector(PFD) in PLL and their influence on PLL operating frequency. In order to remove these problems, a new structure for PFD is proposed that can operate in high frequency.

For reducing reset time of PFD, we designed a simple and optimized PFD. But delay of 3 gate reset time always existed. We divided the conventional reset path into two paths to reduce the reset time.

SPICE simulation was performed with $0.8\mu\text{m}$ CMOS process parameters for evaluating performance of PFDs. Reset time of PFD with simple structure was 28% smaller than that of the conventional structure, and propagation delay time was reduced. PFDs with the new structure can be used above

GHz range.

We designed PLL including PFD with two reset paths, charge-pump loop filter, and Voltage-Controlled Oscillator(VCO). Through a full-custom layout, parasitic capacitance and resistance were obtained for SPICE netlists. From the post-layout simulation, the max. frequency of PLL was 740MHz. The designed circuit was fabricated, and the max. frequency of 440MHz was measured. This PFD with new structure can be used for applications such as high speed frequency synthesizers and clock recovery circuits.

Keywords : PLL, PFD, reset time, propagation time, post-layout simulation,
frequency synthesizer, clock recovery circuit