

저잡음 특성을 가지는
새로운 구조의 전하펌프 PLL

연세대학교 대학원
전기·컴퓨터 공학과
이 명 수

저잡음 특성을 가지는
새로운 구조의 전하펌프 PLL

지도 최 우 영 교수

이 논문을 석사학위논문으로 제출함

1999년 12월 일

연세대학교 대학원
전기·컴퓨터 공학과
이 명 수

이명수의 석사학위논문을 인준함

심사위원_____인

심사위원_____인

심사위원_____인

연세대학교 대학원

1999년 12월 일

차례

그림차례	iii
표 차례	vi
국문요약	vii
제 1 장. 서 론	1
제 2 장. 위상 동기 회로를 구성하는 블록의 동작 원리	4
제 2-1 절. 위상/주파수 검출기 동작 원리	6
제 2-2 절. 전하펌프 루프필터의 동작 원리	12
제 2-3 절. 전압제어 발진기의 동작 원리	16
제 3 장. 새로운 구조의 전하펌프	18
제 3-1 절. 일반적인 구조의 전하펌프	18
제 3-2 절. 새로운 구조의 저잡음 전하펌프	22
제 4 장. 위상 동기 회로의 블록 별 설계 및 시뮬레이션	27
제 4-1 절. 위상/주파수 검출기의 설계	27

제 4-2 절. 전하펌프 및 루프필터의 설계	31
제 4-3 절. 전압제어 발전기 및 주파수 분주기의 설계	38
제 5 장. 전체 회로 시뮬레이션 및 측정 결과	43
제 5-1 절. 위상 동기 회로의 블록도 및 레이아웃	43
제 5-2 절. 위상 동기 회로의 시뮬레이션 결과	46
제 5-3 절. 위상 동기 회로의 측정 결과	50
제 6 장. 결론	52
참고문헌	55
영문요약	58

그림 차례

그림 2-1.	위상 동기 회로의 블록도	5
그림 2-2.	R-S latch의 입·출력과 위상 검출 범위	7
그림 2-3.	위상/주파수 검출기의 입·출력과 위상 검출 범위	8
그림 2-4.	위상/주파수 검출기 논리 상태도	10
그림 2-5.	일반적인 위상/주파수 검출기	11
그림 2-6.	위상/주파수 검출기와 연동된 전하펌프 루프필터	14
그림 2-7.	전하펌프 루프필터의 입·출력 파형	15
그림 3-1.	일반적인 구조의 전하펌프 및 루프필터	21
그림 3-2.	일반적인 전하펌프 루프필터의 입·출력 파형	21
그림 3-3.	제안된 전하펌프 및 루프필터	24
그림 3-4.	제안된 구조의 전하펌프 (UP, DN)=(1, 1)	25
그림 3-5.	제안된 전하펌프 (UP, DN) = (1, 0)	25
그림 3-6.	제안된 전하펌프 루프필터의 입·출력 파형	26
그림 4-1.	일반적인 위상/주파수 검출기	29
그림 4-2.	위상/주파수 검출기의 입·출력 시뮬레이션 파형 ..	30

그림 4-3.	일반적인 전하펌프 루프필터	33
그림 4-4.	제안된 전하펌프 루프필터	33
그림 4-5.	전하펌프 루프필터의 입·출력 시뮬레이션 파형 .	34
그림 4-6.	제안된 전하펌프 루프필터의 온도 변화에 따른 입·출력 시뮬레이션 파형(1차 루프필터 사용)	35
그림 4-7.	일반적인 전하펌프 루프필터의 온도 변화에 따른 입·출력 시뮬레이션 파형(1차 루프필터 사용)	35
그림 4-8.	제안된 전하펌프 루프필터의 전원전압의 면화에 따른 입·출력 시뮬레이션 파형(1차 루프필터 사용)	36
그림 4-9.	일반적인 전하펌프 루프필터의 전원전압의 변화에 따른 입·출력 시뮬레이션 파형(1차 루프필터 사용)	36
그림 4-10.	제안된 전하펌프 루프필터의 몬테카를로 Width 변화에 따른 입·출력 시뮬레이션 파형(1차 루프필터 사용)	37
그림 4-11.	일반적인 전하펌프 루프필터의 몬테카를로 Width 변화에 따른 입·출력 시뮬레이션 파형 (1차 루프필터 사용)	37
그림 4-12	차동 인버터	39
그림 4-13	전압제어 발진기	39
그림 4-14	전압제어 발진기의 차동 출력 파형	40
그림 4-15	Dynamic D-type flip-flop	41

그림 4-16	16 분주기	41
그림 4-17	Dynamic D-type flip-flop을 포함한 16 분주기의 입·출력 시뮬레이션 파형	42
그림 5-1.	전체 PLL 블록도	44
그림 5-2.	PLL의 layout 도면	45
그림 5-3.	전하펌프 PLL의 제어전압 파형	47
그림 5-4.	그림 5-3의 (a), (b)를 확대한 파형	47
그림 5-5.	일반적인 전하펌프 PLL의 입·출력 파형	49
그림 5-6.	제안된 전하펌프 PLL의 입·출력 파형	49
그림 5-7.	PLL의 입·출력 파형 ($PLL_{in}=25MHz$, $PLL_{out}=25MHz$, $VCO=400MHz$)	51
그림 5-8.	PLL의 입·출력 파형 ($PLL_{in}=50MHz$, $PLL_{out}=50MHz$, $VCO=800MHz$)	51

표 차례

표 2-1.	전하펌프 루프필터의 입·출력 신호의 논리표 ...	15
--------	-----------------------------	----

국 문 요 약

저잡음 특성을 가지는 새로운 구조의 전하펌프 PLL

본 논문에서는 위상 동기 회로의 기본 블록들 중의 하나인 전하펌프가 위상 동기 회로에 미치는 잡음에 대하여 연구하고 기존의 전하펌프의 잡음요인을 분석하여 이를 극복할 수 있는 구조를 제안하여 저잡음 동작이 가능하도록 하였다.

전하펌프 출력 전압의 안정성을 위하여 전하펌프 출력단의 누설 전류 경로를 차단할 수 있는 구조를 제안하였다. 이 구조의 전하펌프는 위상/주파수 검출기 출력의 대부분을 차지하는 UP, DN이 논리(0, 0)일 때 누설 전류 경로를 차단하여 출력 전압의 변동을 줄였다.

제안된 구조의 성능을 평가하기 위하여 0.6 μ m CMOS 공정 파라미터를 이용한 HSPICE 시뮬레이션을 수행하였다. 전하펌프의 출력 전압 안정성에 대한 시뮬레이션 결과, 기존의 구조에 비해 3배 이상 향상되었으며 전력 소모 또한 2mW 정도 줄일 수 있었다.

본 논문에서는 출력단의 전류 경로를 제어하는 새로운 구조의 전하펌프를 제안하여 안정적인 제어전압의 출력이 가능한 전하펌프를 설계하였으며 2차 루프필터와, 차동 인버터를 이용한 전압제어 발진기, 전압제어 발진기의 출력을

분주할 수 있는 고속 동작의 주파수 분주기 등을 이용하여 위상 동기 회로를 고속의 저잡음 동작이 가능하도록 설계하였다. 이 회로의 full-custom 레이아웃을 통하여 기생 커패시턴스를 SPICE netlist에 포함시켰다. 설계된 위상 동기 회로는 이와 같은 포스트 레이아웃 시뮬레이션을 통하여 1.03GHz까지 동작이 가능하였다. 따라서, 이 구조는 데이터 통신 시스템과 이동 통신 시스템에서 요구되는 고속 주파수 합성, 클럭 및 데이터 복원 등의 기능을 수행하는 통신 시스템에 응용될 수 있을 것이다.

핵심 되는 말 : 위상 동기 회로, 전하펌프, 누설 전류, 전달 시간, 포스트

레이아웃 시뮬레이션, 주파수 합성, 클럭 및 데이터 복원 회로

제 1 장. 서 론

현재 위상 동기 회로(Phase-Locked Loop)는 대부분의 데이터 전송 시스템 및 이동 통신 시스템에 사용되고 있다. 데이터 전송 시스템에서는 수신단과 송신단이 정보를 변조 또는 비변조된 형태의 디지털 신호로 주고받는다. 이 때, 하드웨어의 복잡성과 전력, 가격 등의 이유로 인해서 송신단에서는 동기를 맞추는 클럭을 제외한 데이터 정보만을 수신단으로 보낸다. 따라서, 수신단의 단말기는 수신된 디지털 데이터 정보로부터 클럭을 추출해내는 역할을 해야만 한다. 이를 위하여 일반적으로 클럭 복구 회로(Clock-recovery circuit)를 사용하고 있다. 또한, 이동 통신 시스템에서는 입력되는 신호를 IF(Intermediate frequency)와 기저 대역(Base-band)의 주파수로 변환하기 위한 지역 발진기(Local oscillator)가 필요하다. 이 때, 여러 채널의 주기적인 신호를 입력으로 받아서 처리해야 하기 때문에 반드시 수신 단말기에는 반드시 주파수 합성기 회로(Frequency-synthesizer circuit)가 사용되고 있다.^{[1][2]}

이와 같은 클럭 및 데이터 복원과 주파수 합성 등의 기능을 수행하기 위해서는 필수적으로 위상 동기 회로가 포함되어야만 한다. 최근의 통신 시스템이 높은 주파수의 처리능력을 가지는 위상 동기 회로를 요구하기 때문에 고 주파수 대역에서 안정적으로 동작할 수 있도록 위상 동기 회로를 구성하는 기본 블록들의 구조를 개선하기 위한 연구가 국·내외적으로 활발히 진행되고 있다.^{[3]-[5]}

따라서, 본 논문에서는 위상 동기 회로를 구성하는 기본 블록 중 하나인 전하펌프(Charge Pump)의 구조를 새롭게 제안하여 고 주파수에서 안정적인 동작

이 가능하도록 하고자 한다. 전하펌프는 위상/주파수 검출기의 출력 신호 UP, DN을 입력으로 받아들여서 전압제어 발진기(Voltage-Controlled Oscillator)의 입력 신호인 제어전압을 제어하는 역할을 한다. 위상/주파수 검출기의 출력인 $(UP, DN)=(1, 0)$ 일 경우 전하펌프의 출력 전압은 상승하고 반대로 $(UP, DN)=(0, 1)$ 인 경우에는 전하펌프의 출력 전압은 하강하며 $(UP, DN)=(1, 1)$ 또는 $(UP, DN)=(0, 0)$ 인 경우에는 전하펌프의 출력을 유지시키는 기능을 한다.

그러나, 일반적으로 전하펌프는 다음과 같은 문제점이 있다. 전하펌프의 출력 전압이 바이어스 전압 값과 다르면 전하펌프의 출력 전압에 의해 전하펌프의 출력 노드에 충·방전하는 전류원의 전류량의 크기 차이가 생기므로 전하펌프가 출력 전압의 크기를 유지시켜야 하는 $(UP, DN)=(0, 0)$ 의 구간에서도 출력 전압의 변동이 일어나게 된다. 이러한 전하펌프의 출력 전압의 변동은 전압제어 발진기의 출력 신호의 주파수에 영향을 미치며 이는 위상동기 회로의 출력 주파수의 중요한 잡음 요인이 된다. 따라서 본 논문에서는 위와 같은 전하펌프의 단점을 해결하기 위하여 $(UP, DN)=(0, 0)$ 인 구간에서 전하펌프의 출력 노드에 연결된 전류 경로를 차단하여주는 새로운 구조의 전하펌프를 제안하였다. 따라서 전압제어 발진기에 안정적인 제어전압을 공급하여 전압제어 발진기의 주파수 잡음 성분을 감소 시켰다.

현재 위상 동기 회로는 GaAs 또는 바이폴라 소자와 다수의 개별 소자(Discrete Device)들을 이용하여 회로를 구성하고 있다. 그러나, 개별 소자의 사용이 어렵고 많은 수의 개별 소자가 필요함으로 인해서 단말기의 크기가 커지며 소모 전력이 커지는 등의 문제점이 존재한다. 따라서, 이를 고려하여 집적회로 형태로 구성하기 위하여 GaAs등의 소자를 이용한 MMIC 회로로 구성하는 연구들이 진행되고 있으나 공정이 복잡하고 가격이 비싼 단점이 있다. 현재는

고 주파수에서의 동작이 떨어지지만 CMOS 공정이 점점 발달하면서 제작 가능한 최소의 소자 크기가 줄어들고 있다.^{[2][11]} 따라서, RF(Radio frequency) 대역에서 동작 가능한 위상 동기 회로를 CMOS 회로로써 구성하는 것이 가능해졌으며 앞으로 초고속 주파수 대역에서도 가능해질 것이다. 또한, 저전력에서 동작이 가능하고 가격 면에서도 장점을 가지게 되며 모든 기능의 집적화를 통해서 단일 칩 수신기가 가능해질 가능성이 커지기 때문에 본 논문에서는 CMOS 소자를 사용하여 전하펌프의 구조를 개선하여 고 주파수에서 안정적인 동작이 가능한 차동 전하펌프를 설계하여 전압제어 발진기에 안정적인 출력 전압을 제공하여 안정적인 주파수의 출력 신호를 갖는 PLL을 설계하고자 한다.

제안된 전하펌프의 동작 주파수 등의 성능을 검증하기 위하여 전하펌프를 포함한 전체 위상 동기 회로와 일반적인 전하 펌프를 포함한 위상 동기 회로를 설계한 후 0.6 μ m CMOS 공정 파라미터를 이용하여 HSPICE 시뮬레이션을 수행하였다. 또한, 두 가지의 위상 동기 회로를 cadence 툴을 이용하여 post-layout 시뮬레이션을 수행하였다. 이를 통해 추출된 기생 커패시터를 포함한 위상 동기 회로의 동작을 시뮬레이션을 통해 확인하였다.

II 장에서는 위상 동기 회로를 구성하는 각 블록의 동작 원리와 전하펌프 위상 동기 회로에 대하여 설명하며 III 장에서는 기존의 전하펌프의 잡음에 대한 연구를 통하여 성능 향상을 위해 제안된 전하펌프의 동작원리에 대하여 설명하였다. IV 장에서는 기존의 전하펌프와 제안된 전하펌프를 포함한 PLL을 설계하기 위하여 사용된 PLL의 구성 블록들의 설계 방법과 시뮬레이션 결과를 설명하며 V장에서는 전체 PLL 회로와 그 성능을 HSPICE를 이용하여 Post-layout 시뮬레이션을 통해 알아보기로 한다. 끝으로 VI 장에서는 본 논문의 결과를 정리하였다.

제 2 장. 위상 동기 회로를 구성하는 블록의 동작 원리

전하펌프 위상 동기 회로는 그림 2-1과 같이 다섯 가지 블록으로 구성되어 있다. 먼저, 외부의 클럭 입력 신호인 V_{in} 과 주파수 분주기(Frequency Divider)의 출력 신호인 V_{div} 를 입력으로 받아들이는 위상/주파수 검출기가 있다. 이는 두 입력 신호의 상태에 따라서 세 가지 상태의 출력 값을 가지게 된다. V_{in} 의 위상 및 주파수가 V_{div} 보다 앞 설 경우에는 UP에 논리 '1'의 값이 출력되고 반대로 V_{div} 신호가 앞 설 경우에는 DN에 논리 '1'이 출력된다. V_{in} 과 V_{div} 의 위상 및 주파수 차가 없는 경우에는 UP과 DN 출력단자에 논리 '0'의 신호를 발생하여 이를 전하펌프 루프필터(Charge Pump Loop Filter)에 전달한다.^{[6]-[8]} 전하펌프 루프필터에서 전하펌프는 루프필터의 커패시터를 충전시키거나 방전시키는데 필요한 두 개의 전류원과 논리 '1'의 값을 가질 경우에 도통되는 두 개의 스위치로 구성되어 있다. 이와 같은 구조의 전하펌프 루프필터는 입력된 값의 상태에 따라서 전압제어 발진기의 출력 주파수를 제어하는 전압을 발생시키고 이 전압의 크기를 조절하는 역할을 한다. 전압제어 발진기는 전하펌프 출력 전압의 크기에 비례하는 주파수를 갖는 신호를 출력하며 주파수분주기는 이 신호를 입력으로 하여 N분주한 신호를 출력한다.

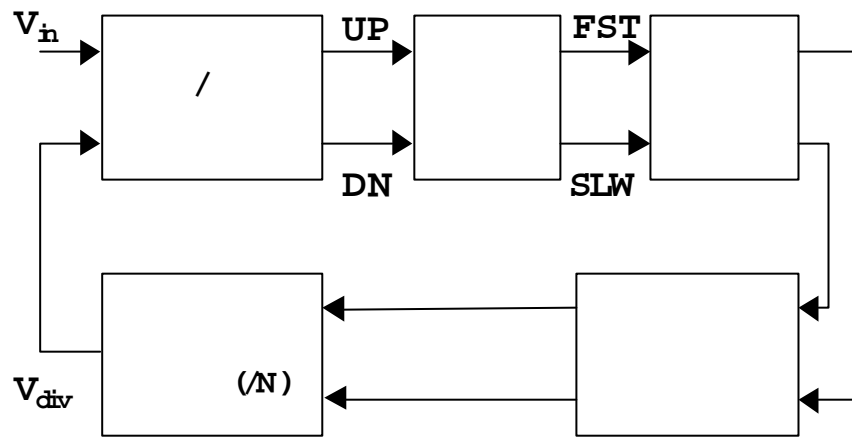


그림 2-1. 위상 동기 회로의 블록도

제 2-1 절. 위상/주파수 검출기 동작 원리

위상을 검출해내기 위한 위상 검출기로서 edge-triggered R-S Latch가 있다. 그림 2-2에 나타난 위상 검출기는 입력되는 V_m 신호의 상승 천이시에 출력 Q에 논리 '1'의 값을 전달하고 V_{dv} 신호의 상승 천이시에는 논리 '0'의 값을 출력 V_{out} 에 나타낸다. 이와 같은 구조의 위상 검출기는 출력이 입력 신호들의 duty cycle에 영향을 받지 않는다는 장점이 있다. 또한, XOR 게이트를 사용한 구조는 검출해낼 수 있는 위상차가 $-\pi/2$ 에서 $+\pi/2$ 인 반면에 $-\pi$ 에서 π 로 위상 검출 범위가 확장되는 장점이 있다. 이와 같은 구조의 위상 검출기의 입출력 특성과 위상차에 대한 V_{out} 출력 특성을 그림 2-2에 같이 나타내었다.

그러나, 두 입력되는 신호의 주파수의 변화에 대해서 인식을 하지 못하며 위상 검출 범위 역시 어느 정도 제한되기 때문에 위상과 주파수 모두를 검출할 수 있는 위상/주파수 검출기에 대한 연구를 하고자 한다. 그림 2-3은 전형적인 위상/주파수 검출기의 입출력에 관해 나타내고 있는데 만일 입력 V_m 의 각 주파수가 입력 V_{dv} 의 각 주파수보다 작다면 이 때, 위상/주파수 검출기는 논리 '0'의 값을 출력 UP에 전달하고 DN에는 논리 '1'의 값을 전달한다. 반대로 V_{dv} 의 각 주파수가 더 작다면 출력 DN에 논리 '0'의 값이 전달되고 UP에 논리 '1'의 값이 전달된다. 만일, 두 입력 신호의 각 주파수가 서로 같다면 위상/주파수 검출기는 그림 2-3에 나타낸 바와 같이 V_m 신호와 V_{dv} 신호의 위상차가 음이라면 DN에 위상차와 동일한 펄스 폭을 갖는 신호를 출력한다. 반대로 위상차가 양이라면 UP에 동일한 펄스 폭을 갖는 논리 '1'의 값을 출력하는 구조를 가지고 있으며 각 주파수와 위상이 모두 동일한 경우에는 UP과 DN에 논리 '0'의 값을 출력한다. 이와 같은 위상/주파수 검출기에서는 UP과 DN에 동시에 논리

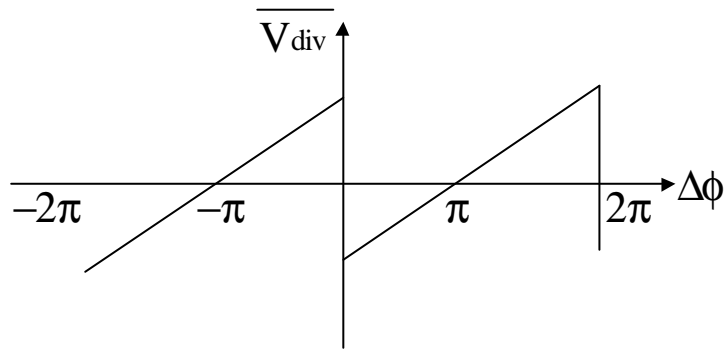
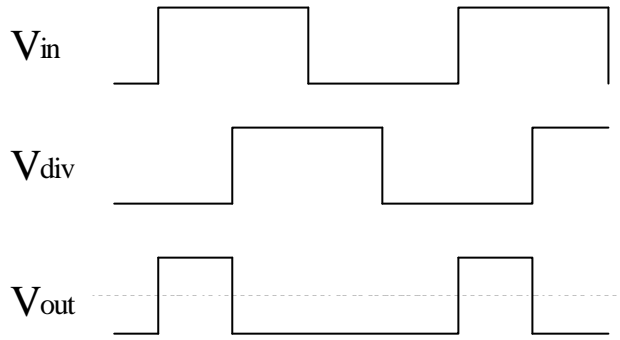
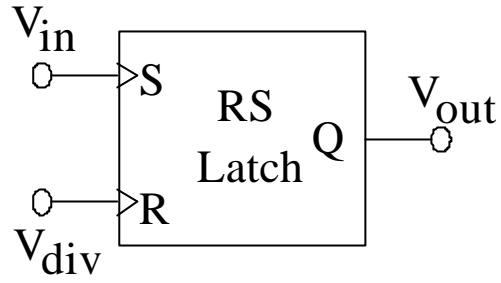


그림 2-2 R-S latch의 입·출력과 위상 검출 범위

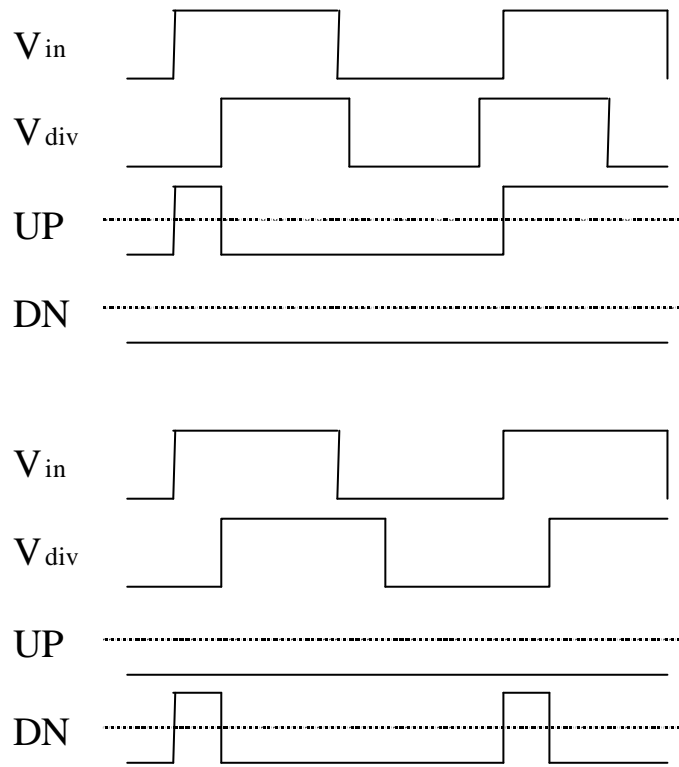
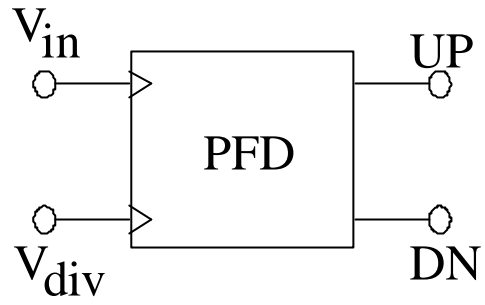


그림 2-3. 위상/주파수 검출기의 입·출력과 위상 검출 범위

'1'의 값을 갖는 펄스가 발생하지 말아야만 한다.

위와 같은 구조를 갖는 위상/주파수 검출기를 설계하기 위해서는 두 개의 출력 값이 세 가지의 논리 상태를 가져야 하며 입력되는 신호들의 주파수와 위상의 변화에 따른 duty cycle에 영향을 받지 않도록 edge-triggered 구조를 가져야만 한다. 이를 위해 그림 2-4에 위상/주파수 검출기의 동작을 요약한 상태 그림(State diagram)을 나타내었다. 여기서, (UP, DN) = (0, 0); (UP, DN) = (0, 1); (UP, DN) = (1, 0)의 세 가지 상태를 가지며 각 상태의 전환은 입력되는 두 신호의 하강 천이 때 일어난다. 따라서, 만일 V_{in} 의 각 주파수가 V_{div} 의 각 주파수보다 크다면, V_{div} 신호가 두 번 전환된 사이에 V_{in} 신호가 두 번 전환되는 상태가 돌아가기 위해 나머지의 상태사이에 전환되는 순차적인 변환을 나타내고 있다. $0 \sim 2\pi$ 까지의 위상차를 검출하고 전하펌프와 함께 사용하여 정적인 위상 잠음을 제거할 수 있는 위상/주파수 검출기 구조가 그림 2-5에 나타나있다. ^{[9][10][11]} 하강 시점(Negative Edge)에서 동작하는 두 개의 D-F/F(D Flip-Flop)의 클럭 입력단에는 V_{in} 과 V_{div} 신호가 각각 입력되고 D 입력에는 논리 '1'의 값을 가하여서 V_{in} 이나 V_{div} 가 논리 '1'에서 '0'으로 하강하는 시점에서 입력 값을 외부에 출력한다. 즉, 입력 V_{in} 이 하강하는 시점에서 논리 '1'의 신호가 D-F/F의 출력 UP에 나타나고 V_{div} 가 하강하는 시점에서는 출력 DN에 논리 '1'의 값이 나타난다. 이 때, UP과 DN 신호가 동시에 논리 '1'이 되면 AND 게이트의 출력이 논리 '1'의 값을 갖고 리셋 단자를 동작시켜서 UP과 DN 신호를 논리 '0'으로 하강시킨다. 두 입력 신호의 위상차는 전하펌프에 위상차만큼의 UP신호가 전달되어 전압제어 발전기의 주파수를 증가시킴으로써 감소된다. 천이 순간에서만 동작하기 때문에 위상차에 관계없이 0에서 2π 까지 검출이 가능하고 위상차가 미세하여 검출해 낼 수 없는 영역을 피할 수 있다.

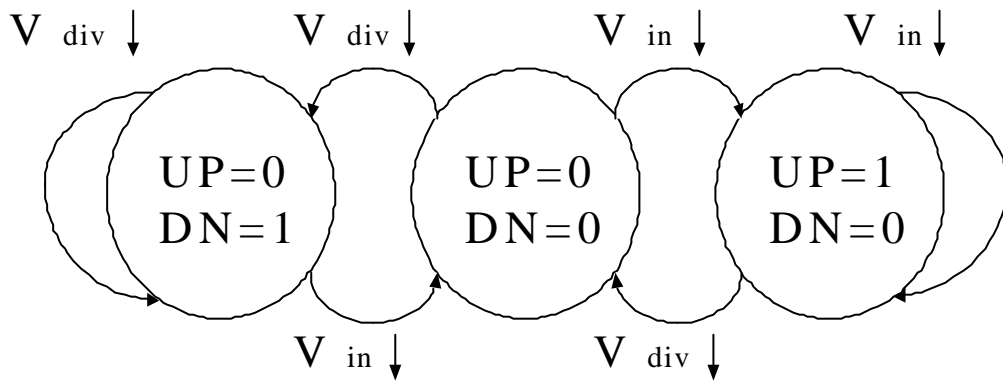


그림 2-4. 위상/주파수 검출기 논리 상태도

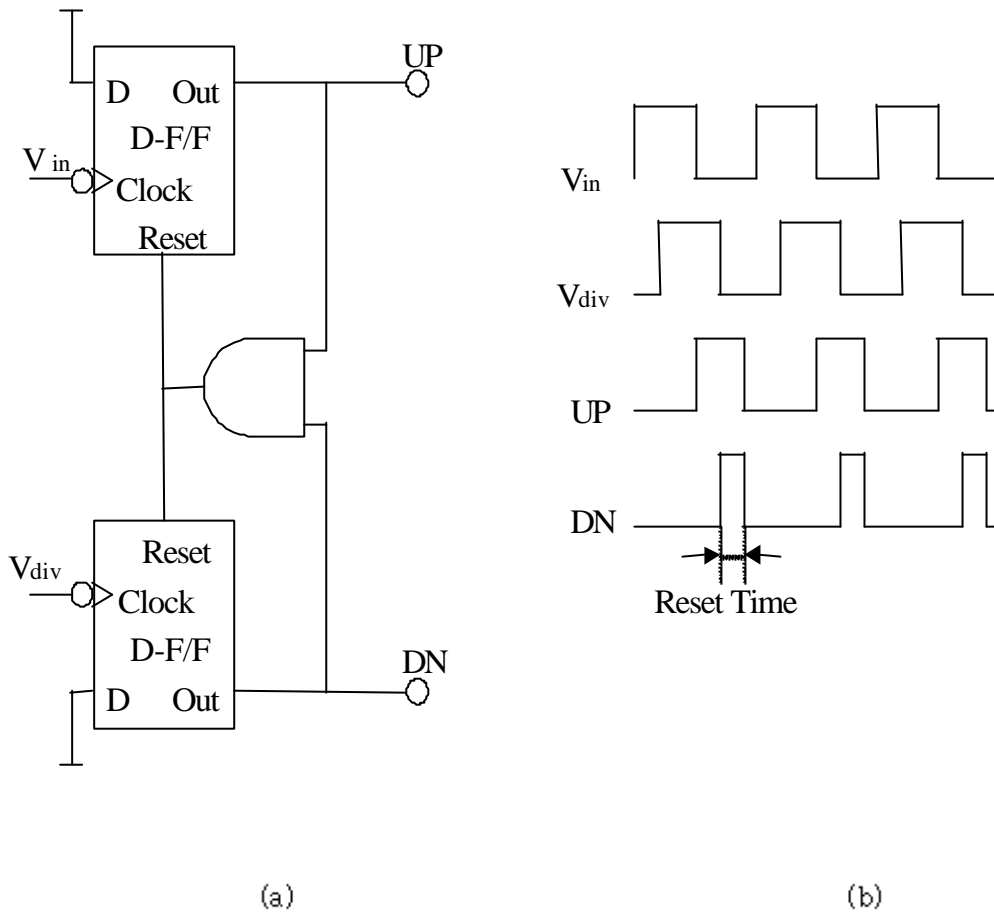


그림 2-5. 일반적인 위상/주파수 검출기

(a) 위상/주파수 검출기의 구조

(b) 위상/주파수 검출기의 임펄스 특성

제 2-2 절. 전하펌프 루프필터의 동작 원리

이상적인 선형 위상 동기 회로에는 위상 검출기와 연동하여 간단한 구조의 저역 통과 필터가 사용된다. 이 구조에서는 위상 검출기 출력의 평균값이 위상차가 존재하는 구간 내에 저역 통과 필터의 커패시터에 충전되고 이 값은 시간이 지날수록 누설 전류로 인하여 방전되기 때문에 정상 상태에서의 잡음이 계속해서 발생하는 단점이 있다.^{[6][9][12]} 연산 증폭기 등을 이용한 능동 저역 통과 필터가 존재하지만 연산 증폭기 자체가 가지는 대역폭과 동작 주파수의 한계로 인해 잡음의 제거에 있어서 한계가 존재할 수밖에 없다. 이와 같은 문제점은 위상/주파수 검출기와 전하펌프 루프필터를 사용하여 해결할 수 있다.

동작 원리를 알아보기 위해서 그림 2-6에 두 개의 독립 전류원과 전기적인 스위치로 구성된 전하펌프와 위상/주파수 검출기, 저역 통과 필터를 함께 나타내었다. 만일, 입력 V_{in} 신호가 V_{div} 신호보다 앞선다면 위상/주파수 검출기는 UP에 논리 '1'의 값을 출력하게 된다. 이 값이 전하펌프의 스위치 S_1 을 도통시키면서 루프필터의 커패시터에는 전류 I_1 이 전달되어 전하가 충전된다. 이 때, DN에는 논리 '0'의 값이 나타나게 되고 스위치 S_2 는 도통되지 않고 전류원 B는 동작하지 않는다. 이 때 그림 2-7에 나타난 바와 같이 UP 신호의 펄스폭만큼의 시간동안 커패시터에 충전된 값으로 인해 출력 control 전압이 상승하며 반대로 입력 V_{in} 신호가 V_{div} 신호보다 뒤진다면 위상/주파수 검출기는 DN에 논리 '1'의 값을 출력하게 되며 이 때 출력 control 전압이 하강하며 이에 따른 전하펌프의 입·출력 신호의 논리표가 표 2-1에 나타나 있다. 그 외의 시간동안은 전하펌프의 DC 이득이 무한대이기 때문에 루프필터 단독으로 사용된 경우와는 달리 방전될 경로가 생기지 않아서 출력 전압이 일정하게 유지된다. 따라서, 이

상적으로 전하펌프가 포함된 위상 동기 회로의 정지 위상 오차는 0이 되고 주파수 획득 범위가 단지 전압 제어기의 출력 주파수 범위에 의해서만 제한되는 장점이 있다.^{[16]-[18]}

그러나 고 주파수의 위상 동기 회로에 이용하기 위한 전하펌프는 주변환경의 영향에 둔감해야 하므로 그림 2-6의 2입력 1출력의 전하펌프를 차동 전하펌프로 설계하여 사용한다.

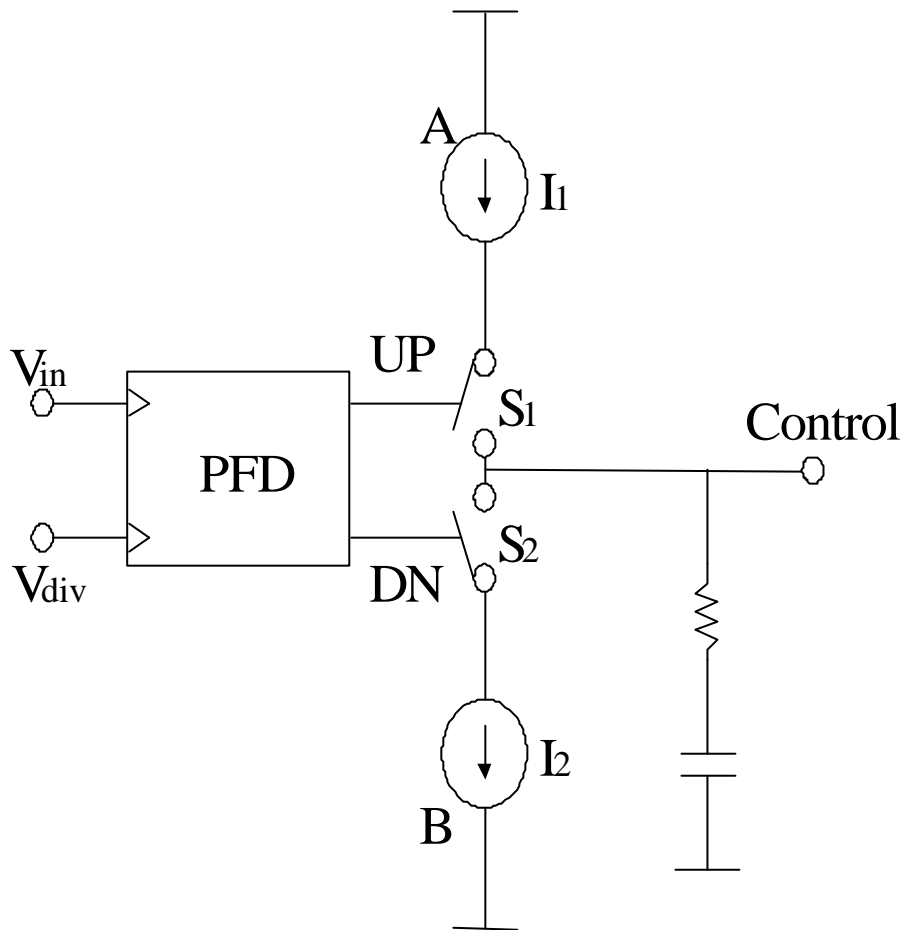


그림 2-6. 위상/주파수 검출기와 연동된 전하펌프 루프필터

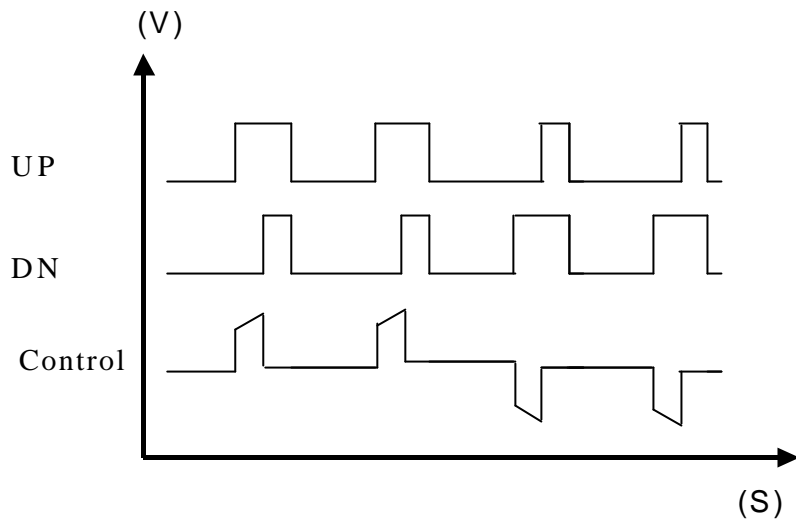


그림 2-7. 전하펌프 루프필터의 입·출력 파형

UP	DN	Control
0	0	0
0	1	-1
1	0	1
1	1	0

표 2-1. 전하펌프 루프필터의 입·출력 신호의 논리표

제 2-3 절. 전압제어 발전기의 동작 원리

전압제어 발전기는 전하펌프 루프필터에서 발생시켜주는 아날로그 전압을 입력으로 받아들여서 이와 선형적으로 비례하는 주파수를 가지는 출력 신호를 위상/주파수 검출기의 입력으로 전달하는 역할을 수행하는 블록이다.^{[13][14]} 제어 전압이 V_c 라고 할 때 출력되는 신호의 각 주파수는 다음과 같이 표현된다.

$$\omega_{vco} = \omega_o + K_{vco} V_c \quad (2-1)$$

여기에서 ω_o 는 제어전압이 0일 때 즉, 전압제어 발전기가 자유 동작하는 주파수를 말하고, $K_{vco}(\text{rad/s/V})$ 는 전압제어 발전기의 제어전압이 1V 증가할 때의 주파수 이득을 의미한다. 위상을 시간에 대해서 적분하면 sinusoidal 전압제어 발전기의 출력은 다음과 같이 표현된다.

$$\mathcal{V}(t) = A \cos\left(\omega_o t + K_{vco} \int_{-\infty}^t V_c dt\right) \quad (2-2)$$

전압제어 발전기는 위상 동기 회로에서 동작 주파수를 결정하는 중요한 역할을 하는 블록이다. 즉, 전압제어 발전기의 최대 주파수와 최소 주파수가 위상 동기 회로에서 튜닝할 수 있는 범위를 제한하며 이 범위 내에서 전압제어 발전기의 출력 크기의 변화는 최소가 되어야하며 지터 잡음 역시 최소가 되어야만 한다. 위상 동기 회로 전체의 지터와 위상 잡음은 정확도 등을 결정하는 중요한 요소이다. 또한, 입출력 특성이 선형적이어야만 한다. 즉, 전압제어 발전기의 이

특인 K_{vco} 의 값이 튜닝 영역 안에서는 선형성에서 어긋나지 말아야만 한다.

이러한 전압제어 발진기는 개별 소자와 몇 개의 능동 소자를 포함한 LC 공진기등으로 구성되어지고 있다. 주파수 안정도가 매우 높아 잡음이 적은 장점이 있지만 생산할 때 주파수를 조정할 때의 문제와 점유 면적 등의 문제가 있다. 현재 국내에서 이러한 전압제어 발진기의 대량생산을 위한 MMIC 회로가 연구되고 있으나 이와 같은 신 공정 또는 새로운 소자를 이용하기 위한 공정 자체가 매우 비싸고 실용성이 아직까지 증명되지 않았다.

이러한 전압제어 발진기는 발진 특성 면에서는 낮은 위상잡음을 가져야하며 휴대용에 사용될 수 있도록 낮은 동작전압에서 동작하는 것이 필요하기 때문에 요구되는 전류량이 작아야 한다. 또한, 한 개의 칩에 집적해서 제작하기 위해서는 CMOS 공정과 같이 값싸고 저전력이며 시스템 온 칩이 가능한 공정을 이용하여야만 한다. 물론, 위상잡음 특성이 떨어지지만 점차 MOS 소자에 대한 연구가 계속해서 발전됨에 따라서 소자의 동작 주파수를 결정하는 소자의 게이트 길이가 점점 짧아지고 안정적이 되어 충분히 사용이 가능하리라 생각된다.

이와 같은 전압제어 발진기가 가지는 위상 잡음등이 상당히 크기 때문에 그 외의 위상 동기 회로의 블록들은 최소의 잡음만을 가지도록 설계되어야 하며 또한 점점 통신 시스템이 고속화됨에 따라서 전압제어 발진기뿐만이 아니라 그 외의 블록들 역시 그에 상응한 속도로 발전하여야만 한다.

제 3 장. 새로운 구조의 전하펌프

제 3-1 절. 일반적인 구조의 전하펌프

전하펌프의 구조에는 여러 가지가 있으나 고속의 클럭/데이터 복원 시스템에 응용되는 경우에는 그림 3-1과 같은 차동 전하펌프가 많이 이용된다. 차동 전하펌프는 단일 입력에 의해 제어되는 전하펌프에 비해 항상 도통되어 있는 전류 경로로 인한 고전력 소모 등의 단점이 있으나 차동 입력을 받아서 차동 신호를 출력하기 때문에 안정적인 동작을 하는 장점이 있다. 기본적인 전하펌프의 구조는 그림 3-1에 나타난 바와 같으며 그 동작 원리는 다음과 같다. 여기서 UP 신호가 논리 '1'이고 DN 신호가 논리 '0'일 때 FST 노드의 전압이 증가하고 SLW 노드에서는 전압이 감소하며 반대로 UP 신호가 논리 '0'이고 DN 신호가 논리 '1'일 때는 FST 노드의 전압이 감소하며 SLW 노드의 전압은 증가한다.

이러한 동작을 하여 PLL의 입력과 출력이 동기 되면 일반적인 PFD의 경우 UP, DN 신호는 논리 '0'의 값이 출력되며 PFD의 리셋(reset) 시간 동안에는 UP, DN 신호가 논리 '1'의 값으로 출력된다. 이 때 전하펌프의 출력 노드 FST, SLW의 전압은 일정한 전위를 유지한다. 따라서 VCO의 출력 또한 일정한 주파수를 출력하여 PLL이 동기 상태를 유지하게 된다.

이상적인 전하펌프의 경우 PLL이 동기 되어 PFD의 출력 UP, DN의 신호가 논리 '1'이거나 논리 '0'일 때 일정한 출력 전압을 유지해야 하지만 그림 3-1의 일반적인 전하펌프의 경우에는 아래에서 설명하는바와 같이 출력 전압의 변화

가 있으며 이는 PLL의 출력 신호의 잡음으로 작용하게 된다.

일반적인 전하펌프에서는 UP, DN 신호가 모두 논리 '0'일 경우에는 그림 3-1에 나타나 있는 점선의 전류 경로가 형성되고 모두 논리 '1'일 경우는 실선의 전류 경로가 형성된다. 따라서 전하펌프의 출력 전압의 전위가 출력 바이어스 전압보다 높은 경우에는 PMOS의 드레인-소오스 간의 전압이 작아져서 PMOS의 전류 구동능력이 낮아지고 NMOS의 드레인-소오스 간의 전압이 커져서 NMOS의 전류 구동능력이 높아지므로 출력 전압은 감소하는 경향을 보인다. 반대로 출력 전압의 전위가 출력 바이어스 전압보다 낮은 경우에는 PMOS의 드레인-소오스 간의 전압이 커져서 PMOS의 전류 구동능력이 높아지고 NMOS의 드레인-소오스 간의 전압이 작아져서 NMOS의 전류 구동능력이 낮아지므로 출력 전압은 증가하는 경향을 보인다. 제어전압의 값이 전하펌프의 출력 노드(SLW, FST)의 바이어스 전압과 차이가 많이 날수록 PMOS와 NMOS의 전류 구동 능력의 차이로 인한 전압 변동은 심화되며 이러한 제어전압의 변화는 VCO의 출력 주파수에 잡음으로 작용하게 된다.

그림 3-2는 일반적인 전하펌프 루프필터의 임·출력 파형을 나타내는 파형도이다. 그림 3-2를 보면 위에서 설명한 것처럼 (UP, DN) = (0, 0)일 때 출력 신호 FST의 전압이 전하펌프의 바이어스 전압보다 높은 곳에 위치하므로 전류 누설에 의해 전압이 감소하는 것을 볼 수 있다. 이러한 전압의 변동은 전압제어 발진기 출력의 주파수 잡음 요인이 된다.

PLL이 동기 되었을 때 PLL의 입력 신호와 동일한 주파수를 갖는 신호를 출력하기 위해서는 일정한 제어전압을 유지해야 하므로 PMOS와 NMOS의 전류 구동능력의 차이로 인해 변동된 전위만큼을 복구시키기 위한 UP, DN 신호의 차이가 생성된다. 이는 결과적으로 PLL 입력과 출력 사이의 위상차를 발생

시키는 문제점을 발생시킨다. 또한 일반적인 전하펌프는 PLL이 동기된 상태에서 그림 3-1의 점선과 실선에 의한 전류 경로로 인하여 지속적으로 전력이 소모되며 그림 3-1의 Biasn 노드와 Biasp 노드에 바이어스 전압을 공급해 주는 별도의 바이어스 회로의 요구 등으로 전력을 많이 소모하게 되는 단점도 있다.

따라서 위와 같은 문제점을 해결하기 위해서 PLL이 동기 되었을 때 안정적인 제어전압을 공급할 수 있는 전하펌프의 필요성이 요구된다.

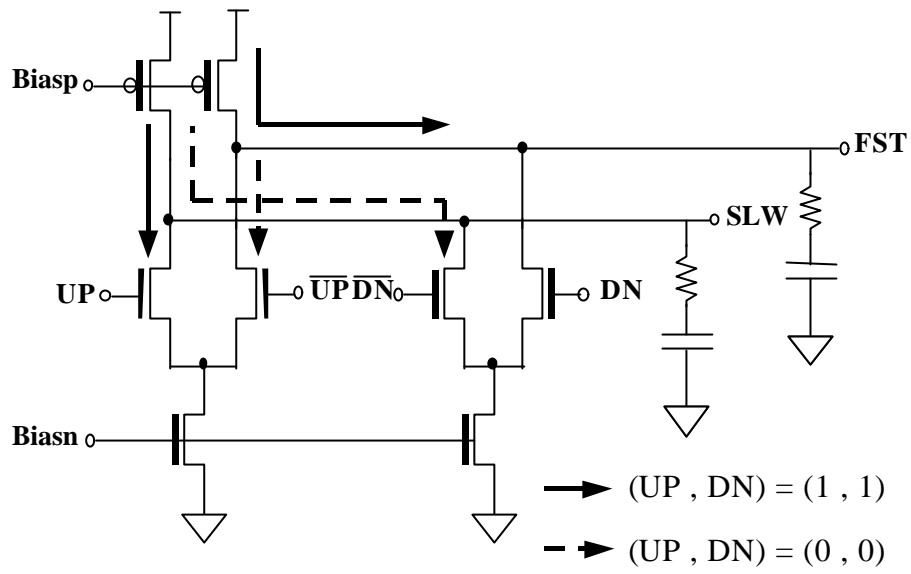


그림 3-1. 일반적인 구조의 전하펌프 및 루프필터

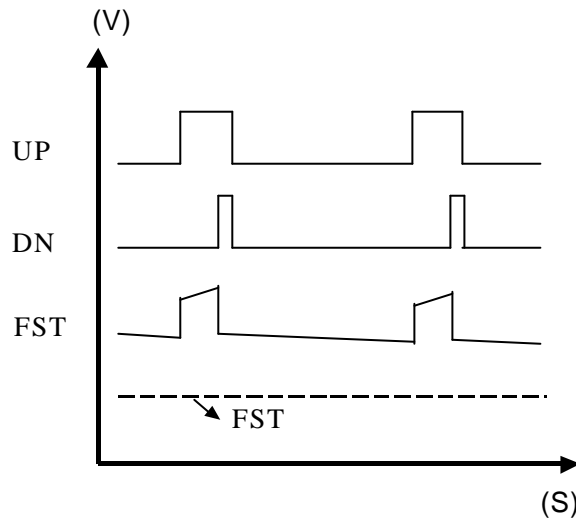


그림 3-2. 일반적인 전하펌프 루프필터의 입·출력 파형

제 3-2 절. 새로운 구조의 저잡음 전하펌프

본 연구에서는 일반적인 전하펌프가 가지는 잡음, 높은 소비전력 등의 단점을 개선시킬 수 있는 새로운 구조의 전하펌프를 제안하였다. 제안된 전하펌프는 그림 3-3에 나타나 있으며 자기바이어스 기법을 사용하여 기본적인 차동 전하펌프의 기능을 수행한다.

그림 3-4를 보면 제안된 구조의 전하펌프도 PFD의 출력인 UP, DN 신호가 모두 논리 '1'이 되는 리셋 시간 동안에는 전류 영상기(current mirror)를 이용하여 전류 경로 ①에 의해 전류 경로 ②를 형성시키므로 일반적인 구조의 전하펌프와 같이 PMOS와 NMOS의 전류 구동 능력의 차이로 인해 제어전압이 변화하는 단점이 있다. 그러나 PFD의 리셋 시간은 신호의 주기에 비하여 짧은 시간이므로 제어전압은 크게 영향을 받지 않는다.

제안된 구조의 전하펌프는 그림 3-5에서 보듯이 UP 신호가 논리 '1'이고 DN 신호가 논리 '0'일 때는 전류 경로 ①이 전류 영상기를 통해 전류 경로 ②를 형성시키므로 FST 노드의 전압이 증가하고 SLW 노드에서는 전압이 감소하며 반대로 UP 신호가 논리 '0'이고 DN 신호가 논리 '1'일 때는 FST 노드의 전압이 감소하며 SLW 노드의 전압은 증가한다. 반대로 UP 신호가 논리 '0'이고 DN 신호가 논리 '1'일 때는 FST 노드의 전압이 감소하고 SLW 노드에서는 전압이 증가하게 되어 기본적인 전하펌프의 기능을 수행한다.

그러나 PLL이 동기 되어 PFD의 출력인 UP, DN이 모두 논리 '0'일 때는, 전하펌프를 구성하는 PMOS와 NMOS가 모두 turn-off 되기 때문에, FST, SLW 노드에서의 전류 경로가 차단되어 제어전압은 일정하게 유지되며 이는 VCO의 출력 주파수를 안정적으로 제어하여 결과적으로 PLL 출력 신호의 잡음

은 감소된다. 또한 이 때 전하펌프를 구성하는 MOS가 모두 turn-off 상태이므로 전하펌프는 누설 전류에 의한 전력만을 소모한다. 또한 일반적인 전하펌프와는 달리 자기바이어스 기법을 이용하여 별도의 바이어스 회로가 필요 없으며 전류 경로를 필요에 따라 차단하는 방식을 사용하여 작은 전력을 소모하는 장점도 가진다.

그림 3-6은 제안된 전하펌프 루프필터의 입·출력 파형을 나타내는 파형도이다. 그림 3-6을 보면 (UP, DN) = (0, 0)일 때 출력 신호 FST의 전압이 전하펌프의 바이어스 전압보다 높은 곳에 위치하고 있다. 이때 제안된 전하펌프의 출력 파형은 바이어스레벨보다 높은 전압 값에서도 안정적인 출력 전압을 유지함을 알 수 있다. 따라서 전압제어 받침기는 안정적인 주파수 성분의 신호를 출력하게 된다.

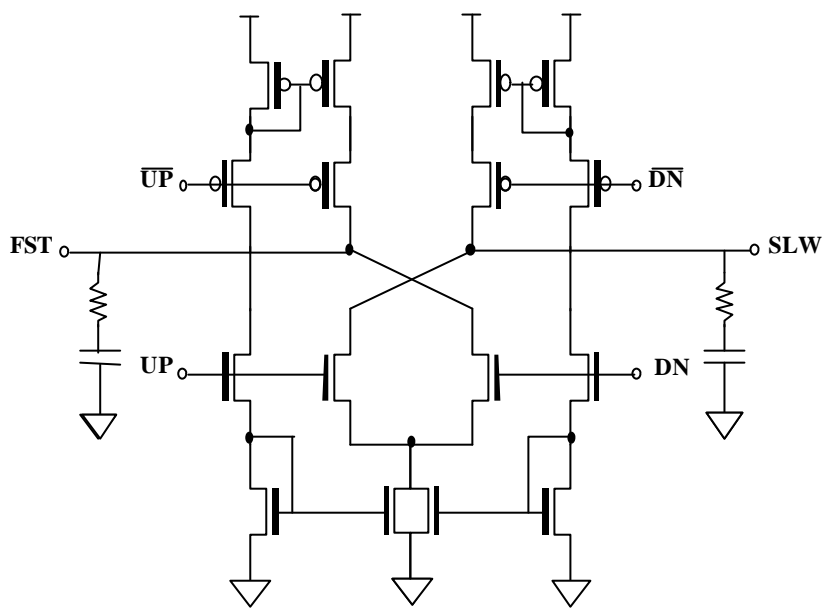


그림 3-3. 제안된 전하펌프 및 루프필터

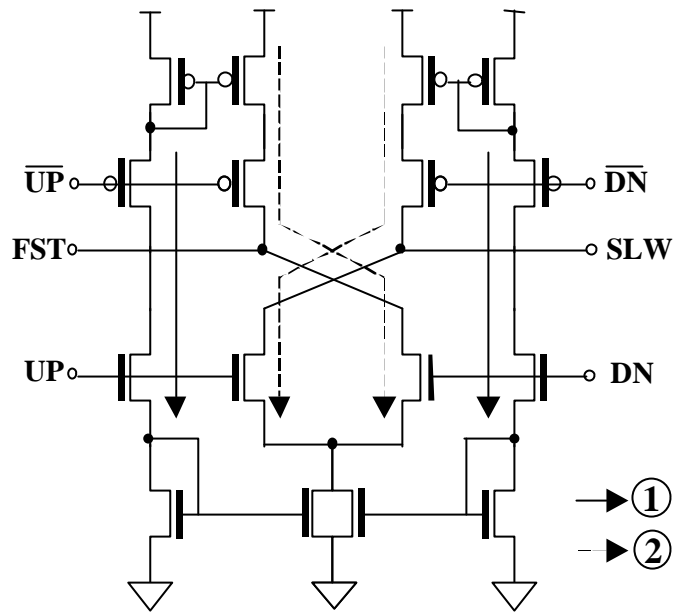


그림 3-4. 제안된 구조의 전하펌프 (UP, DN)=(1, 1)

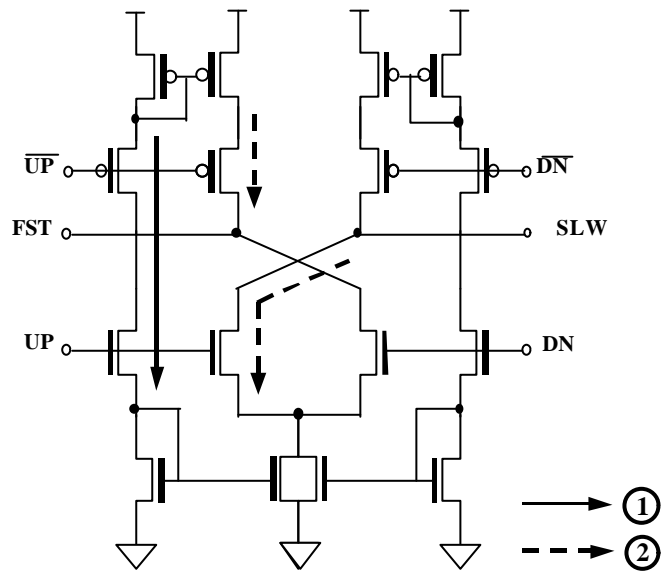


그림 3-5. 제안된 전하펌프 (UP, DN) = (1, 0)

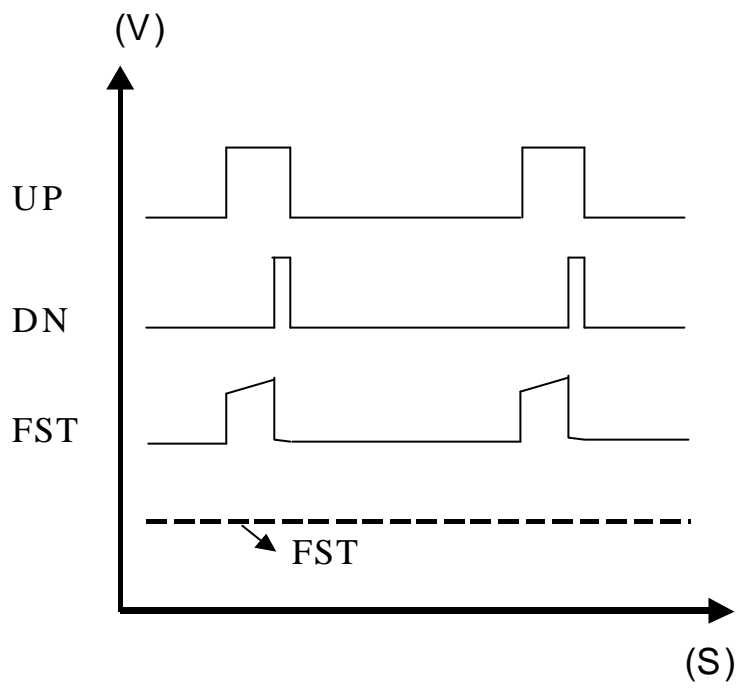


그림 3-6. 제안된 전하펌프 루프필터의 입·출력 파형

제 4 장. 위상 동기 회로의 블록 별 설계 및 시뮬레이션

본 연구에서는 기존의 전하펌프와 제안된 전하펌프의 성능을 비교하기 위하여 일반적인 구조의 전하펌프와 제안된 전하펌프 각각을 포함한 PLL을 설계하였다.

제 4-1 절. 위상/주파수 검출기의 설계

본 연구에서는 그림 4-1의 구조와 같은 위상/주파수 검출기를 설계하였으며 이는 7 gate delay의 리셋 시간을 가지며 dead zone의 문제가 해결된 구조의 위상 주파수 검출기이다.

이 구조의 위상/주파수 검출기는 V_{in} 과 V_{div} 를 입력으로 받아서 UP, DN의 신호를 출력한다. 본 연구에서 설계한 차동 전하펌프는 UP, \overline{UP} , DN, \overline{DN} 의 입력 신호를 필요로 하므로 그림 4-1의 위상/주파수 검출기에서 \overline{UP} , \overline{DN} 의 신호를 갖는 노드에서 출력 신호를 추출하였다. 그러나 이러한 방법의 신호 추출은 차동 신호간의 1 gate delay 차이로 인한 잡음 성분의 요소가 되므로 차동 위상/주파수 검출기의 설계가 요구된다. 이 구조의 위상/주파수 검출기는 입력 신호의 하강 천이에서 동작하게 설계되었다.

그림 4-2는 위상/주파수 검출기의 입·출력 시뮬레이션 파형이다. 이 시뮬레

이션은 위상/주파수 검출기의 입력에 주기 25.6ns의 V_m 신호와 주기 28ns의 V_{div} 신호를 입력하여 수행한 시뮬레이션 결과이다. 시뮬레이션 결과를 보면 V_{div} 신호의 위상이 V_m 신호의 위상보다 앞서므로 V_{div} 가 하강할 때 먼저 DN의 신호가 상승하였으며 V_m 이 하강할 때 UP의 신호가 상승하였다. 또한 UP과 DN이 모두 논리 1의 상태가 되면 두 신호 모두 0으로 리셋 되어 위상/주파수 검출기로서의 기능을 수행하였으며 위상/주파수 검출기의 리셋 시간은 약 $7gate-delay(0.8ns)$ 로 비교적 큰 리셋 시간을 가짐을 알 수 있다. 또한 4-2의 \overline{UP} , \overline{DN} 의 신호와 UP, DN의 신호를 비교해보면 UP, DN의 신호가 \overline{UP} , \overline{DN} 의 신호를 인버터를 통하여 출력한 신호이므로 더욱 깨끗한 파형을 가짐을 알 수 있다.

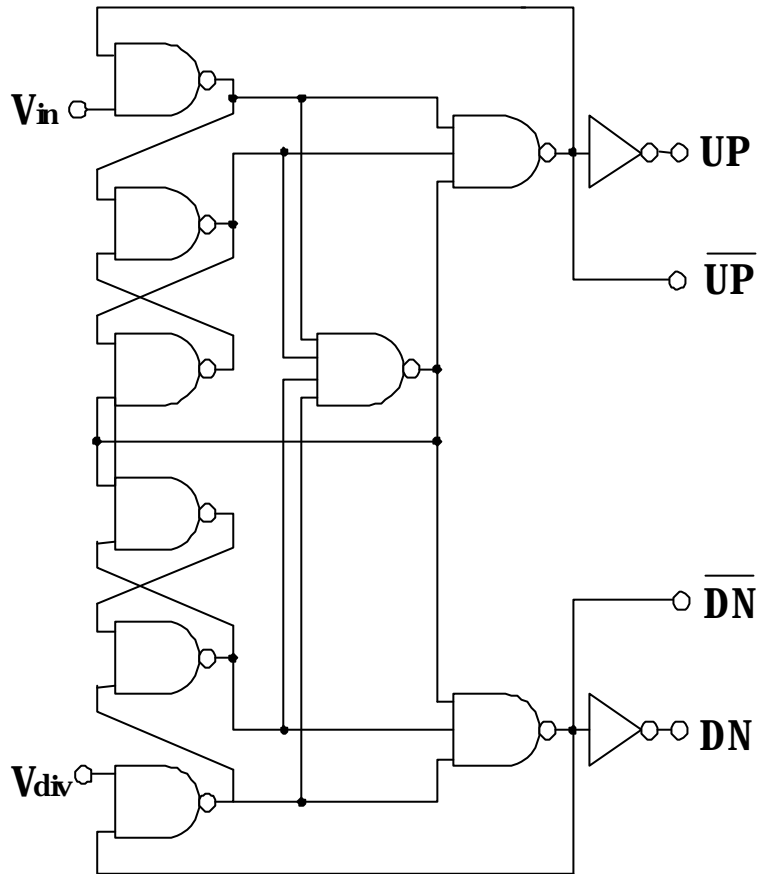


그림 4-1. 일반적인 위상/주파수 검출기

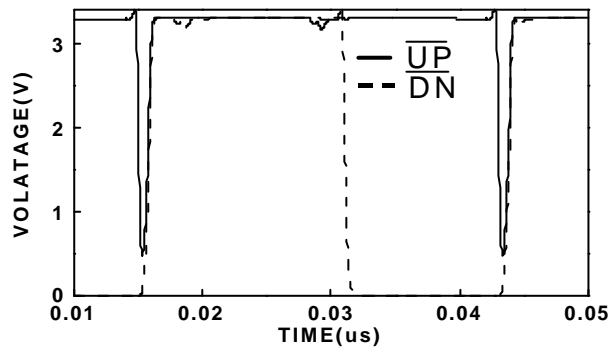
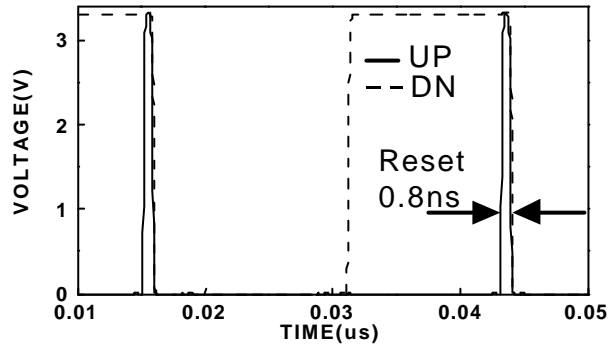
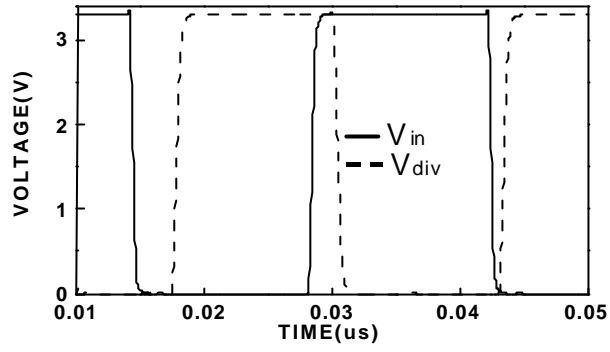


그림 4-2 위상/주파수 검출기의 입·출력 시뮬레이션 파형

제 4-2 절. 전하펌프 및 루프필터의 설계

본 연구에서는 그림 4-3의 구조의 일반적인 전하펌프 루프필터와 그림 4-4의 구조의 제안된 구조의 전하펌프 루프필터를 설계하였으며 두 개의 전하펌프의 성능 비교를 위하여 각각의 전하펌프의 출력 전류의 크기는 약 100 μA 의 같은 값으로 설계하였다.

그림 4-3과 4-4에서 볼 수 있듯이 루프필터는 1개의 저항과 2개의 커패시터를 사용하여 구성하였다. 이 구조의 루프필터는 1개의 저항과 1개의 커패시터로 구성된 루프필터에 비하여 안정적인 동작을 한다.

PLL이 안정적인 동작을 하기 위해서는 PLL의 Loop Bandwidth가 PLL의 입력 Bandwidth의 10분의 1 이하가 되어야한다. 따라서 본 연구에서는 입력 신호 Bandwidth 62MHz의 10분의 1인 6.2MHz 이하의 Loop Bandwidth를 얻기 위하여 식 4-1에 따라 R_1 의 값을 5000(ohm), C_1 의 값을 200pF로 정하였으며 통상적으로 C_2 의 값은 C_1 의 값의 10분의 1 정도의 값으로 사용하므로 C_2 의 값을 20pF으로 정하여 3.3MHz의 Loop Bandwidth를 얻도록 설계하였다.

$$\begin{aligned} \text{LoopBandwidth} &= \frac{1}{\sqrt{\tau_1 \tau_2}} \\ \tau_1 &= \frac{C_1 C_2}{C_1 + C_2} R_1, \quad \tau_2 = R_1 C_1 \end{aligned} \quad (4-1)$$

그림 4-5는 전하펌프 루프필터의 입·출력 시뮬레이션 파형이다. 그림 4-5를 보면 전하펌프의 입력 UP, DN이 모두 0인 구간에서 제안된 전하펌프의 출력파형 $FST_{proposed}$ 는 1.88V의 값을 안정적으로 유지하지만 일반적인 전하펌프

의 출력 파형 $FST_{conventional}$ 은 1.88V의 값을 유지하지 못하고 바이어스 전압인 1.65V로 수렴해감을 알 수 있다. 따라서 본 연구에서 제안한 구조의 전하펌프의 경우 일반적인 전하펌프보다 전압제어 발진기에 안정적인 출력 전압을 공급하여 PLL이 안정적인 출력 주파수 성분의 신호를 출력할 수 있다.

그림 4-6과 4-7은 온도 변화에 따른 전하펌프의 시뮬레이션 파형이다. 그림 4-6은 제안된 전하펌프의 온도 변화에 따른 시뮬레이션 파형이며 20° 부터 80° 까지 20° 씩 변화시키며 시뮬레이션 하였으며 그에 따른 전압변화는 약 0.07V이며 전류 크기의 변화는 약 $2\mu A$ 이었으며 그림 4-7의 일반적인 전하펌프의 경우에도 약 0.06V의 전압 크기 변화와 $2\mu A$ 의 전류 크기 변화가 있었다. 두 가지 전하펌프 모두 온도 변화에 안정적인 성능을 보였다.

그림 4-8과 4-9는 전원 전압의 크기 변화에 따른 전하펌프의 시뮬레이션 파형이다. 그림 4-8은 제안된 전하펌프의 전원 전압을 2.7V부터 3.3V까지 변화시키며 시뮬레이션 하였으며 이에 따른 전압변화는 약 0.12V였으며 전류 크기의 변화는 약 $45\mu A$ 로서 전원 전압의 변화에 민감한 반응을 보였으며 그림 4-9의 일반적인 전하펌프의 경우에도 약 0.13V의 전압 변화와 약 $48\mu A$ 의 전류 크기의 변화를 보임으로서 전원 전압의 변화에 민감한 반응을 보였으며 이는 차후 개선되어야 할 점이다.

그림 4-10과 4-11은 MOS 소자의 width의 크기를 표준편차 0.05의 Gaussian 분포로 변화시키는 몬테카를로 시뮬레이션을 30회한 전하펌프의 출력 파형이다. 그림 4-10의 제안된 전하펌프의 경우 약 $9\mu A$ 의 전류 크기 변화와 약 0.025V의 전압 크기 변화를 보였으며 그림 4-11의 일반적인 전하펌프의 경우에도 약 $9\mu A$ 의 전류 크기 변화와 약 0.08V의 전압 크기 변화를 보여서 두 가지의 전하펌프 공정 변화 시뮬레이션에 비교적 안정적인 경향을 보였다.

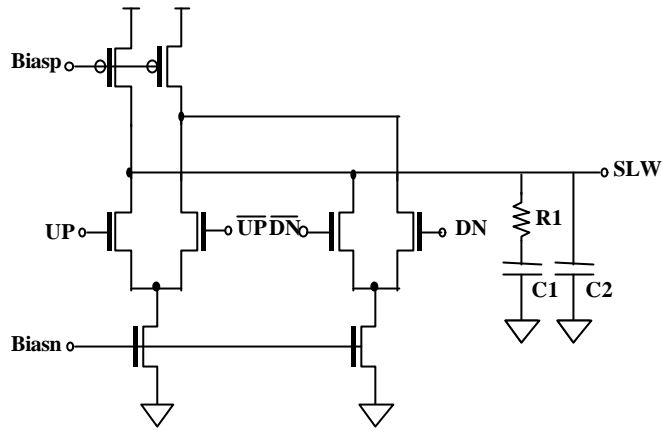


그림 4-3. 일반적인 전하펌프 루프필터

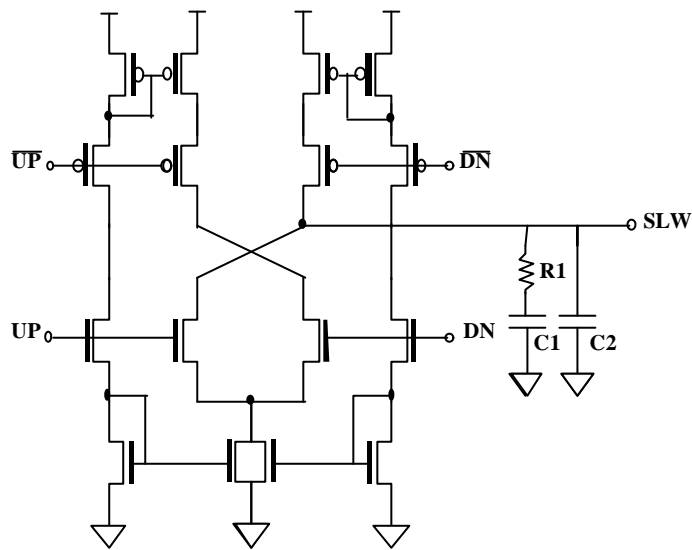


그림 4-4. 제안된 전하펌프 루프필터

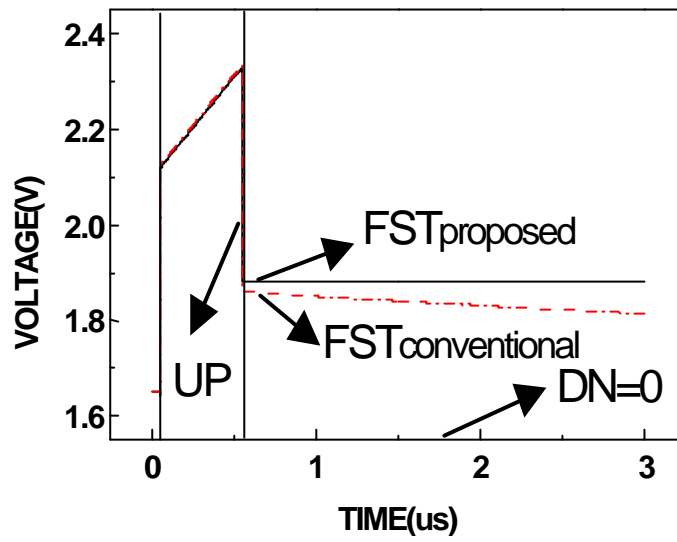


그림 4-5. 전하펌프 루프필터의 입·출력 시뮬레이션 파형(1차 루프필터 사용)

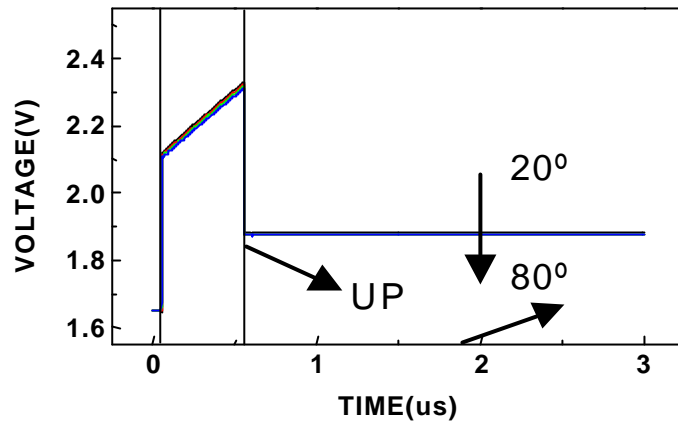


그림 4-6. 제안된 전하펌프 루프필터의 온도 변화에 따른
입·출력 시뮬레이션 파형(1차 루프필터 사용)

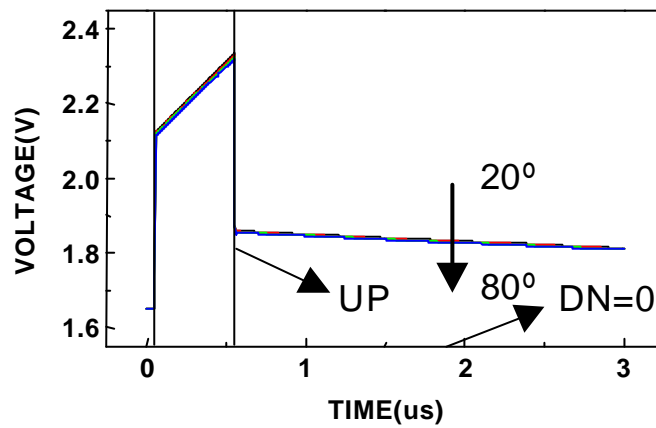


그림 4-7. 일반적인 전하펌프 루프필터의 온도 변화에 따른
입·출력 시뮬레이션 파형(1차 루프필터 사용)

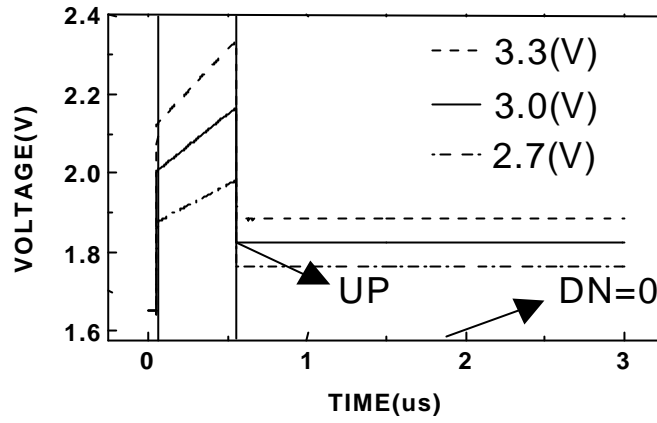


그림 4-8. 제안된 전하펌프 루프필터의 전원전압의 변화에 따른
입·출력 시뮬레이션 파형(1차 루프필터 사용)

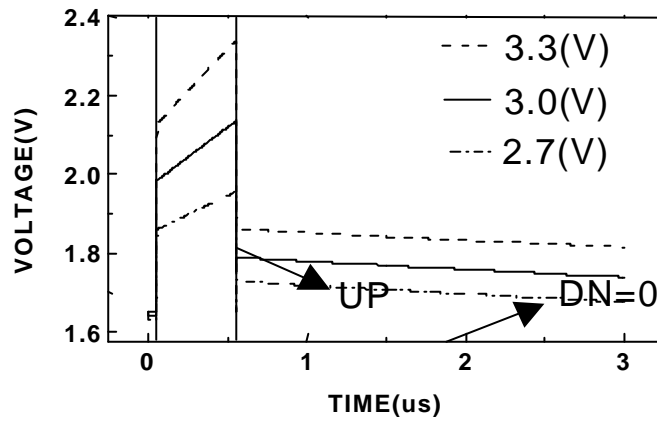


그림 4-9. 일반적인 전하펌프 루프필터의 전원전압의 변화에 따른
입·출력 시뮬레이션 파형(1차 루프필터 사용)

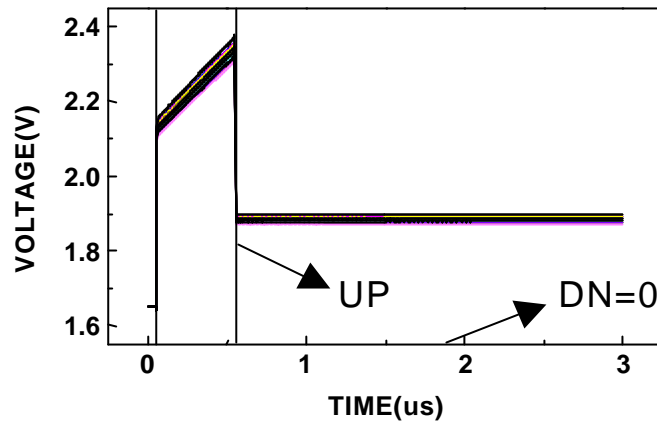


그림 4-10. 제안된 전하펌프 루프필터의 몬테카를로 Width 변화에 따른
입·출력 시뮬레이션 파형(1차 루프필터 사용)

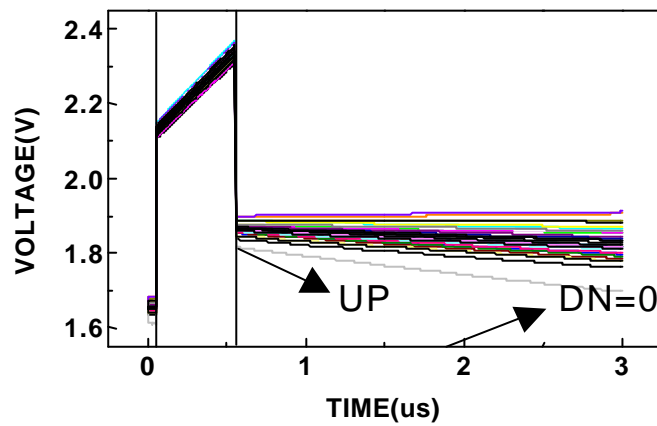


그림 4-11. 일반적인 전하펌프 루프필터의 몬테카를로 Width 변화에 따른
입·출력 시뮬레이션 파형(1차 루프필터 사용)

제 4-3 절. 전압제어 발진기 및 주파수 분주기의 설계

본 연구에서는 그림 4-12의 구조의 차동 인버터를 이용하여 그림 4-13의 전압제어 발진기를 설계하였다. 설계된 전압제어 발진기는 6단의 차동 인버터로 구성되었으며 전하펌프 루프 필터의 출력 신호인 SLW를 입력으로 받아서 이에 반비례하는 주파수를 가진 신호를 출력한다.

그림 4-14는 설계된 전압제어 발진기의 차동 출력 파형이다. 이 시뮬레이션은 전압제어 발진기의 입력단에 전압 0의 신호를 넣어 최대 출력 주파수인 1.03GHz의 차동 출력 신호인 V_{vtop} 와 V_{vbot} 을 나타내며 차동 출력 신호의 출력 전압 레벨은 0.77V~3.27V로서 각각의 출력 전압 스윙폭은 2.5V이다.

본 연구에서는 그림 4-15의 Dynamic D-type flip-flop을 이용하여^[9] 그림 4-16의 16 분주기를 설계하였다. 일반적인 D-type flip-flop으로 구성된 16 분주기의 경우 분주 주파수의 한계가 1GHz이하로서 1GHz 이상의 전압제어 발진기의 출력 신호를 분주하지 못하지만 그림 4-15의 flip-flop을 이용한 16 분주기는 post layout 시뮬레이션 결과 최대 1.2GHz의 신호까지 16 분주할 수 있기 때문에 본 연구의 전압제어 발진기의 최대 출력 주파수인 1.03GHz의 신호를 분주하는데 적합하다. 그림 4-17은 Dynamic D-type flip-flop을 이용한 16 분주기의 입·출력 시뮬레이션 파형이다. 그림 4-15의 시뮬레이션은 16 분주기의 입력인 전압제어 발진기의 출력 신호가 최대 발진 주파수인 1.03GHz일 때의 시뮬레이션 결과로서 1GHz 이상의 고주파수의 입력에 대해서도 정상적인 16 분주기의 역할을 수행함을 알 수 있다.

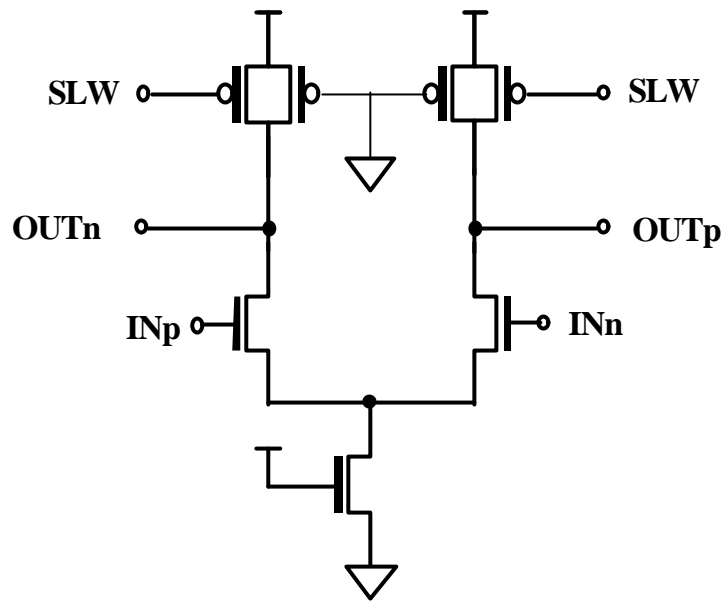


그림 4-12. 차동 인버터

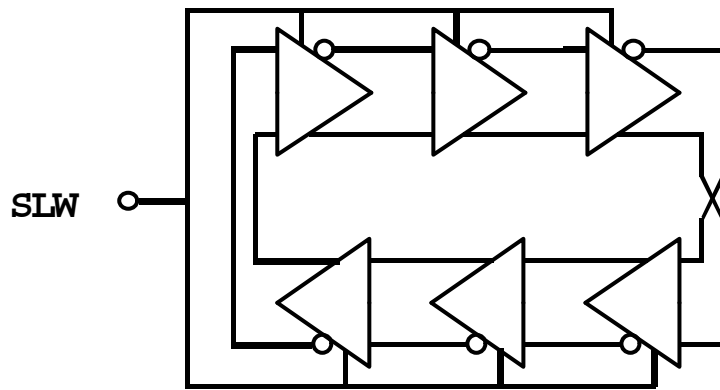


그림 4-13. 전압제어 발진기

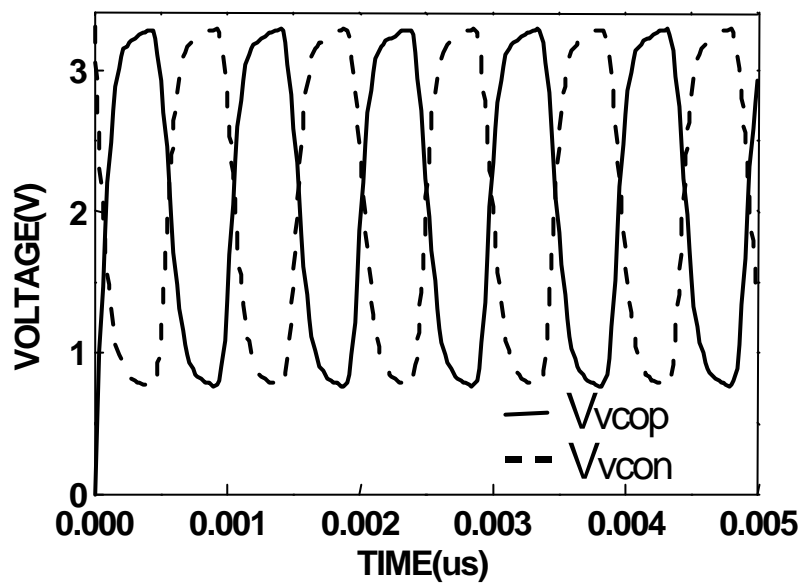


그림 4-14. 전압제어 발전기의 차동 출력 파형

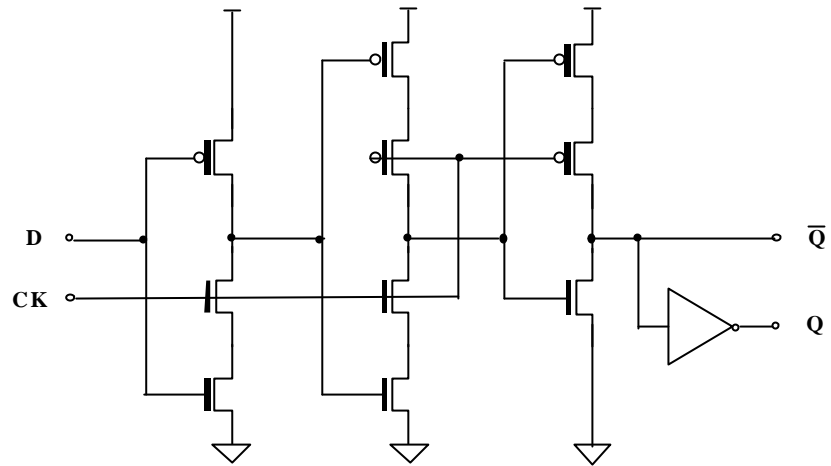


그림 4-15, Dynamic D-type flip-flop

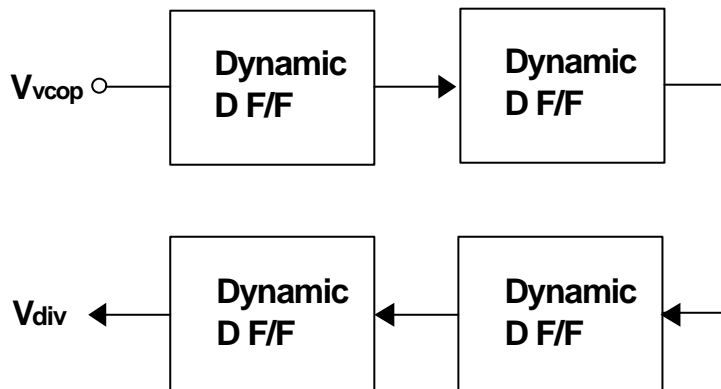


그림 4-16, 16 분주기

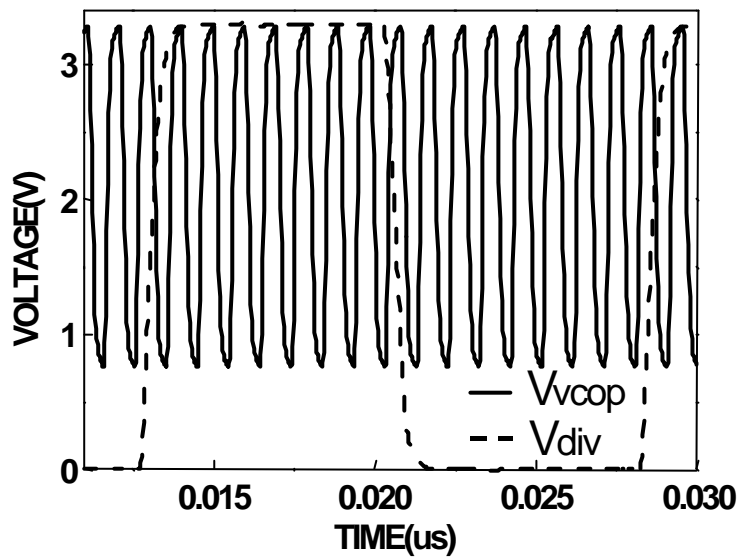


그림 4-17. Dynamic D-type flip-flop을 포함한 16 분주기의
입·출력 시뮬레이션 파형

제 5 장. 전체 회로 시뮬레이션 및 측정 결과

제 5-1 절. 위상 동기 회로의 블록도 및 레이아웃

본 연구에서는 그림 4-3의 일반적인 전하펌프와 그림 4-4의 제안된 구조의 전하 펌프의 성능을 비교하기 위하여 그림 4-1의 위상/주파수 분주기와 그림 4-13의 전압제어 발진기, 그림 4-16의 주파수 분주기를 이용하여 각각의 위상 동기 회로를 설계하였다. 설계된 위상 동기 회로의 블록도는 그림 5-1과 같으며 전체 칩의 레이아웃 도면은 그림 5-2와 같다. 전체 칩의 레이아웃 도면의 우측 상단에 위치한 레이아웃이 일반적인 전하펌프를 포함한 위상 동기 회로이며 우측 하단의 부분이 제안된 전하펌프를 포함한 위상 동기 회로이다. 설계된 위상 동기 회로는 제 6차 IDEC MPW를 통하여 제작하였으며 측정을 위하여 위상 동기 회로의 입력 신호를 발생할 수 있는 오실레이터를 포함하고 있으며 루프필터의 저항과 커패시터를 칩 외부의 보드 상에 꾸밀 수 있도록 만든 구조의 위상 동기 회로 또한 포함되어 있다.

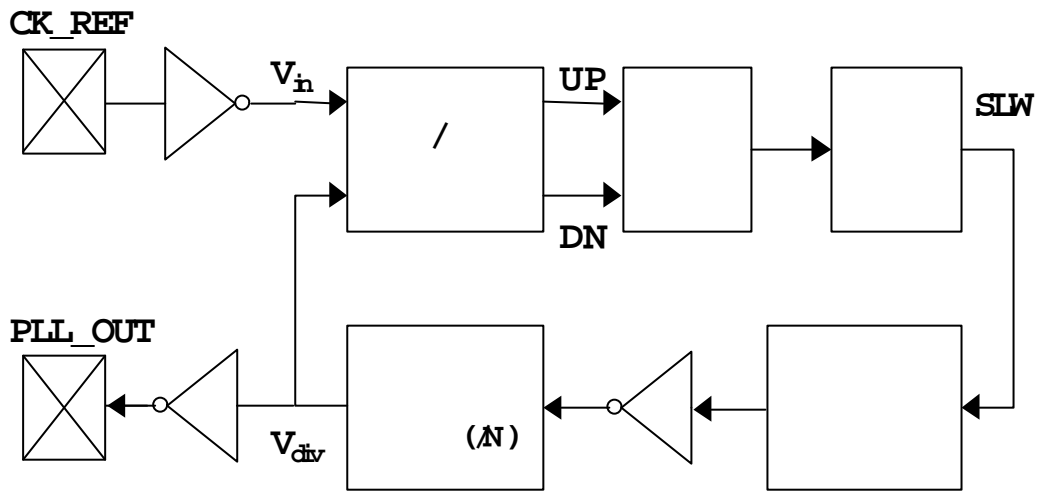


그림 5-1. 전체 PLL 블록도

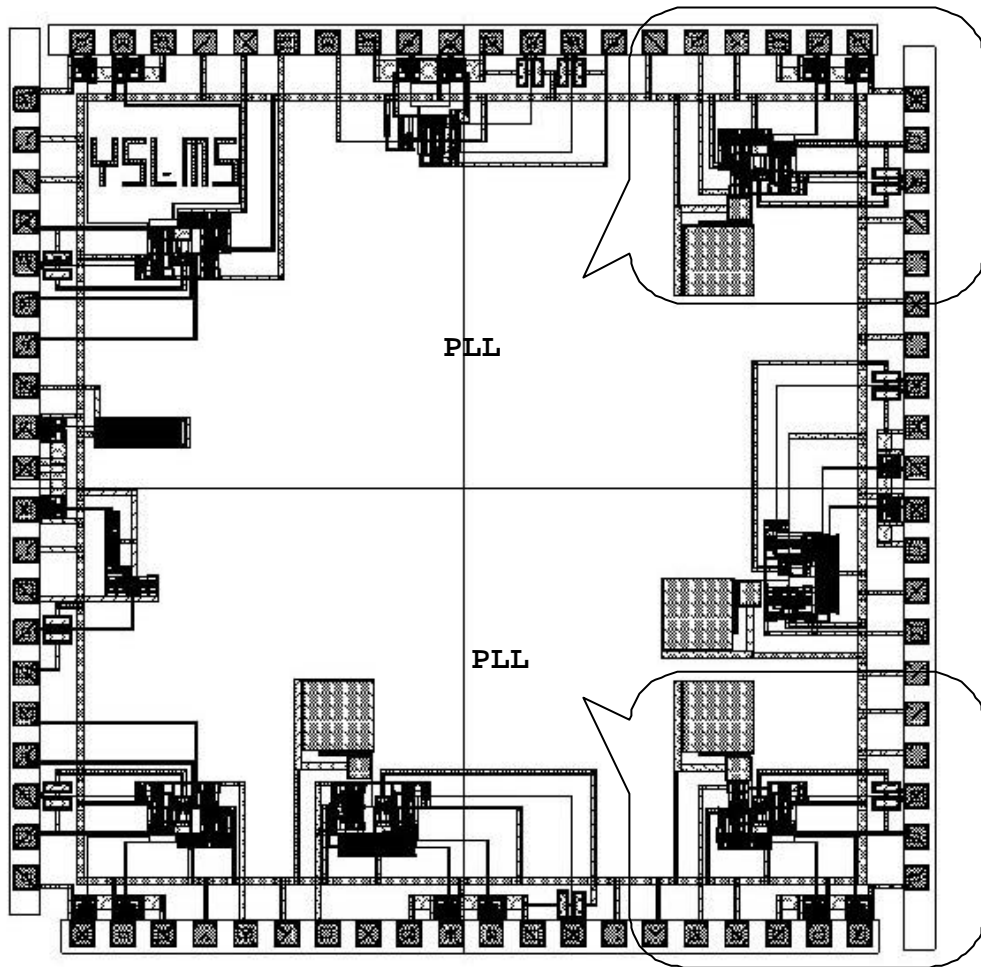


그림 5-2, PLL의 layout 도면

제 5-2 절. 위상 동기 회로의 시뮬레이션 결과

일반적인 전하펌프와 제안된 전하펌프의 성능을 비교하기 위하여 각각의 전하펌프를 포함한 위상 동기 회로에 주기 28ns의 입력을 가하여 PLL이 571MHz (16분주)의 주파수에서 동기될 때까지의 제어전압의 시뮬레이션 결과가 그림 5-3과 5-4에 나타나있다. 그림 5-3의 (a)는 일반적인 구조의 전하펌프 PLL의 SLW 노드(제어전압) 전압 파형이며 그림 2-20의 (b)는 일반적인 구조의 전하펌프 PLL의 SLW 노드(제어전압) 전압 파형이다. 그림 5-3의 확대 파형인 그림 5-4를 보면 제안된 구조 (b)의 제어전압 파형이 일반적인 구조 (a)의 제어전압 파형보다 전압의 변동이 훨씬 작음을 알 수 있다. 전하펌프의 출력 전류와 DN 펄스가 논리 '1'인 시간, 루프필터의 커패시터 값(200pF)등을 이용하여 입력한 주기(28ns) 동안의 제어전압의 강하를 계산해 보면, 일반적인 구조의 경우는 1.275mV, 새로운 구조의 경우는 0.415mV로 나타나서 약 3배 가량의 누설전류 감소 효과를 볼 수 있었다. 또한 HSPICE 시뮬레이션 결과 파일의 전압제어 받침기의 출력 데이터를 matlab 툴을 사용하여 지터를 측정 한 결과 일반적인 전하펌프를 포함한 위상 동기 회로의 경우 5.0375ps의 지터 성분을 가졌으며 제안된 전하펌프를 포함한 위상 동기 회로의 경우에는 1.5994ps의 지터 성분을 가져서 제안된 전하펌프를 포함한 위상 동기 회로가 3 배가량 안정적인 동작을 하였다. 제안된 전하펌프의 전압 강하는 대부분 PFD의 리셋 시간 동안 생긴 것이며 이는 상당히 작은 수준의 전압 강하라 할 수 있다. 위의 결과로부터 제안된 구조의 전하펌프를 포함하는 PLL의 출력 신호 잡음은 일반적인 구조의 전하펌프를 포함하는 PLL의 출력 신호 잡음보다 작음을 알 수 있다.

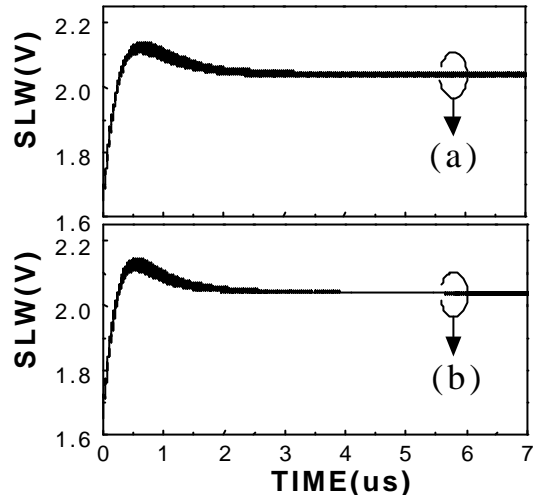


그림 5-3. 전하펌프 PLL의 제어전압 파형 ($T_{in}=28ns$, $T_{vco}=1.75ns$)

(a) 일반적인 구조 (b) 제안된 구조

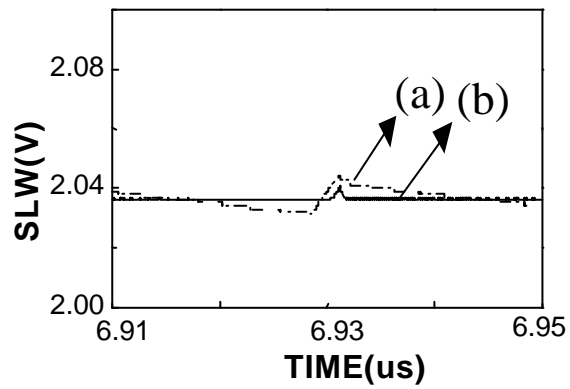


그림 5-4. 그림 5-3의 (a), (b)를 확대한 파형

그림 5-5는 일반적인 구조의 전하펌프를 포함한 위상 동기 회로의 입·출력 파형이며 그림 5-6은 본 연구에서 제안된 구조의 전하펌프를 포함한 PLL의 입·출력 파형이다.

그림 5-5와 5-6을 비교해 보면 제안된 전하펌프를 포함한 PLL의 입력신호 V_{in} 과 출력신호 V_{out} 의 위상차가 10.6° 로서 일반적인 전하펌프를 포함한 PLL의 입력과 출력의 위상차인 32° 보다 작음을 알 수 있다. 이러한 PLL의 입·출력 파형의 위상차이는 전하펌프의 출력 전압의 변동치와 비례한다. 따라서 제안된 구조의 전하펌프를 포함한 PLL이 일반적인 구조의 전하펌프를 포함한 PLL 보다 제어전압의 누설이 작기 때문에 PLL이 동기 되었을 때 입력과 출력의 위상차가 작아지는 장점을 가지게 되는 것을 알 수 있다.

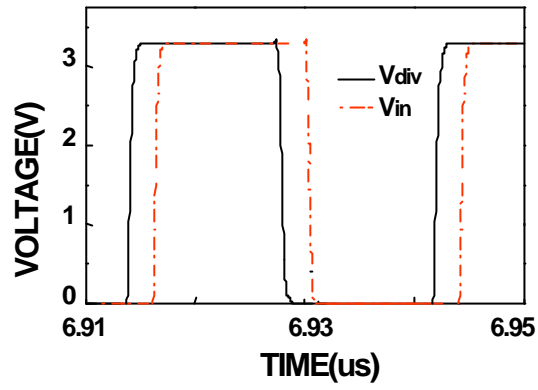


그림 5-5. 일반적인 전하펌프 PLL의 입·출력 파형

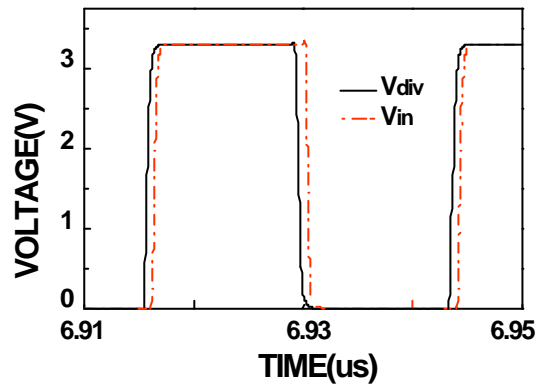


그림 5-6. 제안된 전하펌프 PLL의 입·출력 파형

제 5-3 절. 위상 동기 회로의 측정 결과

본 연구에서 제안한 전하펌프를 포함한 PLL과 일반적인 전하펌프를 포함한 PLL의 입·출력 파형의 측정 결과가 그림 5-7과 5-8에 나타나 있다. 제작된 PLL은 0.6 μ m의 CMOS 공정을 사용하여 3.3V 단일 전압원을 사용하도록 설계되었으며 약 360MHz에서 800MHz의 넓은 범위에서 Locking이 가능하였다. 제작된 PLL은 16분주의 주파수 분주기를 사용하였기 때문에 입력과 출력 신호는 같은 주파수 성분을 갖는 신호이며 이 때 PLL 내부 VCO의 주파수는 입력 신호 주파수의 16배의 주파수를 가진다. 그림 5-7은 제작된 PLL이 입력 신호 25MHz에서 동기 되었을 때의 PLL의 입·출력 파형의 측정 결과이며 이 때 VCO의 발진 주파수는 400MHz이다. 그림 5-8은 제작된 PLL이 입력 신호 50MHz에서 동기 되었을 때의 PLL의 입·출력 파형의 측정 결과이며 이 때 VCO의 발진 주파수는 800MHz로서 제작된 PLL의 Locking 가능한 최대 주파수이다. 그림 5-7과 5-8의 PLL 입력 파형은 Signal Source의 신호를 칩의 입력에 연결한 후 PLL의 입력으로 연결되는 곳에서 Output Buffer를 통하여 출력한 파형으로 실제 PLL의 입력 파형이다. 제작된 PLL의 입·출력 파형 모두 같은 종류의 Output Buffer를 통하여 신호를 출력하고 있으므로 출력 신호의 전압 스윙폭은 약 2.8V의 값을 갖는다.

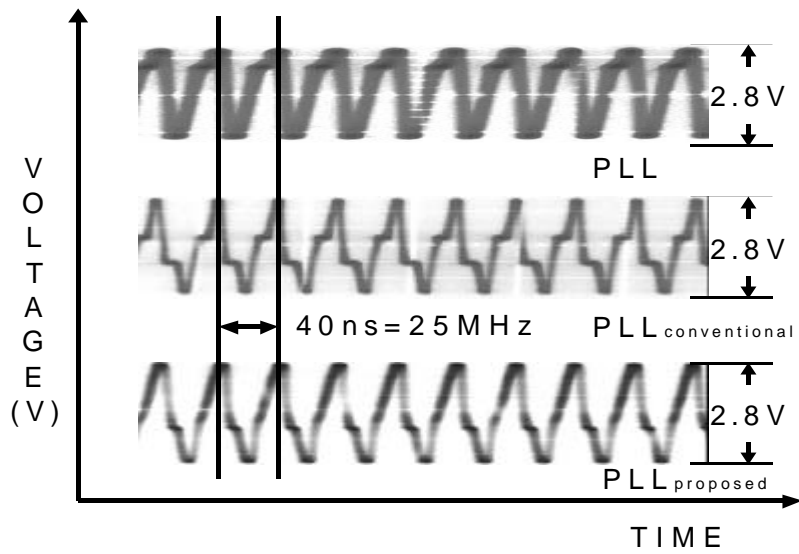


그림 5-7. PLL의 입·출력 파형 ($PLL_{in}=25\text{MHz}$, $PLL_{out}=25\text{MHz}$, $VCO=400\text{MHz}$)

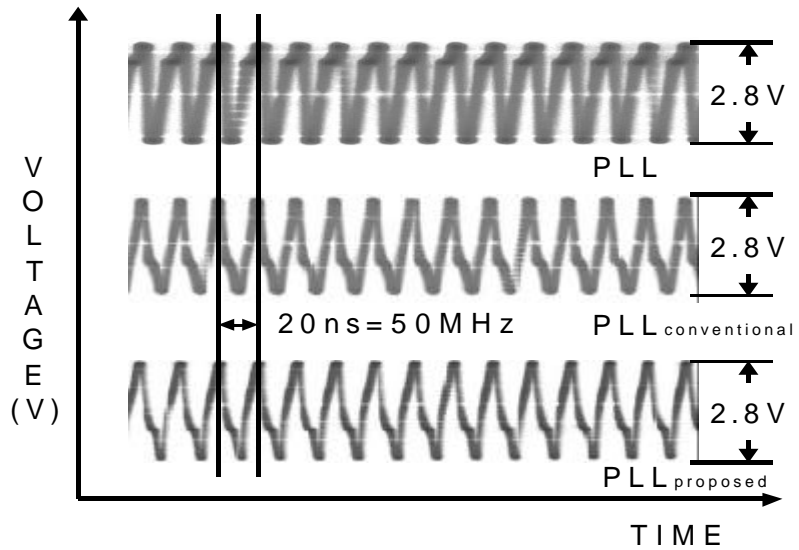


그림 5-8. PLL의 입·출력 파형 ($PLL_{in}=50\text{MHz}$, $PLL_{out}=50\text{MHz}$, $VCO=800\text{MHz}$)

제 6 장. 결론

PLL은 통신 시스템에서는 필수적인 회로이다. 데이터 전송 시스템에 사용되는 경우, 수신단의 단말기에 전달된 디지털 데이터 정보만으로 클럭을 추출해내는 클럭 복구 회로로 사용된다. 또한, 현재 각광받고 있는 이동 통신 시스템에서는 여러 채널의 신호를 처리하는 주파수 합성기 회로로 사용된다. 이러한 통신 시스템의 정보 처리에 필요한 데이터 용량과 동작 속도가 급속도로 증가하고 있기 때문에 PLL 역시 고 주파수에서 안정적으로 동작하여야 한다. 따라서, 본 연구에서는 PLL의 기본 블록들 중의 하나인 전하펌프가 전체 회로에 미치는 잡음의 원인에 대하여 연구하고 잡음을 줄일 수 있는 새로운 구조의 전하펌프를 제안하였다. 제안된 전하펌프는 고주파수의 동작에 알맞은 차동 구조이며 VCO 제어전압의 안정성을 획득하는 결과를 보였다.

먼저, 기존의 전하펌프에 대한 연구와 이해를 바탕으로 전하펌프의 출력 전압의 변동이 위상 동기 회로 전체에 미치는 잡음을 분석하여 이를 극복할 수 있는 새로운 구조의 전하펌프를 제안·검증하였다.

전하펌프의 출력 전압의 원인이 되는 커패시터 충전·방전 전류량 차이의 문제점을 해결하기 위하여 입력 신호에 따라 출력 전류 경로를 차단 또는 도통하는 전하펌프의 구조를 제안하므로써 잡음을 최소화 할 수 있었다.

본 연구에서는 고주파 PLL에서도 안정적인 동작을 할 수 있는 새로운 구조의 전하펌프를 제안하여 이를 포함한 PLL을 0.6 μ m의 CMOS 공정을 사용하여 설계한 후 post-layout 시뮬레이션을 통해 그 성능을 검증하였다.

본 연구에서 설계한 PLL은 538M부터 1003MHz의 출력 주파수 범위를 가지

며 약 50mW의 전력을 소모한다. 설계된 PLL의 전압제어 발전기 주파수 이득은 약 180MHz이고 전하펌프의 출력 전류량은 약 100 μ A이며 2차 루프 필터를 사용하여 전체적으로는 3차의 PLL로 구성하였으며 루프 필터의 Loop Bandwidth는 PLL 입력 Bandwidth의 약 20분의 1인 3.3MHz이며 PLL의 Locking time은 약 6 μ s로서 약 200클럭 주기의 시간이 걸렸다. 일반적인 구조의 전하펌프를 포함한 PLL은 5.0375ps의 지터 성분을 가졌으며 제안된 전하펌프를 포함한 PLL의 경우에는 약 1.5994ps의 지터 성분을 가져 약 3배 이상의 안정적인 주파수 신호를 출력할 수 있었다.

제안된 구조의 전하펌프는 필요에 따라 전류경로를 차단시키는 기법과 자기 바이어스 기법을 사용한다. PLL 입력이 주기 28ns의 신호일 때 제안된 구조의 전하펌프 PLL은 제어전압의 변동이 0.415mV로서 일반적인 구조의 전하펌프 PLL의 제어전압 변동 1.275mV보다 작아서 VCO에 안정적인 제어전압을 공급하므로 저잡음의 특성을 가지며 자기 바이어스 기법 등의 사용으로 PLL이 동기 되었을 때 약 2mW의 전력소모를 줄였다.

또한 PLL의 입력이 28ns로 동기 되었을 때 일반적인 전하펌프 PLL은 입·출력 파형이 32°의 위상차가 생기는 반면 본 연구에서 제안한 전하펌프 PLL은 입·출력 파형의 위상차를 10.6°로 줄였다.

실제 제작된 PLL의 성능을 측정한 결과 약 360MHz에서 800MHz의 넓은 범위에서 Locking이 가능하였으며 출력 신호의 전압 스윙폭은 약 2.8V의 높은 스윙폭을 가졌다.

따라서 본 연구에서 제안한 전하펌프를 포함한 PLL은 고주파수의 저잡음을 요구하는 주파수 합성 및 클럭 복원 회로 분야에 사용할 수 있을 것으로 판단된다.

향후 더욱 안정적인 동작을 하는 PLL을 설계하기 위해서는 전하펌프에 안정적인 차동 입력을 제공하는 차동 위상/주파수 검출기의 설계가 요구되며 전하펌프의 입력 신호가 모두 논리 1의 상태에서의 출력 전압이 불안한 점을 해결하기 위한 전하펌프의 개선 또는 리셋 시간이 짧은 위상/주파수 검출기의 설계가 요구된다. 또한 전체적인 PLL이 고주파수에서도 안정적인 동작을 하기 위하여 고주파수에서 동작할 수 있는 차동 주파수 분주기의 설계가 요구된다.

참고문헌

- [1] T. H. Hu and P. R. Gray, "A Monolithic 480 Mb/s Parallel AGC/Decision/Clock-Recovery Circuit in 1.2 μ m CMOS," IEEE J. Solid-State Circuits, vol. 28, no. 12, pp. 1314-1320, Dec. 1993.
- [2] P. R. Gray and R. G. Meyer, "Future Directions in Silicon ICs for RF Personal Communications", in Proc. IEEE Custom Integrated Circuits Conf., pp. 83-90, 1995.
- [3] V. von Kaenel et al., "A 320MHz, 1.5mW@1.35V CMOS PLL for Microprocessor Clock Generation," IEEE J. Solid-State Circuits, vol. 31, no. 11, pp. 1715-1722, 1996.
- [4] J. G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE J. Solid-State Circuits, vol. 31, no. 11, pp. 1723-1732, 1996.
- [5] Sungjoon Kim et al., "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL," IEEE J. Solid-State Circuits, vol. 32, no. 5, pp. 691-700, 1997.
- [6] F. M. Gardner, "Charge-Pump Phase-Lock Loops," IEEE Trans. on

- Comm., vol. 28, no. 11, pp. 1849-1858, 1980.
- [7] R. E. Best, Phase-Locked Loops: Theory, Design and Applications, McGraw-Hill New York, 1984.
- [8] F. M. Gardner, Phaselock Techniques, 2nd Ed., Wiley New York, 1979
- [9] M. V. Paemel, "Analysis of a Charge-Pump PLL: A New Model," IEEE Trans. on Comm., vol. 42, no. 7, pp. 2490-2498, 1994.
- [10] S. O Jeon, T. S. Cheung, and W. Y. Choi, "Phase/frequency detectors for high-speed PLL applications," IEE Electronics Letters, vol. 34 no 22, pp. 2120-2121, publication, 1998.
- [11] B. Razavi, Monolithic Phase-Locked Loops And Clock Recovery Circuits - Theory and Design, IEEE Press, 1996.
- [12] J. I. Brown, "A Digital Phase and Frequency-Sensitive Detector," Proc. IEEE, Vol. 59, p.717, 1971
- [13] K. E. Syed and A. A. Abidi, Gigahertz Voltage-Controlled Ring Oscillator, Electronics Lett., vol. 22, no. 12 pp. 677-679, 1986.

- [14] B. Razavi, "A study of Phase Noise in CMOS Oscillator", IEEE Journal of Solid-State Circuits, vol. 31, no. 3, pp. 331-343, 1996.
- [16] R. S. Co and J. H. Mulligan, "Optimization of Phase-Locked Loop Performance in Data Recovery Systems," IEEE J. Solid-State Circuits, vol. 29, no. 9, pp. 1022-1034, 1994.
- [17] I. A. Young, J. K. Greason, and K.L. Wong, "A PLL Clock Generator with 5 - 110 MHz of Lock Range for Microprocessors," IEEE J. Solid-State Circuits, vol. 27, no. 11, pp. 1599-1607, 1992.
- [18] D. H. Wolaver, Phase-Locked Loop Circuit Design, Prentice Hall: Englewood Cliffs, NJ, 1991.
- [19] Michel Combes "A Portable Clock Multiplier Generator Using Digital CMOS Standard Cells", IEEE J. Solid-State Circuits, vol. 31, no. 7, pp. 958-965, 1996.

Abstract

A Novel Charge Pump PLL with Reduced Jitter Characteristics

Myoung-Su Lee

Dept. of Electronic Eng.

The Graduate School

Yonsei University

In this thesis, we investigated the noise problems of phase/frequency detector(PFD) in PLL and their influence on PLL output frequency.

A new charge pump structure is proposed that can improve jitter characteristics of a PLL by blocking the control voltage leakages. The new structure also has low power consumption because it uses a self-biased method that switches the current flow only on demand. Leakage voltage of new charge pump was 30% smaller than that of the conventional structure. The design was done with 0.6 μm CMOS process parameters for +3.3V power supply. Post-layout simulation shows that the proposed circuit has reduced leakage currents for VCO control voltages and, consequently the VCO output frequency is more stable. From the post-layout simulation, the max. frequency of PLL was 1003MHz.

Keyword : PLL, charge pump, leakage voltage, post-layout simulation.