

전압제어발전기의 전원 전압 잡음에
따른 위상 동기 회로의 지터 특성

연세대학교 대학원

전기전자공학과

배근조

전압제어발전기의 전원 전압 잡음에
따른 위상 동기 회로의 지터 특성

지도 최 우 영 교수

이 논문을 석사 학위논문으로 제출함

2004 년 12 월 일

연세대학교 대학원

전기전자공학과

배 근 조

배근조의 석사 학위논문을 인준함

심사위원 _____ 인

심사위원 _____ 인

심사위원 _____ 인

연세대학교 대학원

2004 년 12 월 일

차 례

그림 차례.....	iii
표 차례.....	v
국문요약.....	vi
1 장. 서론.....	1
2 장. 지터의 개념.....	3
2.1 절. 지터의 정의.....	3
2.2 절. 지터의 단위.....	3
2.3 절. 지터의 분류.....	7
2.3.1 절. 가우시안 분포에 따른 분류 : Deterministic 지터와 Random 지터..	7
2.3.2 절. 지터의 정량화에 따른 분류.....	8
2.4 절. 지터의 발생 원인.....	11
2.4.1 절. Deterministic 지터의 발생 원인.....	11
2.4.2 절. Random 지터의 발생 원인.....	14
3 장. 설계된 위상 동기 회로.....	15
3.1 절. 구성 블록 및 PLL.....	15
3.1.1 절. 위상/주파수 검출기(phase frequency detector : PFD).....	15
3.1.2 절. Delay Part : 인버터와 Pass gate.....	15
3.1.3 절. 전하 펌프(Charge Pump : CP) 및 루프 필터(Loop Filter)	17
3.1.4 절. 전압-전류 변환기(V-I Converter : VIC).....	17

3.1.5 절. 전압제어발진기(Voltage-Controlled Oscillator : VCO).....	19
3.1.6 절. 주파수 분주기(Frequency Divider : FD)와 Differential To Single 변환 기(D2S).....	21
3.1.7 절. 전체 PLL 회로의 설계 및 시뮬레이션.....	23
4 장. 전원 전압 변동에 따른 전압제어발진기의 지터 특성.....	26
4.1 절. 위상 동기 회로의 구성 블록 간의 지터량 비교.....	26
4.2 절. 전원 전압 변동에 따른 전압제어발진기(Voltage-Controlled Oscillator : VCO)에서의 지터 특성.....	32
5 장. 위상 동기 회로의 지터 특성.....	40
5.1 절. 고유(Inherent)의 잡음원으로 인한 지터 특성.....	40
5.2 절. 외부(External)의 잡음원으로 인한 지터 특성.....	48
6 장. 결론.....	60
Appendix A.....	62
Appendix B.....	63
Appendix C.....	64
Appendix D.....	66
참고문헌.....	68
ABSTRACT.....	70

그림 차례

그림 2.1 지터의 정의.....	4
그림 2.2 주파수 영역에서의 지터와 원더.....	4
그림 2.3 지터의 단위 : UI.....	5
그림 2.4 누화(Crosstalk).....	13
그림 2.5 전자기적 간섭(EMI).....	13
그림 3.1 순서회로를 이용한 PFD의 회로도.....	16
그림 3.2 인버터와 Pass gate.....	16
그림 3.3 전하 펌프의 회로도.....	18
그림 3.4 Lag-Lead 타입의 루프 필터.....	18
그림 3.5 전압-전류 변환기의 회로도.....	18
그림 3.6 제안된 차동 인버터의 회로도.....	20
그림 3.7 제안된 VCO의 주파수 제어 특성.....	20
그림 3.8 다이내믹 래치.....	22
그림 3.9 Differential To Single 변환기의 회로도.....	22
그림 3.10 설계된 PLL의 블록도.....	24
그림 3.11 설계된 PLL의 제어 전압 파형.....	24
그림 4.1 A_m vs Jitter.....	28
그림 4.2 A_m vs Jitter : 비율 비교.....	28
그림 4.3 f_m vs Jitter.....	29
그림 4.4 f_m vs Jitter : 비율 비교.....	29
그림 4.5 f_n vs Jitter.....	30
그림 4.6 f_n vs Jitter : 비율비교.....	30

그림 4.7 ζ vs Jitter	31
그림 4.8 ζ vs Jitter : 비율 비교	31
그림 4.9 Bonding Wire로 인해 나타난 기생 성분	33
그림 4.10 기생 성분으로 인해 전원 전압이 흔들리는 현상	33
그림 4.11 전원 전압의 변화에 따른 발진기의 출력 주파수 변화	37
그림 4.12 전원 전압의 변동과 Cycle 지터	38
그림 4.13 전원 전압의 변동과 Cycle-to-Cycle 지터	38
그림 5.1 입력 신호 잡음과 VCO 잡음으로 인한 PLL에서의 지터 특성	41
그림 5.2 PLL 블록도와 LTI 모델	42
그림 5.3 입력 잡음 및 VCO 잡음 대 출력 신호의 잡음	43
그림 5.4 $f_n \square f_m$: $\zeta=0.7, f_n=20[\text{MHz}], f_m=1[\text{KHz}]$	53
그림 5.5 $f_n \square f_m$: $A_m=0.001, f_n=20[\text{MHz}], f_m=1[\text{KHz}]$	53
그림 5.6 $f_n \square f_m$: $A_m=0.001, \zeta=0.7, f_m=1[\text{KHz}]$	54
그림 5.7 $f_n \square f_m$: $A_m=0.001, \zeta=0.7, f_n=20[\text{MHz}]$	54
그림 5.8 $f_n \approx f_m$: $\zeta=0.7, f_n=f_m=20[\text{MHz}]$	56
그림 5.9 $f_n \approx f_m$: $A_m=0.005, f_n=f_m=20[\text{MHz}]$	56
그림 5.10 $f_n \approx f_m$: $A_m=0.005, \zeta=0.7, f_m=20[\text{MHz}]$	57
그림 5.11 $f_n \approx f_m$: $A_m=0.005, \zeta=0.7, f_n=20[\text{MHz}]$	57
그림 5.12 $f_n \square f_m$: $\zeta=0.7, f_n=20[\text{MHz}], f_m=1[\text{GHz}]$	58
그림 5.13 $f_n \square f_m$: $A_m=0.005, f_n=20[\text{MHz}], f_m=1[\text{GHz}]$	58
그림 5.14 $f_n \square f_m$: $A_m=0.005, \zeta=0.7, f_m=1[\text{GHz}]$	59
그림 5.15 $f_n \square f_m$: $A_m=0.005, \zeta=0.7, f_n=20[\text{MHz}]$	59

표 차례

표 2.1 지터와 윈더 제어 관련 ITU-T 권고.....	5
표 3.1 설계된 PLL의 성능 및 사양.....	25
표 4.1 전원 전압의 변화에 따른 발진기의 출력 주파수 변화.....	37
표 5.1 루프 대역폭과 댐핑 계수를 결정짓는 저항과 커패시터 값(1).....	51
표 5.2 루프 대역폭과 댐핑 계수를 결정짓는 저항과 커패시터 값(2).....	51
표 5.3 루프 대역폭과 댐핑 계수를 결정짓는 저항과 커패시터 값(3).....	52
표 5.4 루프 대역폭과 댐핑 계수를 결정짓는 저항과 커패시터 값(4).....	52

국문요약

전압제어발진기의 전원 전압 잡음에 따른 위상 동기 회로의 지터 특성

본 논문에서는 주파수 합성 회로(frequency synthesizer) 및 클럭 / 데이터 복원 회로(clock and data recovery circuit)에 필수적으로 포함되는 핵심 구성 회로인 위상 동기 회로(phase-locked loop : PLL)의 지터 특성에 대해 전원 전압 잡음의 경우를 고려하여 분석하고 검증하였다.

우선, 지터의 정의 및 지터를 유발시키는 원인에 대해 알아보았으며, 전원 전압 변동에 대해 위상 동기 회로의 구성 블록인 위상/주파수 검출기(phase frequency detector : PFD), 전하 펌프(charge-pump), 루프 필터(loop filter), 전압제어발진기(voltage-controlled oscillator : VCO) 그리고 주파수 분주기(frequency divider)에서의 지터 특성을 비교하였다. 구성 블록 중 위상 동기 회로의 지터 특성에 가장 큰 영향을 미치는 블록은 전압제어발진기이다.

그리고 위상 동기 회로의 지터 특성에 대하여, 가장 큰 영향을 미치는 전압제어 발진기의 전원 전압의 변동에 대하여 심층적인 분석을 수행하였다. 이러한 경우 위상 동기 회로의 지터 특성은 위상 동기 회로의 루프 특성인 댐핑 계수(Damping factor)와 루프 대역폭(Loop bandwidth), 그리고 전원 전압의 잡음의 크기와 주파수에 따라 조절될 수 있으며, 이를 Hspice 시뮬레이션을 통해 검증하였다. 분석을 위한 위상 동기 회로는 0.18[μm] CMOS 1P 6M 공정을 통해 설계되었다.

핵심되는 말 : 위상 동기 회로, 지터, 전압제어발진기, 전원 전압의 변동, 댐핑 계수, 루프 대역폭

1 장. 서론

위상 동기 회로(phase-locked loop : PLL)는 주파수 합성 회로(frequency synthesizer) 및 클럭 / 데이터 복원 회로(clock and data recovery circuit)에 필수적으로 포함되는 핵심 구성 회로이다. 일반적으로 위상 동기 회로는 위상/주파수 검출기(phase frequency detector : PFD), 전하 펌프(charge-pump), 루프 필터(loop filter), 전압제어발진기(voltage-controlled oscillator : VCO) 그리고 주파수 분주기(frequency divider)로 구성되어 기준 입력 신호에 대해 전압제어발진기 출력의 분주된 신호의 위상을 동기시키는 기능을 한다.

그런데, 고속으로 동작하는 컴퓨터 시스템에서나 고속의 데이터 전송을 위한 통신 시스템에서 PLL의 지터가 시스템 성능의 근본적인 제한 요소가 되고 있다. 즉, 데이터 전송 도중, 클럭 / 데이터 복원 회로의 출력신호에서 발생하는 지터는 데이터 손실을 유발하는 원인이 될 수 있으며, 고속 컴퓨터 시스템에서의 클럭 스큐는 에러를 피하기 위해 컴퓨터의 동작 속도를 늦추게 하는 원인이 된다. 특히 시스템의 특성상 발생하는 기생 성분 등에 의해 전원 전압에 잡음이 유입되어 발생하는 지터는 전반적인 시스템 성능에 영향을 미칠 정도로 심각할 수 있다.

따라서 본 논문에서는 PLL에서 전원 전압의 변동으로 인해 발생하는 지터의 특성을 분석하여 PLL 설계에 있어 지터를 최소화하기 위해 필요한 설계 방식을 제안하고자 한다. 그리고 분석된 이론적인 해석은 $0.18\mu\text{m}$ CMOS 공정 파라미터를 기반으로 Hspice를 통하여 설계한 PLL을 이용한 시뮬레이션을 통해 검증하였다. 그리고, 설계한 PLL은 Cadence를 이용하여 Layout을 하였고, 설계된 칩을 통해 PLL의 지터 특성을 측정하였다.

2장에서는 지터의 기본적인 개념에 대해 알아보고, 지터의 발생 원인에 대해 설명한다.

3장에서는 설계한 위상 동기 회로에 대해 간단히 소개하였으며, 4장에서는 PLL을 구성하는 구성 블록 중 VCO가 전원 전압으로 인한 PLL의 지터 특성에 대해 가장 큰 영향을 미치는 블록임을 시뮬레이션을 통해 보이고, 전원 전압의 변동에 의한 VCO의 지터 특성을 설명하였다.

5장에서는 PLL의 지터 특성에 대해서, 지터의 원인을 백색 잡음과 유색 잡음의 경우로 나누어 설명하며, 특히 전원 전압의 변동과 같은 유색 잡음의 경우를 고려하여 자세히 분석하고 이를 검증한다.

그리고 마지막으로 6장에서 결론을 맺는다.

2 장. 지터의 개념

2.1 절. 지터의 정의

지터(Jitter)란 그림 2.1에서 보인 것처럼, 디지털 신호의 위상변동을 뜻하는 것으로 ITU-T 권고 G.701에서는 “이상적인 시간 위치에서 어떤 디지털 신호의 유의 순간의 단기적이고 누적되지 않은 변동”으로 정의하고 있다. 여기서 유의순간이란 펄스의 중간지점이나 펄스의 상승지점 등과 같은 임의의 고정점을 말한다[1-3].

지터는 진폭과 주파수를 갖는 단기적인 위상변동을 의미하고 장기적인 관점에서의 위상변동은 원더(Wander)라고 하며 보통 10Hz 미만의 주파수를 갖는다. 이를 그림 2.2에서 나타내었으며, 지터와 원더 제어에 관한 ITU-T 권고를 표 2.1에 나타내었다. 이 때 지터와 원더는 시간축에서의 디지털 신호의 변동을 의미하며, 위상 잡음(Phase Noise)란, 주파수 축에서 디지털 신호의 변동을 의미한다.

이러한 지터는 주로 케이블의 누화나 산란, 중계기의 열화, 변조잡음, 발진기의 위상잡음 등이 원인이 되어 발생하며, 원더는 전송매체 주변의 온도변화에 기인한 순환적 지연 특성의 변동으로 인하여 발생하는 것으로 알려져 있다[1]. 지터의 발생 원인에 대해서는 2.3절에서 다시 자세히 다루기로 한다.

2.2 절. 지터의 단위

지터의 양은 아래와 같이 임의의 디지털 신호 1 비트의 시간축 길이(T_0)에 대한 위상 변동된 시간축의 길이(T_j)로 정의되며, 지터의 단위인 ‘UI (Unit Interval)’는 그림 2.3에서와 같이 단위비트가 점유하는 시간축의 길이를 말한다. 예를 들면, 1[Gbit/s]의 Data Rate에서의 1[UI]는 1[ns]가 되고, 1[Mbit/s]에서의 1[UI]는

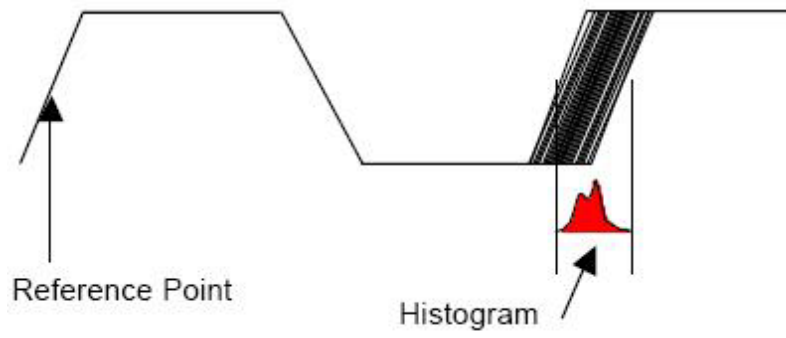


그림 2.1 지터의 정의

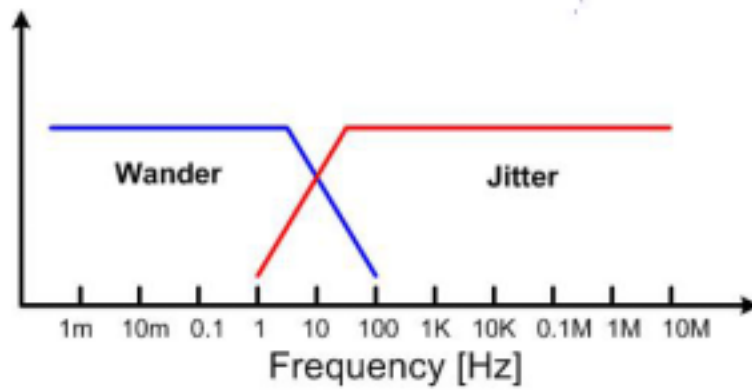


그림 2.2 주파수 영역에서의 지터와 원더

표 2.1 지터와 원더 제어 관련 ITU-T 권고 [1]

표준번호	표준명
ITU-T G.823 (00/03)	2048Kbit/s 디지털망에서의 지터와 원더 제어
ITU-T G.824 (00/03)	1544Kbit/s 디지털망에서의 지터와 원더 제어
ITU-T G.825 (00/03)	동기식 디지털 계위 디지털망에서의 지터와 원더 제어

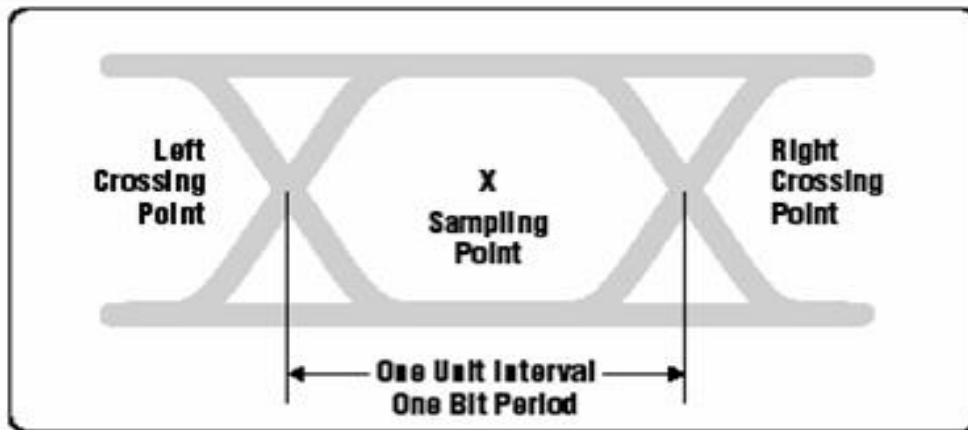


그림 2.3 지터의 단위 : UI

1 [μ s]가 된다.

$$\text{지터량} = \frac{T_j}{T_0} [\text{UI}] \quad (2.1)$$

원더는 다음의 세 가지의 단위를 사용하여 나타낸다.

- TIE : Time Interval Error
- MTIE : Maximum Time Interval Error
- TDEV : Time Deviation

TIE는 기준 신호와 측정된 신호 사이의 위상 차이를 나타내며, 일반적으로 ns의 단위로 측정된다. 또 MTIE는 Peak-to-Peak TIE의 최대값을 의미한다. 마지막으로 TDEV 는 RMS (Root Mean Square) TIE를 나타낸다.

2.3 절. 지터의 분류

지터를 크게 두 가지로 나누면, Deterministic 지터와 Random 지터로 구분할 수 있으며, 구분 기준은 지터가 가우시안 분포로 정의되는지의 유무이다. 그리고 지터를 정량화하는 방식에 따라 Long-term 지터와 Short-term 지터, Cycle 지터와 Cycle-to-Cycle 지터 등으로 구분할 수 있다.

2.3.1 절. 가우시안 분포에 따른 분류 : Deterministic 지터와 Random 지터

Deterministic 지터란, 가우시안 확률 분포를 갖지 않는 지터를 의미하며, 그 값은 peak-to-peak 값으로 나타내어진다.

이러한 Deterministic 지터는 아래와 같이 네 가지로 분류할 수 있다.

- Inter-Symbol Interference (ISI)
- Data Dependent 지터
- Duty Cycle Distortion
- Bounded-Uncorrelated 지터

먼저 Inter-Symbol Interference (ISI)는 비트 전송률이 증가함에 따라 비트 천이에 관련된 주파수 성분의 일부가 지연되고 뒤에 오는 비트와 관련된 주파수 성분을 간섭하게 되는 현상이며, Data Dependent 지터는 데이터의 천이 패턴이 '1010101010...'같은 클럭 형태에서 '11111001111011...'과 같은 클럭 형태가 아닌 패턴으로 바뀔 때 발생하는 지터이다. 그리고, Duty Cycle Distortion은 비트 시퀀스에서 '1'을 나타내는 펄스의 폭과 '0'을 나타내는 펄스의 폭 사이의 차이로 인

해 발생하는 지터를 의미한다. 마지막으로, Bounded-Uncorrelated 지터는 테스트 상의 신호에서 데이터가 아닌 다른 이외의 요소들로 인해 발생하는 지터이다.

대부분의 물리학적 현상과 마찬가지로, 전기적인 신호에서 나타나는 edge의 편차(deviation)는 어느 정도의 랜덤한 경향을 갖는다. 이런 이유로, Deterministic 지터와 달리, Random 지터는 가우시안 확률 밀도 함수로 모델링을 하며, 그 크기가 시간에 따라 증가하므로, RMS(Root Mean Square) 값으로 나타낸다.

2.3.2 절. 지터의 정량화에 따른 분류

지터를 정의하는 용어는 매우 다양하다. 이는 지터를 정량화하는 방식에 따라 정의하는 방법이 틀려지기 때문이다. 먼저 임의의 신호를 고려하면, 음(-)에서 양(+)으로 전이할 때 n번째로 '0'을 지나는 순간의 시점인 t_n 에 대해, n번째 주기인 T_n 은

$$T_n = t_{n+1} - t_n \quad (2.2)$$

이다. 이 때, 평균 주기를 \bar{T} 라 하면, n번째 주기에서의 편차 ΔT_n 는

$$\Delta T_n = T_n - \bar{T} \quad (2.3)$$

가 된다. 이 때 편차 ΔT_n 이 바로 지터를 의미하며, 일반적으로는 Period 지터라고 불리운다. 그리고 편차 ΔT_n 에 대해, Absolute 지터인 ΔT_{abs} 가 아래와 같다.

$$\Delta T_{abs}(N) = \sum_{n=1}^N \Delta T_n \quad (2.4)$$

Absolute 지터는 Long-term 지터라고도 하며, 실제로 위상 동기 회로에서 지터를 정량화하기 위해 주로 사용된다.

앞서 정의한 편차 ΔT_n 에 대한 RMS(Root Mean Square) 값이 바로 Cycle 지터이며, ΔT_c 로 표시한다.

$$\Delta T_c = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N \Delta T_n^2} \quad (2.5)$$

유의할 사항은, Cycle 지터는 단순히 주기가 얼마만큼 변화하는가에 대한 크기만을 의미한다는 점이다. Cycle-to-Cycle 지터는 ΔT_{CC} 로 나타내며, 정의되는 식은 아래와 같다.

$$\Delta T_{CC} = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N (T_{n+1} - T_n)^2} \quad (2.6)$$

위 식에서 T_{n+1} 과 T_n 은 평균 주기 \bar{T} 를 고려하면, 다음과 같이 정의된다.

$$T_{n+1} = \bar{T} + \Delta T_{n+1} \quad \text{and} \quad T_n = \bar{T} + \Delta T_n \quad (2.7)$$

$$\rightarrow \Delta T_{CC} = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N (\Delta T_{n+1} - \Delta T_n)^2} \quad (2.8)$$

식 (2.6)에서 알 수 있듯이, Cycle-to-Cycle 지터는 인접한 두 주기의 차이를 RMS 값으로 구한 것이다. 그래서 Cycle-to-Cycle 지터를 ‘Adjacent Period 지터’라고 부르기도 한다.

Cycle 지터가 임의의 주기와 주기의 평균값과의 차이를 의미한다면, Cycle-to-Cycle 지터는 임의의 주기를 그 앞선 주기와 비교하여 그 차이로서 정의한다. 그러므로 Cycle-to-Cycle 지터는, Cycle 지터와는 달리, 단기간의 변동성(short-term dynamics)을 설명해 줄 수 있다. 따라서 Cycle-to-Cycle 지터를, Long-term 지터와 비교해서, Short-term 지터라고도 한다[5-6].

또, 식 (2.5)와 (2.6)에서 우리는 Cycle 지터와 Cycle-to-Cycle 지터의 관계는

$$\Delta T_{CC} = \sqrt{2} \Delta T_C \quad (2.9)$$

임을 알 수 있다.

위상 잡음은 Absolute 지터의 표준 편차로 정의하며, $\sigma_{\Delta T_{abs}}$ 로 나타낸다. 이 때, 백색 잡음원을 고려하면 Cycle 지터와 Cycle-to-Cycle 지터, 그리고 위상 잡음 간의 관계는 아래 식과 같다[5-7].

$$\frac{\sigma_{\Delta T_{abs}}}{\sqrt{\Delta T}} = \frac{\Delta T_C}{\sqrt{\bar{T}}} = \frac{\Delta T_{CC}}{\sqrt{2}\sqrt{\bar{T}}} \quad (2.10)$$

여기서, ΔT 는 측정 시간 간격, \bar{T} 는 평균 주기(mean period)이다. 식 (2.10)은 Appendix A에 그 유도 과정을 보였다. 마지막으로, 잡음원이 백색 잡음일 경우, Absolute 지터와 Cycle-to-Cycle 지터 사이에 성립하는 관계에 대해서도 소개하면 다음과 같다[10]. 여기서 f_0 는 발진기의 출력 주파수이다.

$$\Delta T_{abs} = \sqrt{\frac{f_0}{2}} \Delta T_{CC} \sqrt{\Delta T} \quad (2.11)$$

2. 4 절. 지터의 발생 원인

2. 3 절에서 지터를 여러 기준에 의해 분류했었다. 하지만 이번에 지터의 발생 원인을 알아보기 위해서는, 수직을 통해 정량화한 지터의 개념이 아닌, Deterministic 지터와 Random 지터의 구분을 이용하여 설명하기로 한다.

2. 4. 1 절. Deterministic 지터의 발생 원인

Deterministic 지터를 유발하는 원인은 아래와 같이 나눌 수 있다.

- 누화 (Crosstalk)
- 전자기적인 간섭 (Electro-Magnetic Interference : EMI)
- 동시 전환 출력 (Simultaneous Switching Outputs : SSO)
- 잡음을 띤 기준 면 (Noisy Reference Plane)

그림 2.4에서 나타났듯이, 누화 (Crosstalk)란, 회로의 기판상의 trace 사이에서 나 케이블에서 두 개의 인접한 wire 간에 발생하는 것으로, 하나의 trace나 wire에 흐르는 전류로 인해 발생한 자기장이 다른 인접한 trace나 wire에 영향을 미쳐, 인접한 trace나 wire에 전류를 유도하는 현상이다.

그림 2.4를 보면, Line 1에서는 드라이버를 통해 전류가 흐르게 되고, 이로 인해 자기장이 발생하며 Line 1과 Line 2 사이의 상호 인덕턴스와 상호 커패시턴스에 의해 Line 2에도 전류가 흐르게 됨을 알 수 있다. 이 때 Line 2에 유도된 전류는 두 개의 방향으로 흐를 수 있는데, Line 1에서 전류가 흘러왔던 쪽으로 전류가 유도되면 Near-end Crosstalk이라 하고, 반대로 흐르는 유도 전류로 인해 발생한 누화를

Far-end Crosstalk라 한다. 그림 2.4에서는 Near-end Crosstalk를 유발하는 전류를 I_{near} 라 표시하였고, Far-end Crosstalk를 유발하는 전류를 I_{far} 라 나타내었다.

이렇듯 Line 2에 유도된 두 방향의 전류로 인해, Line 2의 전위(potential)가 변할 수 있고, 이런 전위의 변동이 Line 2에서의 지터를 유발하게 된다.

Deterministic 지터를 유발하는 두 번째 원인은 바로 전자기적 간섭(EMI)이다.

전자기적 간섭이란, 그림 2.5에서 보듯이, 전원 전압의 스위칭이나 교류 전원, RF 신호 소스 등에 의해 형성된 자기장이, 인접한 wire에 영향을 미쳐서 전류를 유도하는 현상이다. 전자기적 간섭 현상은, 형성된 자기장에 의해 인접한 wire에 전류가 흐르게 되고, 이 전류로 인해 지터가 발생한다는 점에서 누화와 비슷하다고 할 수 있다.

동시 전환 출력 (Simultaneous Switching Outputs)이란, 동시에 여러 개의 출력 pin이 같은 상태로 전환된다면, V_{dd} 와 Ground plane에 전류의 튀김(spike) 현상이 발생하게 되고, 이 전류의 스파이크 현상이 트랜지스터의 문턱 전압 (threshold voltage)를 변화시키는 현상을 말한다. 이 때 이 문턱 전압의 변화로 인해 펄스의 Slew Rate가 변화하게 된다.

Slew Rate의 변화는 신호가 '0'에서 '1'로 상승하거나 '1'에서 '0'으로 하강하는 시간의 변화를 의미하므로 결국 지터를 유발하게 된다.

V_{dd} 나 Ground와 같은 기준 면에 잡음이 끼게 되면, 기준 면에 영향을 받는 하부 회로들의 문턱 전압이 변화하게 되고, 이런 문턱 전압의 변화가 신호의 Slew Rate를 변화시킨다. 따라서 잡음을 띤 기준 면(Noisy Reference Plane)도 Deterministic 지터를 유발하는 원인이 된다.

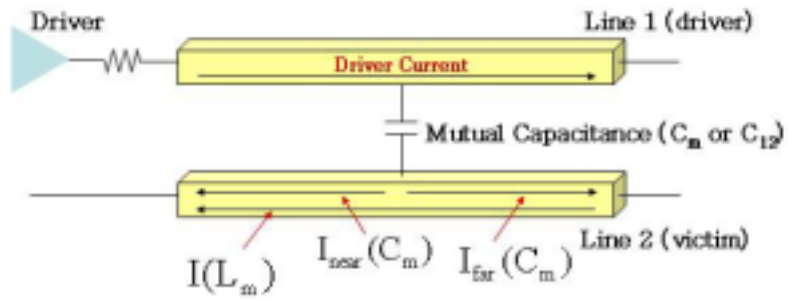


그림 2.4 누화 (Crosstalk)

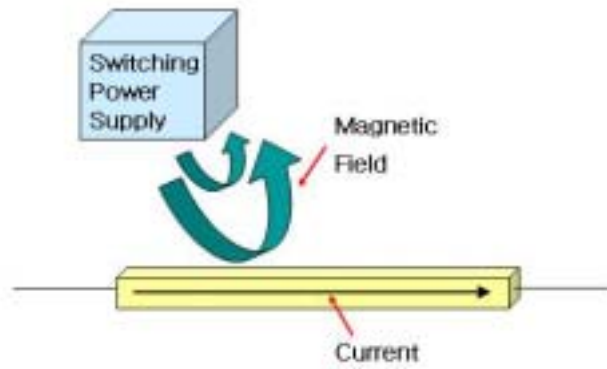


그림 2.5 전자기적 간섭 (EMI)

2. 4. 2 절. Random 지터의 발생 원인

Random 지터는 반도체의 수정 구조에서 나타나는 열 진동, 공정 상의 변칙성, 도체를 구성하는 원자에서의 열 진동, 그리고 복사 현상 같은 여러 원인들로 인해 발생한다고 알려져 있다[3-4].

3 장. 설계된 위상 동기 회로

이번 장에서는 본 논문을 위해 설계한 PLL에 대해 소개한다. 공정은 0.18[μm]이며, Hspice를 사용하여 시뮬레이션 하였다.

3.1 절. 구성 블록 및 PLL

3.1.1 절. 위상/주파수 검출기 (Phase Frequency Detector : PFD)

본 연구에 사용된 PFD는 낮은 주파수의 입력인 in, div를 받아서 up, down을 출력하는 순서회로를 사용한 PFD로서, 그림 3.1과 같다. 이러한 구조의 PFD는 dead zone 문제가 해결된 구조의 PFD로서, 7 gate-delay이며 약 0.2[nsec]이다[18].

3.1.2 절. Delay Part : 인버터와 Pass gate

PFD의 출력이 전하 펌프의 입력이 되는데, 전하 펌프의 입력이 up과 이므로 PFD의 출력인 up, down 중 down 신호를 반전시켜야 한다. 그래서 down 신호에 인버터를 연결하였는데, 연결된 인버터로 인해 신호의 지연이 발생하게 되고, 이러한 신호의 지연은 전하 펌프에서의 오차를 유발한다. 따라서 이를 보상하기 위해 PFD의 up 신호에 인버터 두개를 연결하고, down 신호에 인버터 하나와 지연 소자인 pass gate 하나를 연결하였다. 이를 그림 3.2에 나타내었다.

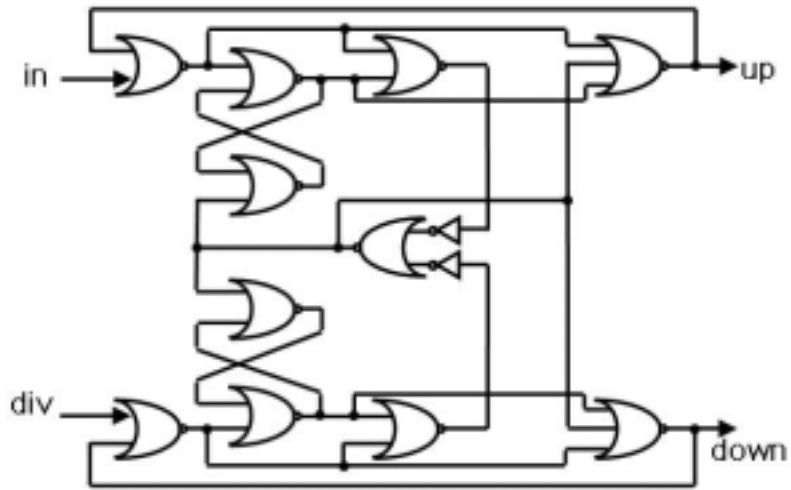


그림 3.1 순서회로를 이용한 PFD의 회로도

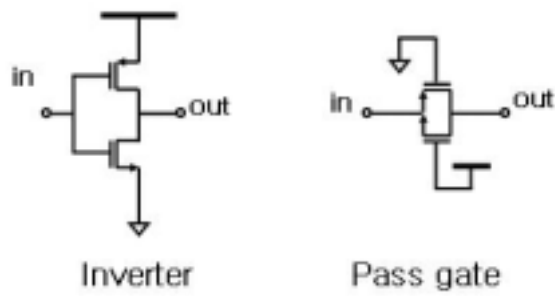


그림 3.2 인버터와 Pass gate

3.1.3 절. 전하 펌프 (Charge Pump : CP) 및 루프 필터(Loop Filter)

전하 펌프는 PFD의 출력 전압을 입력으로 받아서 그에 상응하는 전류량을 루프 필터에 공급하는 역할을 한다. 본 연구에 사용된 전하 펌프의 회로도는 그림 3.3과 같고, 루프 필터는 그림 3.4와 같은 Lag-Lead 타입의 필터이다.

3.1.4 절. 전압-전류 변환기 (V-I Converter : VIC)

본 연구에 사용된 VCO는 두 개의 제어 전압으로 출력주파수를 조절한다. 이러한 제어 전압을 각각 'fast', 'slow'라 한다면, 루프 필터를 통한 출력이 하나이므로 하나의 신호를 두 개의 신호로 바꾸는 회로가 필요하다. 이러한 역할을 하는 것이 전압-전류 변환기이며, 회로도는 그림 3.5와 같다.

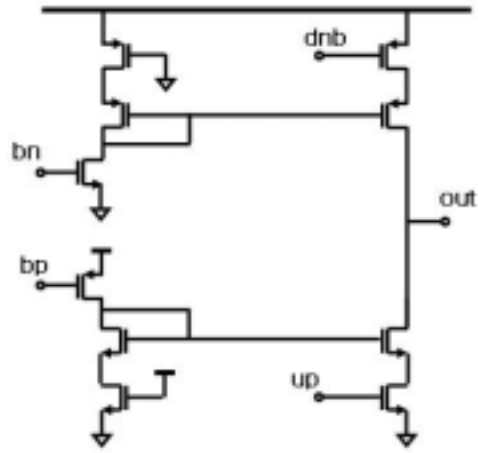


그림 3.3 전하 펌프의 회로도

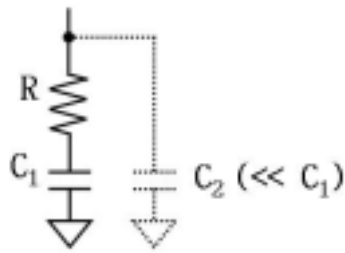


그림 3.4 Lag-Lead 타입의 루프 필터

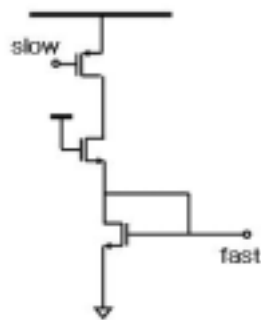


그림 3.5 전압-전류 변환기의 회로도

3.1.5 절. 전압제어발진기 (Voltage-Controlled Oscillator : VCO)

본 논문에서 사용한 VCO는 그림 3.6과 같이 차동 인버터를 이용한 4단 링 발진기이다. VCO는 전체 회로에 가장 큰 영향을 미치는 블록이므로 안정적으로 동작할 수 있어야 하는데, 본 논문에서 사용하고자 하는 주파수 대역이 Gbps 급의 높은 주파수 대역이므로 GHz의 고속 동작이 가능해야 하며, 제어 전압의 변화에도 안정적인 진폭을 갖는 신호를 출력해야 한다.

제어 전압에 따라서 VCO의 출력 주파수가 변화되는 이유는, 차동 인버터의 부하에 따른 저항과 커패시턴스의 변화 때문인데, 이는 결국 시정수(time constant) RC가 제어 전압에 따라 변화함을 의미한다. 그리고 이러한 RC의 변화가 인버터의 로직 천이 시간에 영향을 주어 발진 주파수를 변화시킨다[18].

그림 3.6에 나타난 차동 인버터의 출력단 부하로 사용된 PMOS는 4 가지로 나뉘는데, 우선 바이어스를 위한 PMOS와 출력 파형의 진폭을 일정하게 유지시키는 diode-connected 형태의 부하, 높은 발진 주파수를 갖게 하는 단순 PMOS 부하, 마지막으로 외부 제어전압(slow)에 따라 발진 주파수를 조정하는 부하가 있다.

두 가지의 제어 전압인 slow, fast로 인해 본 연구에 사용된 VCO는 넓은 제어 전압 범위를 갖게 되며, 이러한 VCO의 성능을 평가하기 위해 Spice 시뮬레이션을 수행하였다. 그리고 그 결과는 그림 3.7과 같으며, 0.2[V]~1.6[V]의 넓은 제어 범위와 이에 따른 2.3[GHz]~3.6[GHz]의 출력 주파수를 갖는다. 그리고 공정상의 변화를 고려하여 SS, TT, FF의 세 가지 프로세스 코너(Process corner)에 대해서 시뮬레이션을 수행하였다. 그 결과로, 그림 3.7에서처럼 SS, TT, FF 세 가지 파라미터에 의한 시뮬레이션을 통해 모두 목표 주파수인 3.125[GHz]를 발진할 수 있음을 확인하였고, VCO의 이득은 약 1.08[GHz/V]이다.

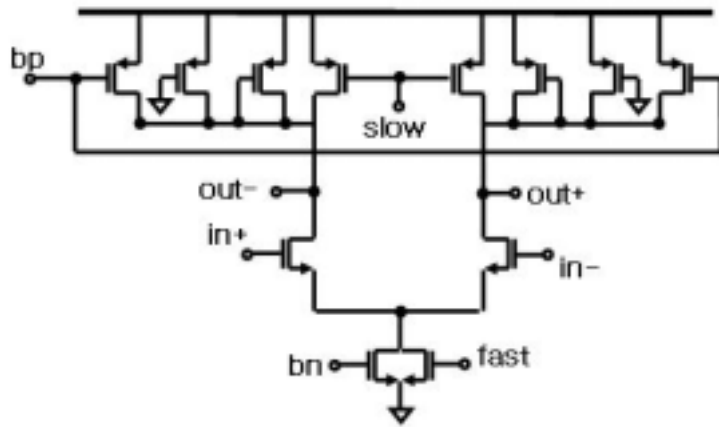


그림 3.6 제안된 차동 인버터의 회로도

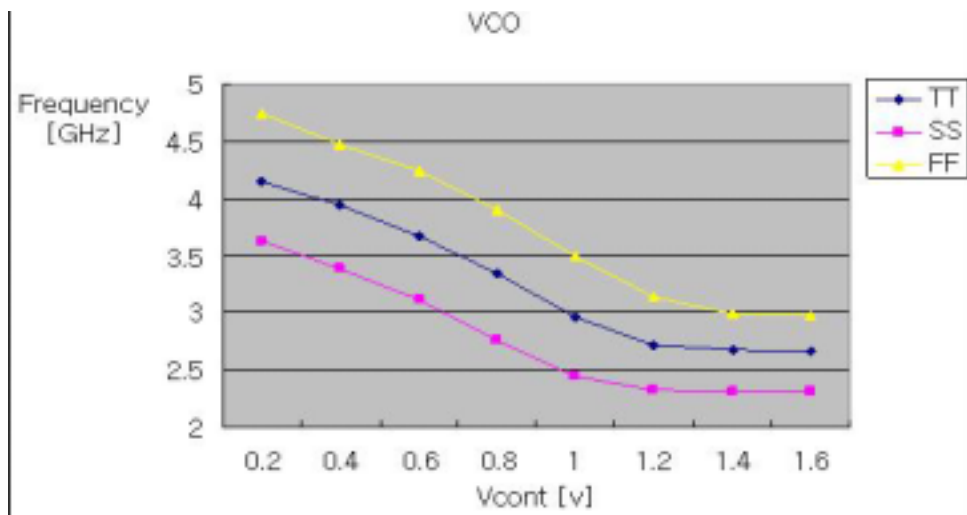


그림 3.7 제안된 VCO의 주파수 제어 특성

3.1.6 절. 주파수 분주기 (Frequency Divider : FD)와 Differential To Single 변환기(D2S)

본 연구에 사용된 주파수 분주기는, 그림 3.8의 다이내믹 래치를 사용한 D-Flip flop 3개를 연결한 8분주기이다. 이 분주기는 최대 4.5[GHz]의 주파수를 분주할 수 있어서, 본 논문에서 사용한 VCO의 최대 출력 주파수인 4.2[GHz]를 분주하는데 적합하다. 시뮬레이션 결과 3.2[GHz]의 클럭을 8분주하여 400[MHz]의 클럭을 출력함을 확인하였다.

주파수 분주기의 출력은 차동 신호이고, PFD는 싱글 신호를 입력으로 사용하므로, 중간에 Differential To Single 변환기(D2S)가 필요하다. 본 논문에서는 8분주기를 통해 최대 500[MHz] 정도의 신호를 입력으로 사용하므로, D2S는 그림 3.9과 같이 기본적인 구조를 사용하였다.

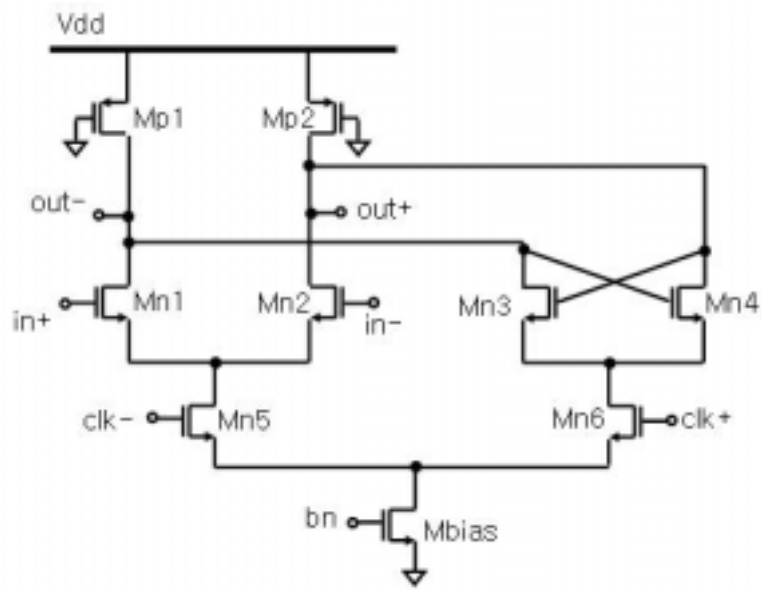


그림 3.8 다이내믹 래치

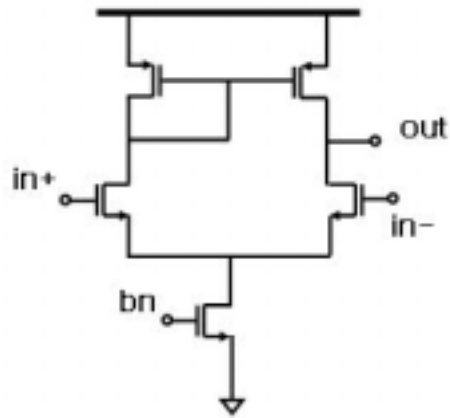


그림 3.9 Differential To Single 변환기의 회로도

3.1.7 절. 전체 PLL 회로의 설계 및 시뮬레이션

전체 블록도는 그림 3.10과 같으며, 설계된 PLL의 성능을 검증하기 위해 Spice 시뮬레이션을 수행하였다. 그림 3.11은 3.2[Ghz]에서의 제어 전압을 나타낸 것인데, 제어 전압 'slow'와 'fast'의 초기값을 모두 0[V]로 정하고 시뮬레이션 한 결과이다. 이 때 댐핑 계수(Damping factor)는 0.707이고 루프 대역폭(Loop bandwidth)는 20[Mhz]이다. 그리고 그림 3.11에서, 동기되는 시간은 약 850[nsec]임을 알 수 있다.

마지막으로 표 3.1에 3.2[Ghz]의 주파수를 출력할 때 PLL의 성능 및 사양을 나타내었다.

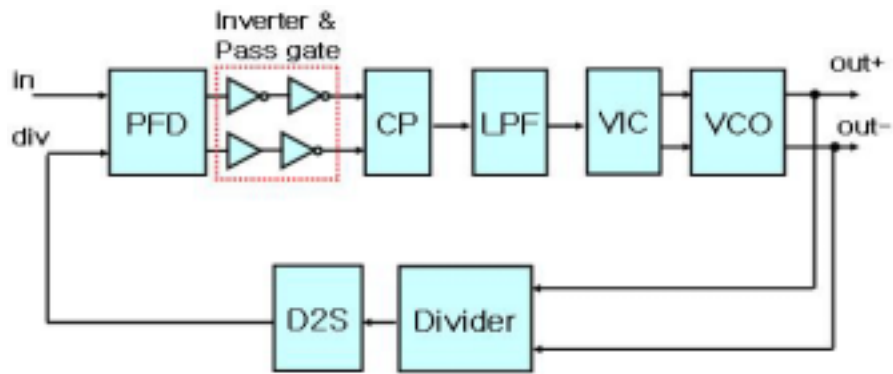


그림 3.10 설계된 PLL의 블록도

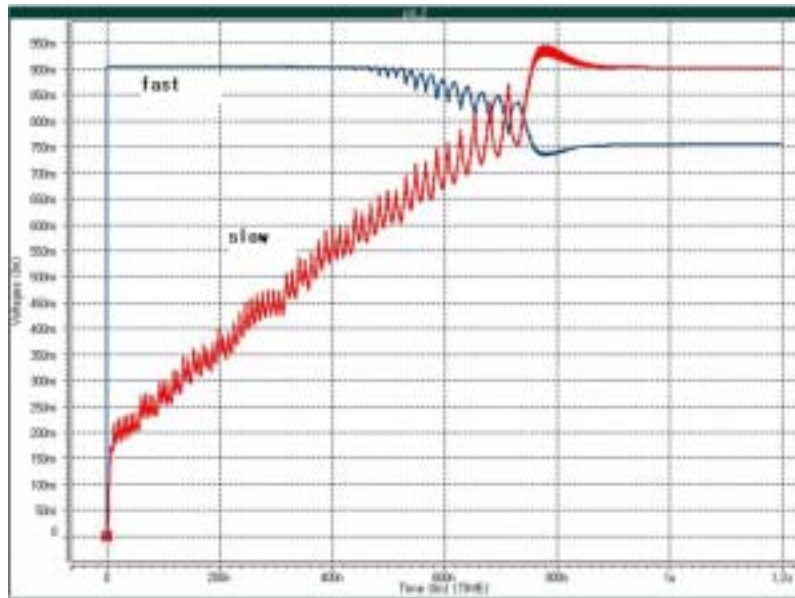


그림 3.11 설계된 PLL의 제어 전압 파형

표 3.1 설계된 PLL의 성능 및 사양

항 목	성능 및 사양
사용 공정	동부 아남 CMOS 0.18[μm] 1P 6M 공정
입력 주파수	400[MHz]
출력 주파수	3.2[GHz]
댐핑 계수	0.707
루프 대역폭	20[MHz]
루프 필터의 저항	1120[Ω]
루프 필터의 커패시터	62.5[pF]
VCO 이득	1.09[GHz/V]
전하 펌프 전류	200[μA]
분주율	8
동기 시간	850[ns]
P2P Jitter	1.25[ps] (=0.004UI)
사용 전원	1.8[V]

4 장. 전원 전압 변동에 따른 전압제어발진기의 지터 특성

위상 동기 회로를 구성하는 블록은 위상/주파수 검출기(phase frequency detector : PFD), 전하 펌프(charge pump), 루프 필터(loop filter), 전압제어발진기(voltage controlled oscillator : VCO), 주파수 분주기(frequency divider) 등이 있다. 이 중, 위상 동기 회로의 지터에 영향을 미치는 주요 블록은 전압제어발진기이다. 물론, 루프 필터와 위상/주파수 검출기, 주파수 분주기 또한 지터를 발생시키는 잡음원이 되기도 하지만 그 영향은 전압제어발진기에 비해 미비하다[15]. 따라서, 이번 장에서는 위상 동기 회로의 지터 특성을 논하기 전에, 논문에서 사용된 위상 동기 회로의 구성 블록 중, 전원 전압의 변동과 같은 Deterministic 지터에 대해 가장 민감한 블록이 전압제어발진기임을 보이고, 전압제어발진기의 지터 특성에 대해 보인다.

4.1 절. 위상 동기 회로의 구성 블록 간의 지터량 비교

이번 절에서는, 앞 장에서 소개한 위상 동기 회로를 사용하여 각 구성 블록에서 발생하는 지터량을 시뮬레이션을 통해 비교하고, 전압제어발진기가 위상 동기 회로의 지터를 발생시키는데 가장 주요한 블록임을 증명한다.

이를 위해, 위상/주파수 검출기(phase frequency detector : PFD), 인버터 및 Pass gate를 포함하는 Delay part, 전하 펌프(charge pump : CP), 전압-전류 변환기(V-I Converter : VIC), 전압제어발진기(voltage controlled oscillator : VCO), 주파수 분주기(frequency divider : FD), Differential to Single 변환기(D2S)에 각각 동일한 전원 전압 잡음을 가한 후, 위상 동기 회로의 지터량을 측정하였다. 그리고,

위상 동기 회로에 동일한 전원 전압 잡음을 가하여, 각각의 블록이 발생시키는 지터량이 얼마만큼의 비율을 갖는가를 측정하였다. 이러한 시뮬레이션을 통해서, 위상 동기 회로의 구성 블록 중, 지터를 발생시키는 데 있어 가장 주요한 블록이 무엇인가를 확인할 수 있다.

위상 동기 회로 및 구성 블록에 가한 잡음은 아래와 같다.

$$\Delta V_{dd} = A_m \cos(2\pi f_m t) \quad (4.1)$$

여기서 우리가 고려해야 할 요소는, 전원 전압 잡음의 크기인 ‘ A_m ’과 주파수 ‘ f_m ’, 위상 동기 회로의 루프 대역폭 ‘ f_n ’, 댐핑 계수 ‘ ζ ’이다.

위에서 언급한 네 가지의 요소에 대해, 각각 시뮬레이션을 수행하였으며, 그 결과를 그림 4.1 ~ 4.8에 보였다.

그림 4.1 ~ 4.8에서처럼, 위상 동기 회로에서 지터를 유발하는 가장 큰 구성 블록은 전압제어발진기이다. 이는 전압제어발진기의 지터량이 60 ~ 70% 정도를 차지한다는데서 알 수 있다.

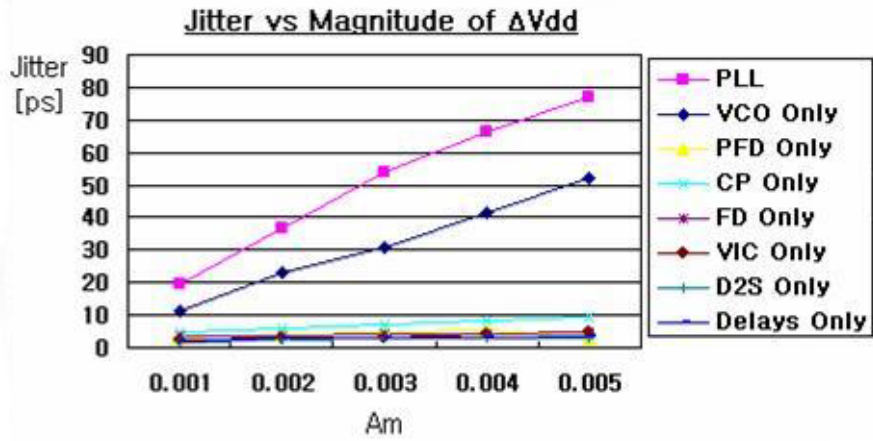


그림 4.1 A_m vs Jitter

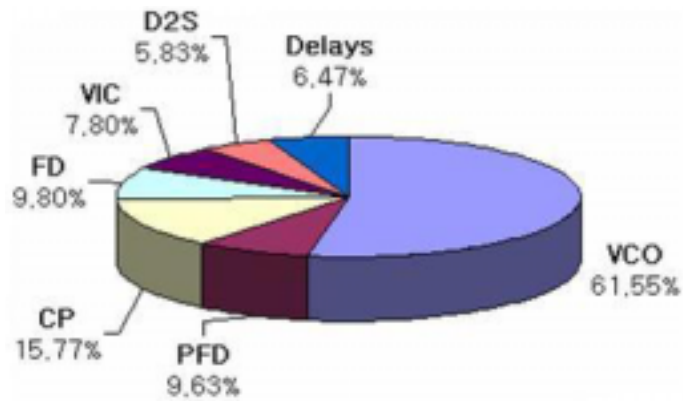


그림 4.2 A_m vs Jitter : 비율 비교

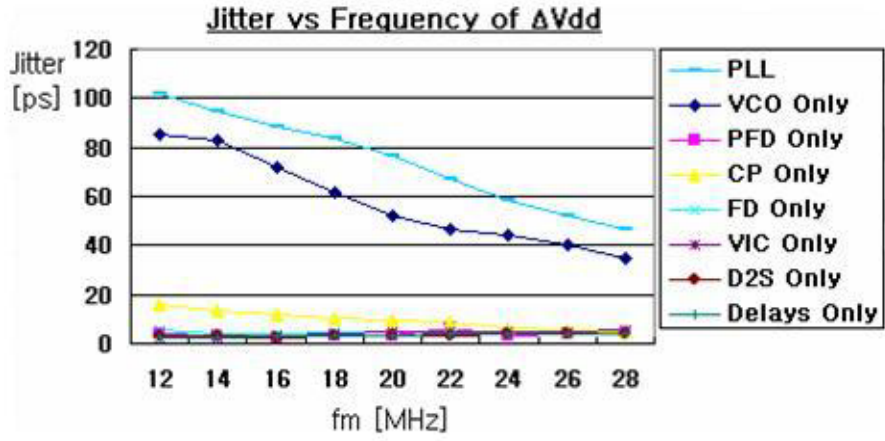


그림 4.3 f_m vs Jitter

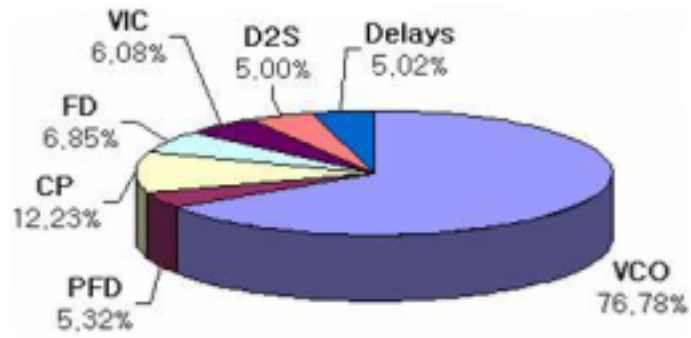


그림 4.4 f_m vs Jitter : 비율 비교

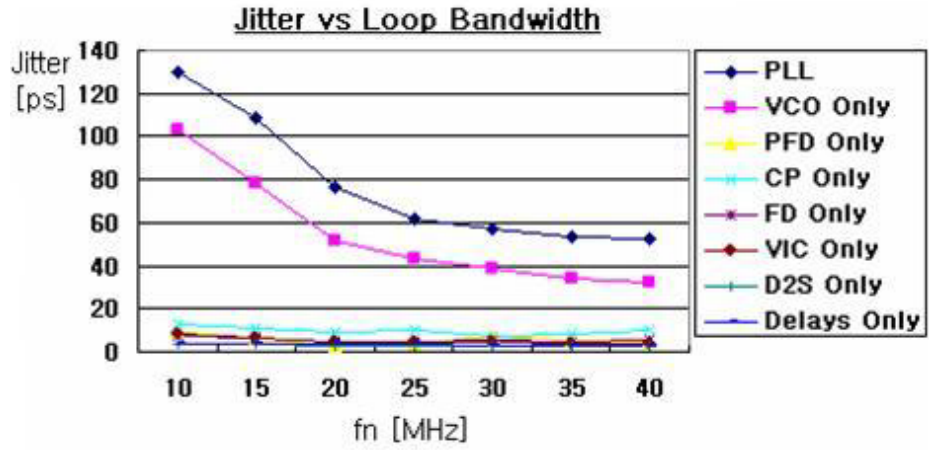


그림 4.5 f_n vs Jitter

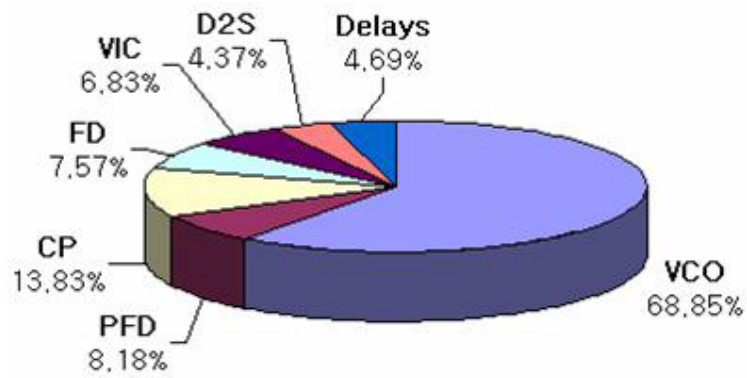


그림 4.6 f_n vs Jitter : 비율 비교

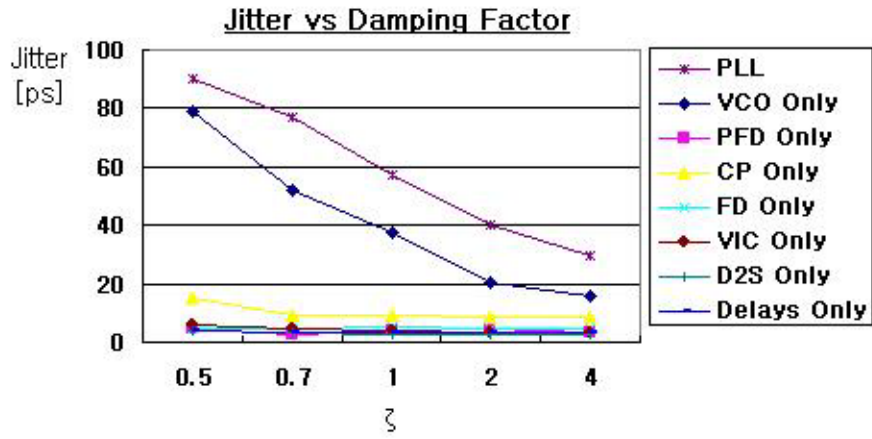


그림 4.7 ζ vs Jitter

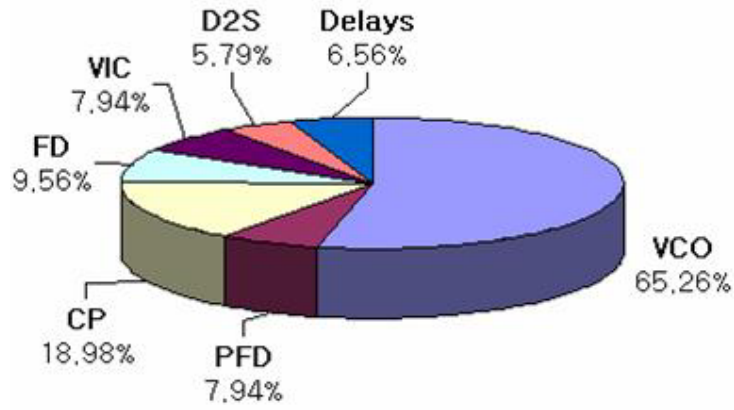


그림 4.8 ζ vs Jitter : 비율 비교

4.2 절. 전원 전압의 변동에 따른 전압제어발진기(Voltage-Controlled Oscillator : VCO)에서의 지터 특성

전압제어 발진기를 만드는 방법은 여러 가지가 있으나 그 중 링(ring) 발진기는 집적화가 용이하고 매우 높은 발진 주파수를 얻을 수 있는 장점을 가지고 있어 집적 회로 형태의 전압제어발진기를 구현하는데 일반적으로 사용된다[8].

기본적인 링 발진기는 몇 개의 인버터들이 직렬 체인(chain)으로 연결된 구조이며, 인버터를 사용하는 경우 홀수 단으로 구성되며, 차동 인버터를 사용하는 경우에는 짝수 단으로 구성된다. 이 때, 링 발진기의 단수는 지터에 거의 영향을 미치지 않는다[9].

이번 절에서는 전원 전압의 변동이나 Substrate 전압의 변동으로 인해 발생하는 Deterministic 지터로 인한 링 발진기의 지터 특성에 대해 알아보도록 한다.

발진기에서 전원 전압의 변동으로 인해 잡음이 발생하고 이로 인해, 발진기의 출력 신호가 흔들리면서 위상의 변화로 인해 지터가 발생하게 된다. 전원 전압이 흔들리는 현상은 인덕터나 커패시턴스가 기생 성분으로 나타날 때 발생하거나, 기타 여러 경우에 발생하는 기생 성분 때문이다. 그림 4.9에 칩의 bonding wire에 의해 발생한 기생 성분을 보였고[11], 그림 4.10에는 1.8V로 일정한 전원 전압이 이로 인해 흔들리는 현상을 보였다. 이는 Hspice를 사용한 시뮬레이션 결과이다.

그림 4.10에서 변화하는 전원 전압은 여러 주파수 성분이 섞여 있으므로, 분석을 위해서 전원 전압이 일정한 주파수로 변화한다고 가정한 후 분석을 수행한다. 먼저 전원 전압인 V_{dd} 에, 앞의 식 (4.1)과 같은 크기가 A_m 이고 주파수가 f_m 인 사인파를 더했다고 가정하자. 그렇다면, 전원 전압의 변화량 $\Delta V_m(t)$ 는 아래와 같다.

$$\Delta V_{dd} = \Delta V_m(t) = A_m \cos(2\pi f_m t) \quad (4.2)$$

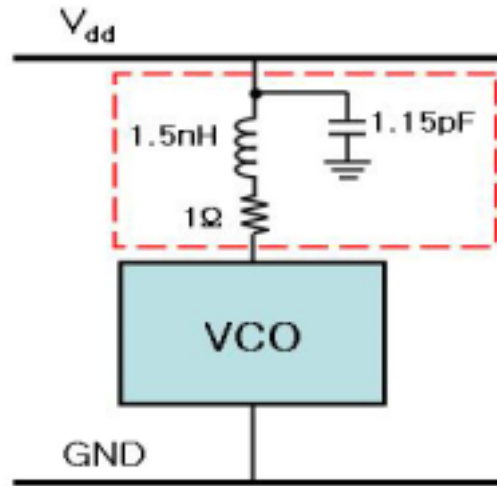


그림 4.9 Bonding Wire로 인해 나타난 기생 성분

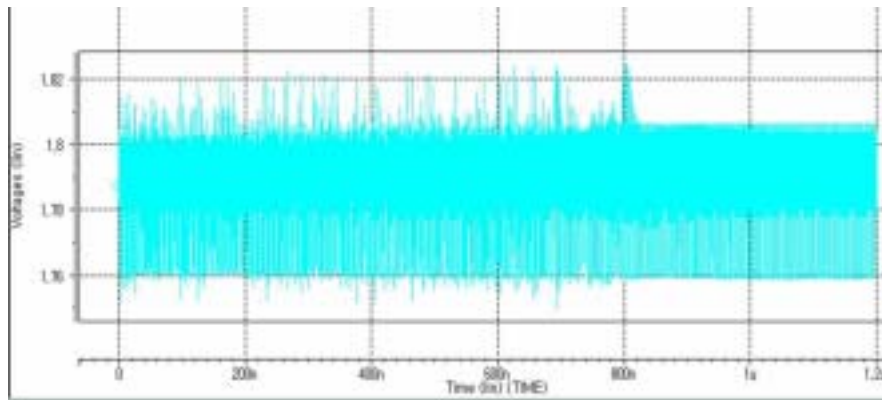


그림 4.10 기생 성분으로 인해 전원 전압이 흔들리는 현상

여기서 우리는 전원 전압의 변동에 따라 발진기의 주파수가 얼마만큼 변화하는가를 나타내는 새로운 용어를 정의해야 한다. 이를 발진기의 감도 K_0 라 하면 아래 식과 같이 정의된다.

$$K_0 = \frac{\Delta f_0}{\Delta V_m} [\text{Hz/V}] \quad (4.3)$$

식 (4.2)과 (4.3)에서, 발진기의 출력 주파수의 변화량인 Δf_0 는 다음과 같게 된다.

$$\Delta f_0(t) = A_m \cdot K_0 \cdot \cos(2\pi f_m t) \quad (4.4)$$

그러면, 발진기 출력 신호의 평균 주기로부터의 주기의 변화량은 아래와 같으며,

$$\Delta T(t) = \frac{1}{f_0 + \Delta f_0} - \frac{1}{f_0} \approx -\frac{A_m \cdot K_0}{f_0^2} \cos(2\pi f_m t) \quad (4.5)$$

이 식으로부터 Cycle 지터와 Cycle-to-Cycle 지터에 관한 식을 구하기 위해 $\Delta T(t+\tau)$ 를 곱한 후 auto-correlation을 수행한다[뒷장의 Appendix B참조]. 이는 앞서 알아봤듯이, Cycle 지터와 Cycle-to-Cycle 지터의 정의가 각각 ‘평균 주기와 차이에 대한 RMS 값’, ‘앞선 주기와 차이에 대한 RMS 값’이기 때문이다.

위상 동기 회로에서, 발진기는 위상/주파수 검출기와 전하 펌프로부터 에러 보정 신호를 주기적으로 받게 된다. 따라서 위상 동기 회로의 Long-term 지터는 회로 자체의 dynamics에 영향을 받게 된다. 그러므로 발진기 자체만을 고려하여 지터를 알아보는 데에는 Cycle 지터와 Cycle-to-Cycle 지터를 이용한다.

$$\overline{\Delta T(t+\tau)\Delta T(t)} = \frac{A_m^2 K_0^2}{2f_0^4} \cos(2\pi f_m \tau) \quad (4.6)$$

정의에 의해 Cycle 지터를 구하기 위해서는 식 (4.6)의 τ 에 '0'을 대입하면 된다.

$$\Delta T_C = \frac{A_m K_0}{\sqrt{2f_0^2}} \quad (4.7)$$

마찬가지로, Cycle-to-Cycle 지터는 $\tau = \frac{1}{f_0}$ 를 대입함으로써 얻을 수 있다.

$$\Delta T_{CC} = \frac{A_m K_0}{f_0^2} \sqrt{1 - \cos\left(2\pi \frac{f_m}{f_0}\right)} \quad (4.8)$$

이 때, $f_m \ll f_0$ 인 경우, 식 (4.8)은 아래 식 (4.9)처럼 정리된다.

$$\Delta T_{CC} \approx \frac{A_m K_0 2\pi}{\sqrt{2}f_0^3} f_m \quad (4.9)$$

즉, Cycle 지터는 전원 전압의 변동 주파수인 f_m 과 상관없이 일정하고, Cycle-to-Cycle 지터는 f_m 에 비례함을 알 수 있다[5].

식 (4.7)과 (4.9)를 실제로 설계한 VCO를 사용하여 검증하였다. 설계한 VCO는 일정한 전원 전압 1.8V가 주어지고, 루프 필터로부터 0.88V의 제어 전압이 인가되면 3.2 GHz의 신호를 출력한다. 이 때 V_{dd} 를 1.4V에서부터 2.2V까지 변화시켰

다. 그리고 이로 인해 나타나는 출력 주파수의 변화를 표 4.1에 나타내었다. 여기서 우리는 식 (4.3)에서 정의했었던 K_0 를 구할 수 있으며, K_0 는 그림 4.11에서의 빗금 친 부분의 기울기이다. 유의할 점은 K_0 를 구하기 위해서 V_{dd} 의 값을 1.6V부터 2V까지의 값만 사용했다는 것이다. 이는 일반적으로 전원 전압의 최대 변화량을 ‘전원 전압의 $\pm 10\%$ ’ 정도로 잡기 때문이다. 일련의 과정을 거쳐 구한 K_0 의 값은 아래와 같다.

$$K_0 = 2.65 \text{ [GHz/V]} \quad (4.10)$$

그리고 V_{dd} 의 변화량은 $\pm 0.2V$ 이므로,

$$A_m = 0.2 \text{ [V]} \quad (4.11)$$

이다. 또 VCO의 출력 주파수는 3.2 GHz이므로, Cycle 지터는 다음과 같다.

$$\Delta T_C = 36.6 \text{ [ps]} \quad (4.12)$$

식 (4.7)에서처럼 Cycle 지터는 f_m 에 상관없이 일정하다. 그래서 f_m 의 값을 적절히 변화시키면서 시뮬레이션을 수행한 후, 얻어진 값을 이론치와 비교하였다. 또한 Cycle-to-Cycle 지터에 대해서도 각각의 값을 대입한 후, 시뮬레이션 결과와 비교하였다. 이를 그림 4.12, 4.13에 나타내었다.

시뮬레이션을 위해 f_m 을 50, 100, 150, 200 MHz의 네 가지 값으로 정하였으며, 이 값은 VCO의 출력 주파수인 3.2 GHz보다 매우 작으므로 식 (4.9)의 경우로 생각할 수 있다.

표 4.1 전원 전압의 변화에 따른 발진기의 출력 주파수 변화

V_{dd} [V]	발진기의 출력 주파수 [GHz]
1.4	2.14
1.5	2.36
1.6	2.63
1.7	2.92
1.8	3.2
1.9	3.45
2.0	3.69
2.1	3.89
2.2	4.08

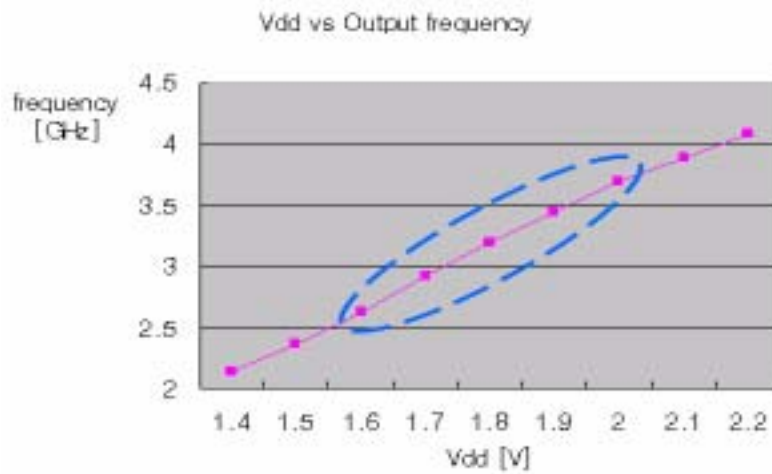


그림 4.11 전원 전압 변동에 따른 발진기의 출력 주파수 변화

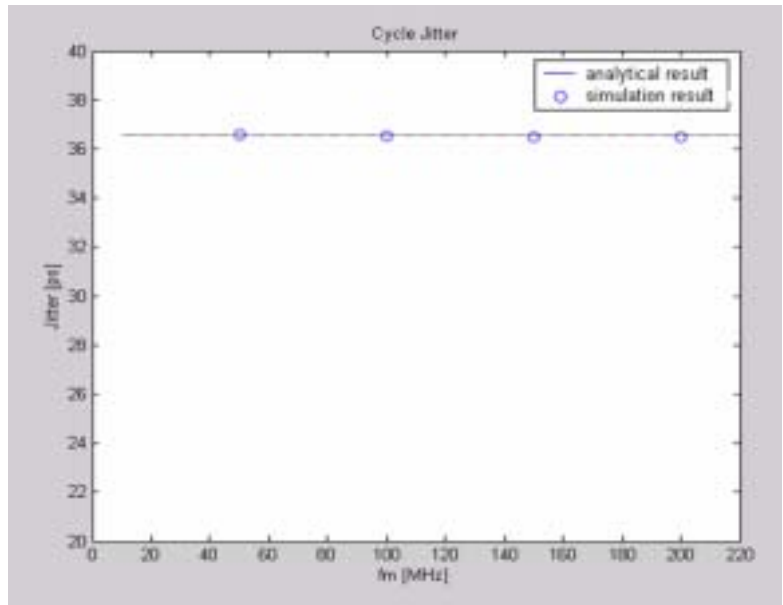


그림 4.12 전원 전압 변동과 Cycle 지터

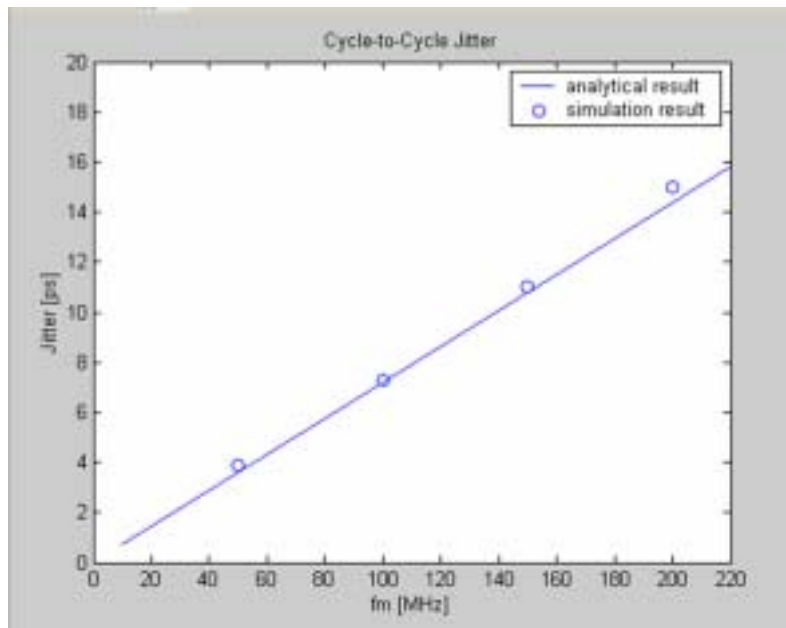


그림 4.13 전원 전압의 변동과 Cycle-to-Cycle 지터

그림 4.12, 4.13에서 알 수 있듯이 시뮬레이션 결과가 이론적인 예측값과 거의 정확하게 일치한다.

식 (4.9)는 $f_m \leq f_0$ 인 경우에만 해당하며, 참고로 그 외의 일반적인 주파수 대역에 해당하는 상황에서의 발진기의 지터 특성은 다음과 같이 알려져 있다.

우선 링 발진기를 구성하는 각각의 셀의 전원 전압이 모두 흔들리는 경우와 어느 하나의 셀의 전원 전압만 흔들리는 경우로 나누고, 이를 싱글 입출력의 인버터인 경우와 차동 인버터인 경우로 나누어 분석되었다. 시뮬레이션을 위해 사용된 링 발진기는 3단짜리 링 발진기였다.

링 발진기를 구성하는 셀 전체의 전원 전압이 흔들리는 경우 지터 특성은 아래와 같이 정리된다[12,13].

- 싱글 입출력의 인버터의 경우, f_m 이 f_0 의 3의 배수배가 되는 지점($f_m = 3f_0, 6f_0, 9f_0 \dots$)에서 지터가 갑자기 증가하며(jitter peaking), 전체적으로는 f_m 이 증가함에 따라 지터는 감소한다.
- 차동 인버터의 경우, 역시 싱글인 경우와 동일하다.

이번에는 하나의 셀의 전원 전압만 흔들리는 경우이다.

- 싱글 입출력의 인버터의 경우, f_m 이 f_0 의 정수배가 되는 지점($f_m = f_0, 2f_0, 3f_0, 4f_0 \dots$)에서 지터가 갑자기 증가하며(jitter peaking), 전체적으로는 f_m 이 증가함에 따라 지터는 감소한다.
- 차동 인버터의 경우, 역시 싱글인 경우와 동일하다.

5 장. 위상 동기 회로의 지터 특성

4장에서 위상 동기 회로(Phase-Locked Loop : PLL)을 구성하는 구성 블록 중 전압제어발진기의 지터 특성에 대해 알아보았다. 구성 블록 중 가장 주요한 잡음원은 전압제어발진기(VCO)였으며, 위상 동기회로에서 우리가 고려해야 할 다른 하나의 주요한 잡음원은 입력 기준 신호이다.

이 때, PLL의 지터는 PLL 내부에서의 누설 전류나 정적 위상 오차(static phase difference) 등으로 인해 발생하는 고유의 지터와 전원 전압의 변동 등으로 인한 외부 지터로 나눌 수 있다. 그리고 고유의 지터와 외부 지터는 앞서 알아보았던, Random 지터와 Deterministic 지터에 각각 대응된다[14].

5.1 절. 고유(Inherent)의 잡음원으로 인한 지터 특성

PLL의 두 주요한 잡음원인 입력 신호와 VCO에서의 잡음은 플리커 잡음과 백색 잡음의 합으로 구성되는 PSD로 표현할 수 있으며, 입력 기준 신호에 의한 잡음은 PLL 자체의 전달 함수 특성상 저역 통과 특성을 지니고, 이와 반대로 VCO는 고역 통과 특성을 지닌다. 따라서 PLL의 루프 대역폭을 감소시키면, 입력 신호에 의한 플리커 잡음의 영향을 줄일 수 있고, 반대로 루프 대역폭을 증가시키면, VCO에 의한 플리커 잡음의 영향을 줄일 수 있게 된다. 그림 5.1에 입력 잡음과 VCO 잡음에 따른 PLL 전체의 잡음 특성을 보였다[15]. 그리고 그림 5.2에 PLL의 일반적인 블록도 및 전하 펌프 PLL의 블록도와 이에 대응되는 선형 시불변(Linear Time-Invariant : LTI) 시스템 블록도를 보였으며, 그림 5.3에서는 입력 신호가 잡음원인 경우와 VCO가 잡음원인 경우에 해당하는 PLL의 블록도를 나타내었다.

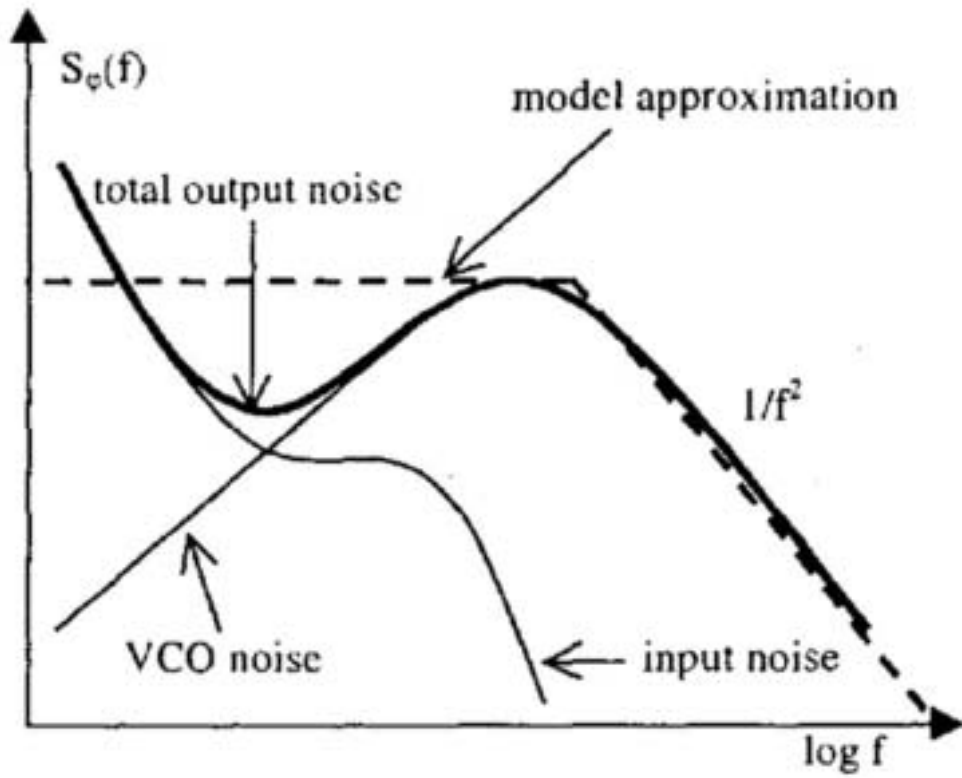
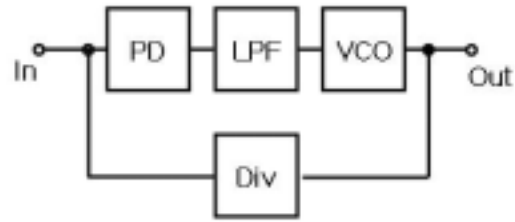
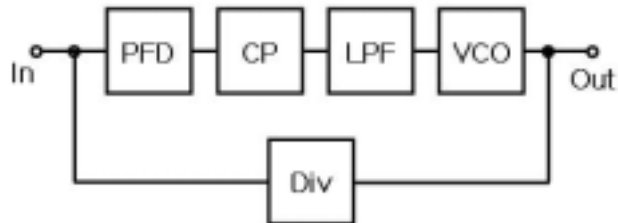


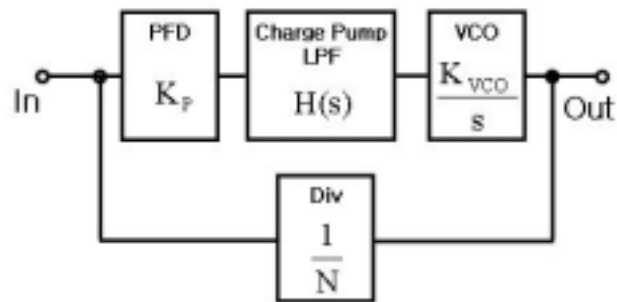
그림 5.1 입력 신호 잡음과 VCO 잡음으로 인한 PLL에서의 지터 특성



(a) 일반적인 PLL

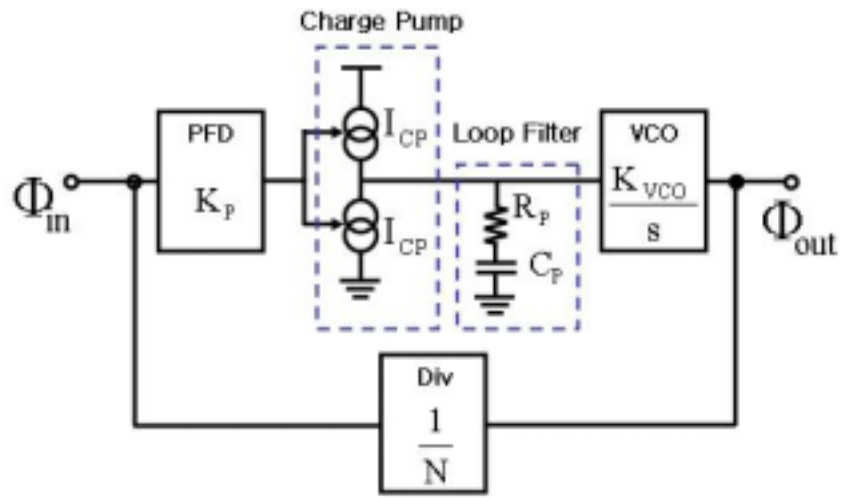


(b) 전하펌프 PLL

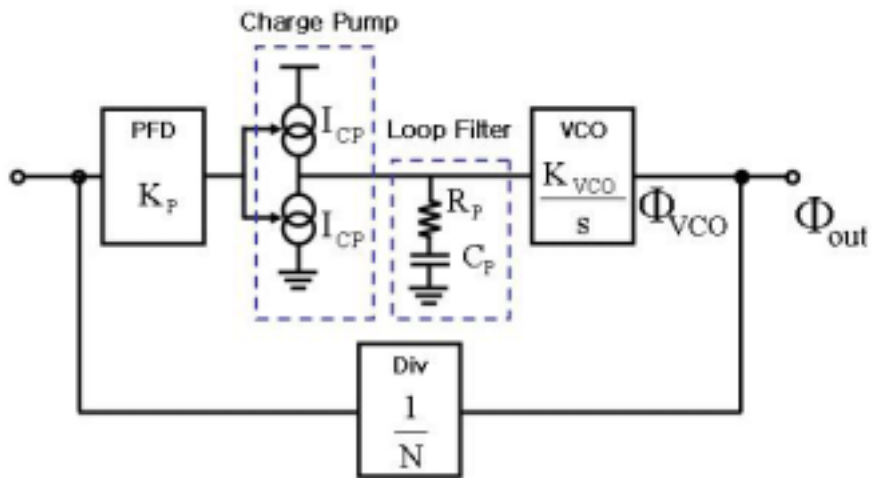


(c) 전하 펌프 PLL의 LTI 모델

그림 5.2 PLL 블록도와 LTI 모델



(a) 입력 신호의 잡음 대 출력 신호의 잡음



(b) VCO의 잡음 대 출력 신호의 잡음

그림 5.3 입력 잡음 및 VCO의 잡음 대 출력 신호의 잡음

이를 바탕으로 입력 신호와 VCO에 대한 잡음 전달 함수(Noise Transfer Function : NTF)를 구하면 다음과 같다[6,16,17].

$$H_{in}(s) = \frac{\Phi_{out}}{\Phi_{in}} = \frac{K_{loop}R_pC_p s + K_{loop}}{s^2 + K_{loop}R_pC_p s + K_{loop}} = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (5.1)$$

$$H_{VCO}(s) = \frac{\Phi_{out}}{\Phi_{VCO}} = \frac{s^2}{s^2 + K_{loop}R_pC_p s + K_{loop}} = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (5.2)$$

여기서, $K_{loop} = K_p K_{VCO} = \frac{I_{CP}}{2\pi N C_p} K_{VCO}$ 이고, PLL의 댐핑 계수와 루프 대역폭의

정의는 아래 식과 같다.

$$\zeta = \frac{R_p}{2} \sqrt{\frac{I_{CP} C_p K_{VCO}}{2\pi N}}, \quad \omega_n = \sqrt{\frac{I_{CP} K_{VCO}}{2\pi N C_p}} \quad (5.3)$$

여기서 R_p 와 C_p 는 루프 필터의 저항과 커패시턴스이며, I_{CP} 는 전하 펌프의 출력 전류이고, K_{VCO} 는 전압제어발진기의 이득[Hz/V]이다. 그리고 N 은 분주기의 분주율 (division ratio)이다.

이 때, 각각의 잡음원에 대한 PSD는 다음과 같이 정의되며,

$$\begin{aligned} S_{\Phi, in}(s) &= \frac{N_{in}}{f^2} |H_{in}(s)|^2, \quad N_{in} = K_{0, in}^2 \cdot \frac{e_n^2}{2} \\ S_{\Phi, VCO}(s) &= \frac{N_{VCO}}{f^2} |H_{VCO}(s)|^2, \quad N_{VCO} = K_{0, VCO}^2 \cdot \frac{e_n^2}{2} \end{aligned} \quad (5.4)$$

이 때, $K_{0,VCO}$ 과 $K_{0,in}$ 는 각각의 경우 클럭 소스의 이득이고 그 단위는 [Hz/V]이다.

그리고 $e_n[V/\sqrt{Hz}]$ 은 백색 잡음원이다.

이를 바탕으로 지터의 표준 편차인 $\sigma_{\Delta T}^2$ 과 PSD의 관계를 알아보면 아래와 같다.

$$\sigma_{\Delta T}^2 = \frac{4}{\omega_0^2} \int_{-\infty}^{\infty} S_{\phi}(f) \sin^2(\pi f \Delta T) df \quad (5.5)$$

식 (5.2), (5.4), (5.5)에서 VCO가 백색 잡음원으로 작용할 경우 PLL에서의 지터는 아래 식과 같이 모델링된다.

$$\sigma_{\Delta T}^2 = \frac{4N_{VCO}}{\omega_0^2} \int_{-\infty}^{\infty} \left| \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \right|_{s=j2\pi f}^2 \cdot \frac{\sin^2(\pi f \Delta T)}{f^2} df \quad (5.6)$$

위 식에서, ΔT 가 그리 크지 않은 경우, 즉 주기의 몇 배 정도 밖에 되지 않는 경우에는 댐핑 계수인 ζ 를 1 이상으로 정하면 지터를 최소화할 수 있다고 알려져 있다.

이런 경우의 지터가 바로 short-term 지터이며, ΔT 가 상당히 큰 경우에는 long-term 지터라고 부르는데, 그 값은 결국 $\kappa \sqrt{\frac{1}{(2\zeta\omega_n)}}$ 에 수렴하는 것으로 알려져 있

다[9]. 즉, long-term 지터는 $\sqrt{\frac{1}{\zeta}}$ 과 $\sqrt{\frac{1}{\omega_n}}$ 에 비례한다. 이와 관련된 지터식을 정리하면 아래 식 (5.7), (5.8)과 같다. 이 식은 식 (5.6)을 정리한 것이며, 자세한 전개 과정은 뒤의 Appendix C에 보였다. 식의 특성 상 댐핑 계수 ζ 를 1보다 작은 경우와 1 이상인 경우로 나누어 전개해야만 한다.

$\zeta < 1$ 인 경우,

$$\sigma_{\Delta T}^2 = \left(\frac{4\pi^2 N_{\text{VCO}}}{\omega_0^2} \right) \cdot \left\{ \frac{1}{2\zeta\omega_n} + \frac{e^{-\zeta\omega_n\Delta T}}{2(1-\zeta^2)} \left(\frac{\sin(\omega_d\Delta T + \theta)}{\omega_n} - \frac{\cos(\omega_d\Delta T)}{\zeta\omega_n} \right) \right\} \quad (5.7)$$

$\zeta \geq 1$ 인 경우,

$$\sigma_{\Delta T}^2 = \left(\frac{4\pi^2 N_{\text{VCO}}}{\omega_0^2} \right) \cdot \left\{ \frac{1}{2\zeta\omega_n} - e^{-a\Delta T} \left(\frac{2\alpha\beta}{a+b} + \frac{\alpha^2}{a} \right) - e^{-b\Delta T} \left(\frac{2\alpha\beta}{a+b} + \frac{\beta^2}{b} \right) \right\} \quad (5.8)$$

여기서, $\left(\frac{4\pi^2 N_{\text{VCO}}}{\omega_0^2} \right)$ 가 κ^2 이며, $\omega_d, \cos\theta, a, b, \alpha, \beta$ 를 정리하면 아래와 같다.

$$\omega_d = \omega_n \cdot \sqrt{1-\zeta^2} \quad (5.9), \quad \cos\theta = \sqrt{1-\zeta^2} \quad (5.10)$$

$$a, b = \zeta\omega_n \mp \omega_n \cdot \sqrt{\zeta^2-1} \quad (5.11), \quad \alpha = -\frac{a}{b-a}, \quad \beta = \frac{b}{b-a} \quad (5.12)$$

그리고 입력 잡음을 백색 잡음으로 생각하면 PLL의 지터는

$$\sigma_{\Delta T}^2 = \frac{4N_{\text{in}}}{\omega_0^2} \int_{-\infty}^{\infty} \left| \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \right|_{s=j2\pi f}^2 \cdot \frac{\sin^2(\pi f\Delta T)}{f^2} df \quad (5.13)$$

가 된다. 이를 Appendix C에서처럼 전개를 하여 정리하면 다음과 같다.

$\zeta < 1$ 인 경우,

$$\sigma_{\Delta T}^2 = \kappa^2 \cdot \left\{ 1 + \frac{1}{2\zeta\omega_n} + \frac{e^{-\zeta\omega_n\Delta T}}{\Delta T} \left(\frac{\sin(\omega_d\Delta T + \theta)}{2(1-\zeta^2)\omega_n} - \frac{\cos(\omega_d\Delta T)}{2(1-\zeta^2)\omega_n} \right) \right. \\ \left. - \frac{2\sin(\omega_d\Delta T)}{\omega_d} \right\} \quad (5.14)$$

$\zeta \geq 1$ 인 경우,

$$\sigma_{\Delta T}^2 = \kappa^2 \cdot \left\{ 1 + \frac{1}{2\zeta\omega_n\Delta T} + \frac{e^{-a\Delta T}}{\Delta T} \left(\frac{2\alpha}{a} - \frac{2\alpha\beta}{a+b} - \frac{\alpha^2}{a} \right) \right. \\ \left. + \frac{e^{-b\Delta T}}{\Delta T} \left(\frac{2\beta}{b} - \frac{2\alpha\beta}{a+b} - \frac{\beta^2}{b} \right) \right\} \quad (5.15)$$

단, $\kappa^2 = \frac{4\pi^2 N_m}{\omega_0^2} \cdot \Delta T$ 이며, 나머지 문자는 식 (5.9 ~ 5.12)를 따른다.

위에서 알아봤듯이, 댐핑 계수나 루프 대역폭(= ω_n)에 따라 PLL의 지터 특성이 달라지고, 댐핑 계수와 루프 대역폭은 아래과 같이 정의될 수 있다.

$$\zeta = \frac{R_p}{2} \sqrt{\frac{I_{CP} C_p K_{VCO}}{2\pi N}}, \quad \omega_n = \sqrt{\frac{I_{CP} K_{VCO}}{2\pi N C_p}} \quad (5.16)$$

따라서, PLL을 설계할 때, 루프 필터의 저항 및 커패시턴스 값을 조절하여 PLL의 지터 특성을 조정할 수 있게 된다.

5.2 절. 외부(External)의 잡음원으로 인한 지터 특성

이번에는 백색 잡음이 아닌, 유색 잡음의 경우를 고려해보자. 전원 전압의 변동은 대표적인 유색 잡음이며, 이는 외부 지터에 해당함을 앞서 밝혔다. 이미 4.2 절에서 VCO의 전원 전압 잡음에 대해, 지터 특성이 어떻게 변화하는가는 알아보았었다. 그렇다면, 이번에는 VCO에만 전원 전압을 가했을 경우 PLL의 지터 특성이 어떻게 변화하는지 알아보기로 한다.

지터를 모델링하는 식은 앞서 알아보았던 식 (5.5)와 동일하며, 전원 전압의 변화와 같은 유색 잡음의 경우에는 잡음의 PSD 및 PLL의 지터는 다음 식 (5.17), (5.18)과 같이 정의된다.

$$S_{\phi, \text{VCO}}(s) = \frac{N_{\text{VCO}}}{f^2} |H_{\text{VCO}}(s)|^2 \cdot |H_{\text{C,o}}(s)|^2 \quad (5.17)$$

$$\sigma_{\Delta T}^2 = \frac{4N_{\text{VCO}}}{\omega_0^2} \int_{-\infty}^{\infty} \left| \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \right|_{s=j2\pi f}^2 \cdot |H_{\text{C,o}}(s)|^2 \cdot \frac{\sin^2(\pi f \Delta T)}{f^2} df \quad (5.18)$$

여기서 $H_C(s)$ 는 유색 잡음 전달함수이며, $H_{\text{C,o}}(s)$ 는 유색 잡음을 입력으로 보았을 때, 유색 잡음 전달함수를 통해 나타나는 출력이다. 이 때 $H_C(s)$ 는

$$H_C(s) = \frac{\omega_C}{s + \omega_C} \quad (5.19)$$

이며, 여기서 ω_C 는 PLL의 루프 대역폭을 PLL의 출력 주파수로 정규화한 값이다 [15].

앞서 4.2 절처럼 VCO의 전원 전압에 식 (5.20)과 같은 크기가 A_m 이고 주파수가 f_m 인 사인파 형태의 잡음을 가했다고 가정한다면,

$$\Delta V_{dd} = \Delta V_m(t) = A_m \cos \omega_m t = A_m \cos(2\pi f_m t) \quad (5.20)$$

이 때, $\Delta V_m(t)$ 가 유색 잡음원이 되고, $\Delta V_m(t)$ 는 f_m 이라는 하나의 주파수 성분만을 갖고 있으므로, 식 (5.18), (5.19), (5.20)에 의해 PLL의 지터는 다음과 같다.

$$\sigma_{\Delta T}^2 = \frac{4\pi N_{VCO}}{f_0^2} \{A_m^2 \sin^2(\pi \Delta T f_m)\} \left\{ \frac{f_m^2}{4\zeta^2 f_n^2 f_m^2 + (f_n^2 - f_m^2)^2} \right\} \left(\frac{f_C^2}{f_m^2 + f_C^2} \right) \quad (5.21)$$

위 식의 유도 과정 역시 Appendix D에 보였다.

f_n 과 f_m 의 관계에 의해 위 식 (5.21)은 아래 세 가지로 나뉜다.

i) $f_n \ll f_m$

$$\sigma_{\Delta T}^2 = \frac{4\pi N_{VCO}}{f_0^2} \{A_m^2 \sin^2(\pi \Delta T f_m)\} \left(\frac{f_m^2}{4\zeta^2 f_n^2 f_m^2 + f_n^4} \right) \left(\frac{f_C^2}{f_m^2 + f_C^2} \right) \quad (5.22)$$

ii) $f_n \approx f_m$

$$\sigma_{\Delta T}^2 = \frac{4\pi N_{VCO}}{f_0^2} \{A_m^2 \sin^2(\pi \Delta T f_m)\} \left(\frac{1}{4\zeta^2 f_n^2} \right) \left(\frac{f_C^2}{f_m^2 + f_C^2} \right) \quad (5.23)$$

iii) $f_n \ll f_m$

$$\sigma_{\Delta T}^2 = \frac{4\pi N_{VCO}}{f_0^2} \{A_m^2 \sin^2(\pi \Delta T f_m)\} \left(\frac{1}{4\zeta^2 f_n^2 + f_m^2} \right) \left(\frac{f_C^2}{f_m^2 + f_C^2} \right) \quad (5.24)$$

위의 세 식에서 지터와 A_m , ζ , f_n , f_m 사이의 관계를 검증하기 위해 본 논문에서는 설계된 PLL을 사용하여 시뮬레이션을 수행하였다. 그리고 PLL의 댐핑 계수와 루프 대역폭을 결정짓는, 루프 필터의 저항과 커패시터의 값을 각각 표 5.1, 5.2, 5.3, 5.4에 정리하였고, 그 값들로 시뮬레이션을 수행하였다.

i)의 경우, f_n 에 비해 f_m 을 충분히 작은 값으로 선택하였으며, 그 결과, A_m 과 지터는 비례하지만, ζ 는 그림 5.5에서처럼 지터에 거의 영향을 미치지 않는다. 또 그림 5.6, 5.7에서처럼 f_m 에 비해 매우 큰 f_n 의 경우 지터에 반비례했으며, f_m 의 변화는 지터에 거의 영향을 미치지 않음을 확인하였다. 이는 표 3.1에 나타났듯이, 설계된 PLL에 어떤 잡음도 부가되지 않았을 경우, 발생하는 지터가 1.25[ps]라는 것을 고려하면, ζ 와 f_m 의 변화에 의해 발생하는 지터가 그림 5.5와 5.6에서처럼 대략 4~5[ps]이므로, ζ 와 f_m 의 변화는 지터에 거의 영향을 미치지 않는다 할 수 있다.

$$\sigma_{\Delta T} \propto A_m, \frac{1}{f_n^2} \quad (5.25)$$

ii)의 경우에는 식 (5.23)에서 알 수 있듯이,

$$\sigma_{\Delta T} \propto A_m, \frac{1}{\zeta}, \frac{1}{f_n}, \frac{1}{f_m} \quad (5.26)$$

표 5.1 루프 대역폭과 댐핑 계수를 결정짓는 저항과 커패시터 값(1)

루프 대역폭=10[MHz], 커패시터=250[pF]	
댐핑 계수	저항[Ω]
0.5	400
0.7	560
1	800
2	1600
4	3200

표 5.2 루프 대역폭과 댐핑 계수를 결정짓는 저항과 커패시터 값(2)

루프 대역폭=20[MHz], 커패시터=62.5[pF]	
댐핑 계수	저항[Ω]
0.5	800
0.7	1120
1	1600
2	3200
4	6400

표 5.3 루프 대역폭과 댐핑 계수를 결정짓는 저항과 커패시터 값(3)

루프 대역폭=30[MHz], 커패시터=27.8[pF]	
댐핑 계수	저항[Ω]
0.5	1200
0.7	1680
1	2400
2	4800
4	9600

표 5.4 루프 대역폭과 댐핑 계수를 결정짓는 저항과 커패시터 값(4)

루프 대역폭=40[MHz], 커패시터=15.625[pF]	
댐핑 계수	저항[Ω]
0.5	1600
0.7	2240
1	3200
2	6400
4	12800

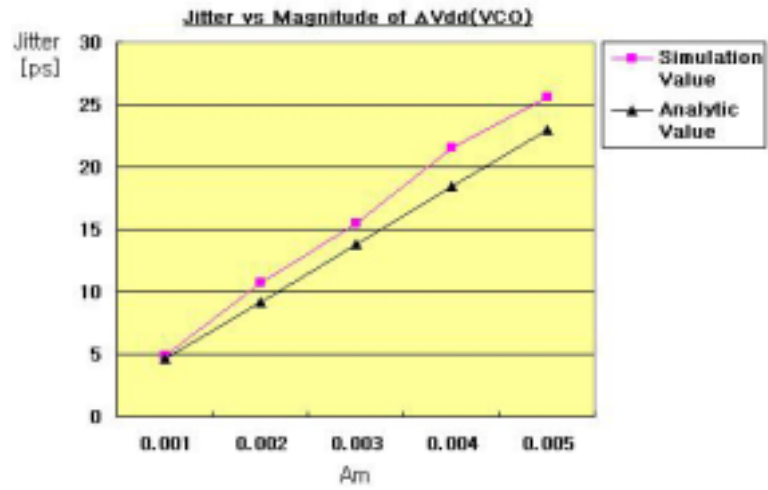


그림 5.4 $f_n \square f_m$: $\zeta=0.7$, $f_n=20$ [MHz], $f_m=1$ [KHz]

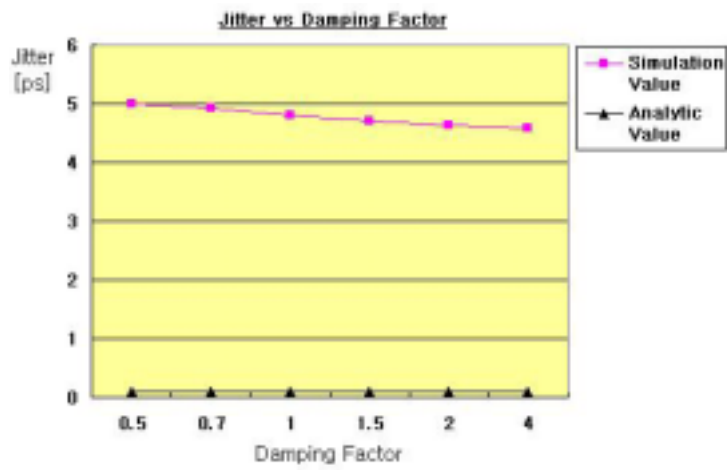


그림 5.5 $f_n \square f_m$: $A_m=0.001$, $f_n=20$ [MHz], $f_m=1$ [KHz]

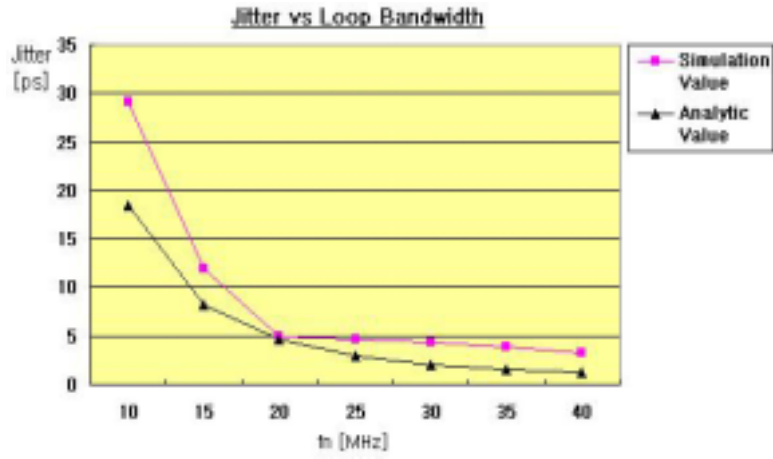


그림 5.6 $f_n \ll f_m$: $A_m=0.001, \zeta=0.7, f_m=1[\text{KHz}]$

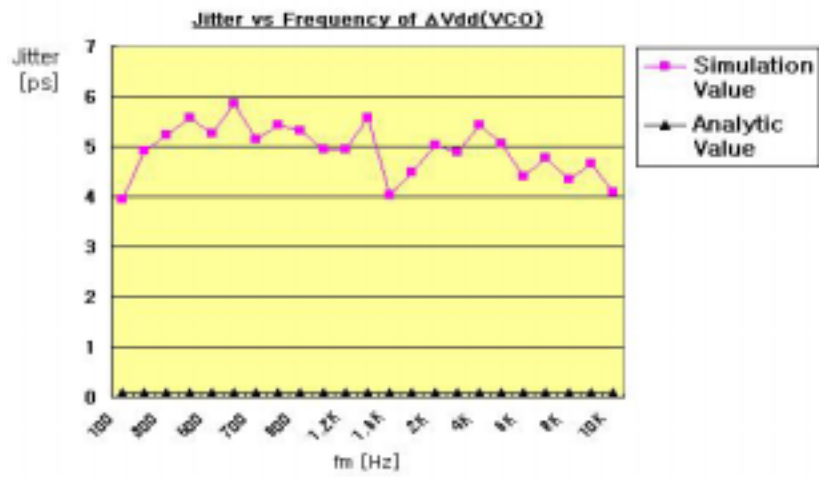


그림 5.7 $f_n \ll f_m$: $A_m=0.001, \zeta=0.7, f_n=20[\text{MHz}]$

이며, 이에 대한 검증을 시뮬레이션을 통해 수행하였다. 그 결과, 그림 5.8 ~ 5.11에 나타나듯이 식 (5.26)에서 보인대로 지터 특성이 나타남을 확인하였다.

iii)의 경우에는 f_n 에 비해 f_m 을 충분히 큰 값으로 선택하여 시뮬레이션하였으며, f_n 이 10 ~ 40[MHz] 정도임을 감안하면, 이보다 충분히 큰 f_m 은 수백 MHz이상이므로 결국 A_m , ζ , f_n 은 지터에 거의 영향을 미치지 않게 된다. 이에 대한 시뮬레이션 결과는 그림 5.12 ~ 5.15에 나타내었다. 마찬가지로 그림 5.12 ~ 5.14에서 평균적인 지터가 대략 4 ~ 5[ps]이므로, A_m , ζ , f_n 의 변화는 지터에 거의 영향을 미치지 않는다고 할 수 있다. 그리고 5.15에서도 f_m 의 증가에 따라 지터가 거의 일정하게 유지됨을 알 수 있다.

그림 5.5, 5.7, 5.12 ~ 5.15에서 이론적인 지터의 양은 거의 0에 가깝지만, 실제로 시뮬레이션을 통해 측정된 지터의 양은 평균 4 ~ 5[ps]이다. 이는 계산을 통한 경우에는 실제로 PLL에 존재하는 지터를 고려치 않기 때문이다. 따라서, 아무런 잡음을 가하지 않았다 해도 설계된 PLL에 존재하는 지터의 양이 1.25[ps]이므로, 그림 5.5, 5.7, 5.12 ~ 5.15에 해당하는 경우, 각각의 설계 요소들의 변화가 영향을 미치지 못한다고 할 수 있다.

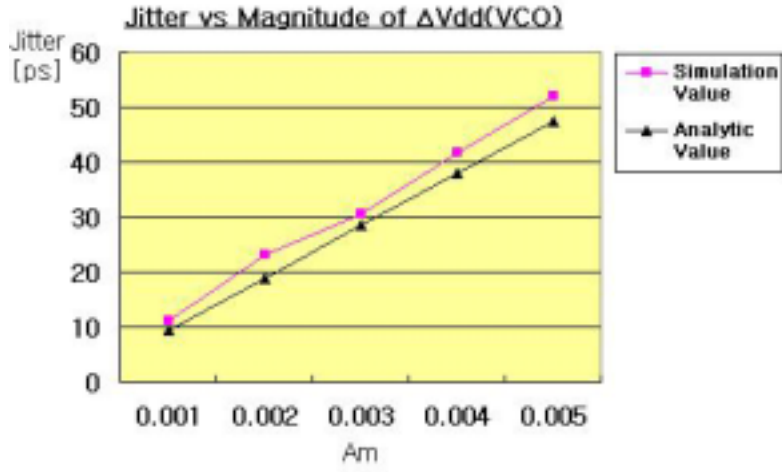


그림 5.8 $f_n \approx f_m$: $\zeta=0.7, f_n=f_m=20[\text{MHz}]$

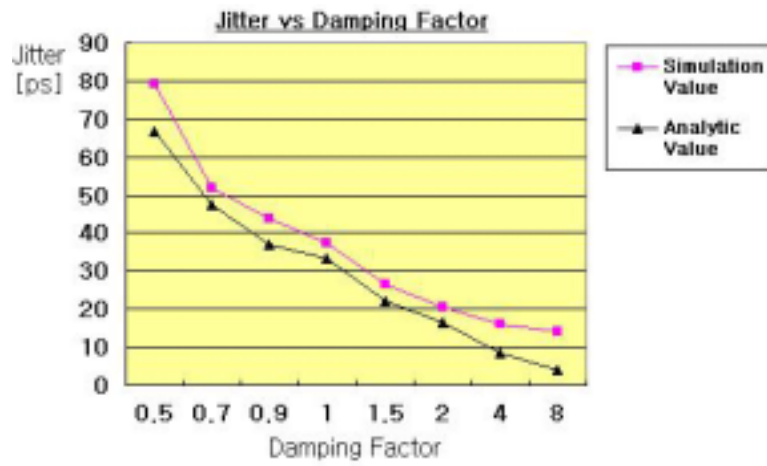


그림 5.9 $f_n \approx f_m$: $A_m=0.005, f_n=f_m=20[\text{MHz}]$

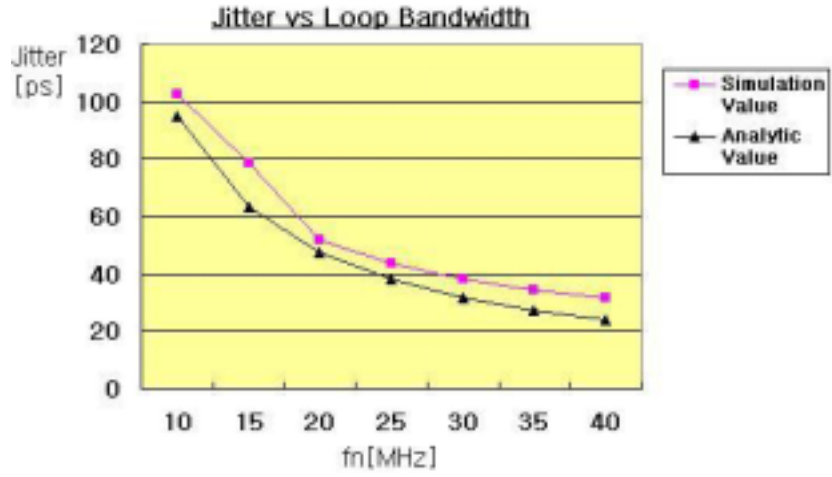


그림 5.10 $f_n \approx f_m$: $A_m=0.005$, $\zeta=0.7$, $f_m=20$ [MHz]

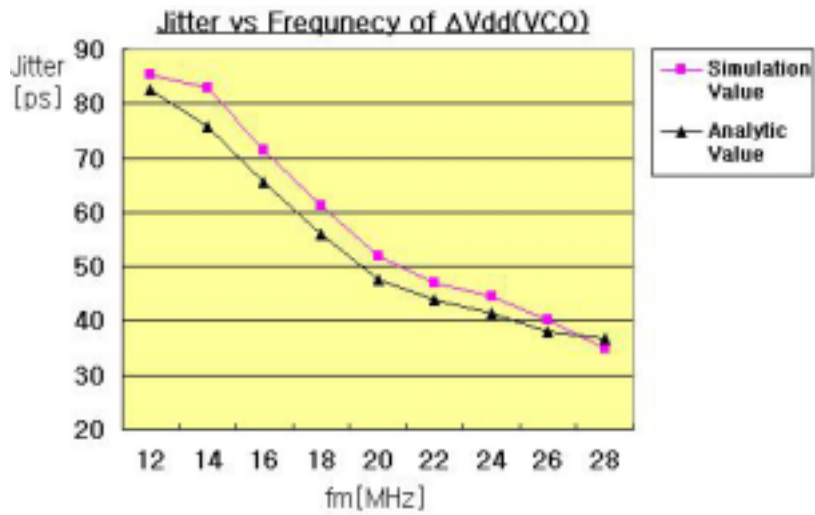


그림 5.11 $f_n \approx f_m$: $A_m=0.005$, $\zeta=0.7$, $f_n=20$ [MHz]

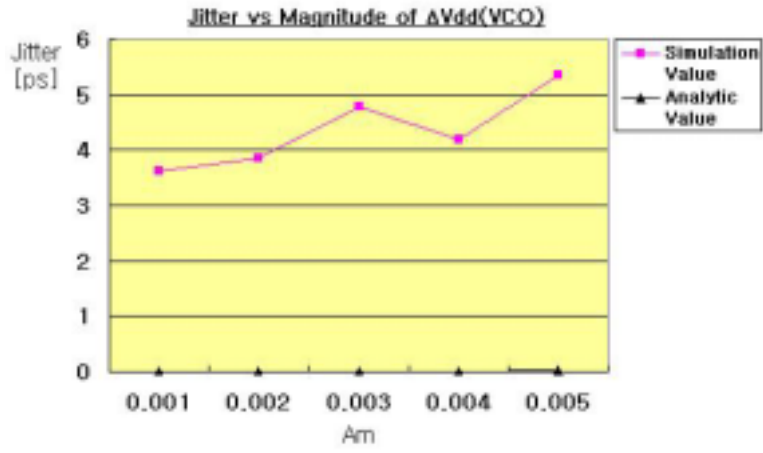


그림 5.12 $f_n \square f_m$: $\zeta=0.7$, $f_n=20$ [MHz], $f_m=1$ [GHz]

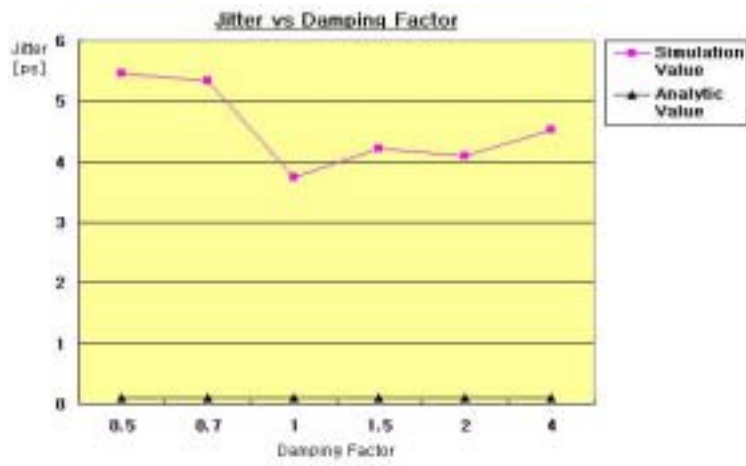


그림 5.13 $f_n \square f_m$: $A_m=0.005$, $f_n=20$ [MHz], $f_m=1$ [GHz]

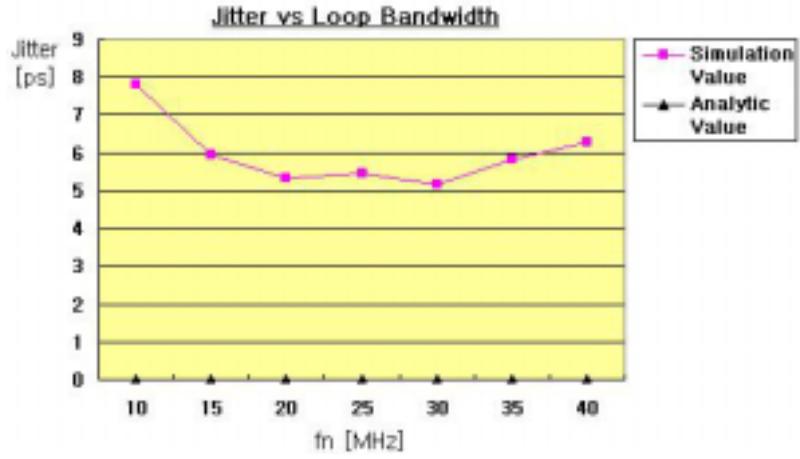


그림 5.14 $f_n \square f_m$: $A_m=0.005, \zeta=0.7, f_m=1[\text{GHz}]$

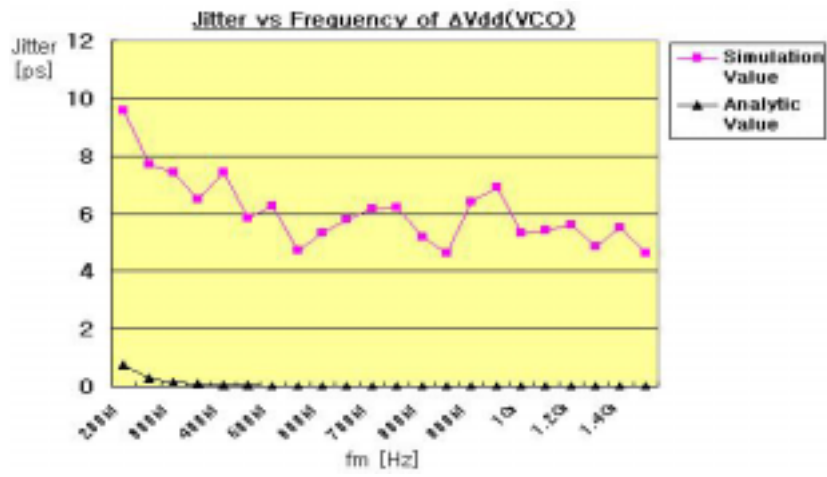


그림 5.15 $f_n \square f_m$: $A_m=0.005, \zeta=0.7, f_n=20[\text{MHz}]$

6 장. 결 론

본 논문에서는 전압제어발진기의 전원 전압 변동에 따른 위상 동기 회로의 지터 특성에 대하여 알아보았다. 이를 위해 먼저 지터의 정의를 알아보고, 지터를 정량화하는 방식에 따라 지터를 분류하였다. 그리고 지터를 유발하는 원인은 열잡음이나 공정 상의 변칙성 같은 내재적인 잡음인 Random 신호와 전원 전압의 변동이나 substrate 잡음같은 외부 잡음인 Deterministic 신호로 분류된다.

위상 동기 회로를 구성하는 위상/주파수 검출기(phase frequency detector : PFD), 전하 펌프(charge-pump), 루프 필터(loop filter), 전압제어발진기(voltage-controlled oscillator : VCO) 그리고 주파수 분주기(frequency divider) 중, 전원 전압의 변동에 대한 위상 동기 회로의 지터 특성에 가장 큰 영향을 미치는 블록은 전압제어발진기이다. 따라서, 설계한 위상 동기 회로를 이용한 Hspice 시뮬레이션을 통해, 이를 증명하였고, 전원 전압의 변동에 대해서, 전압제어발진기에서의 지터 특성을 자세히 분석하였다.

그리고 위상 동기 회로의 지터 특성에 대해서 Random 신호에 의한 경우와 Deterministic 신호에 의한 경우에 대해 각각 분석하였다. Deterministic 신호에 의한 경우는 앞서 알아본 것처럼 전압제어발진기가 가장 큰 잡음원이므로, 전압제어발진기의 전원 전압에 잡음을 가하여 위상 동기 회로의 지터 특성을 분석하였다. 그 결과, 전원 전압 잡음의 크기와 주파수, 그리고 위상 동기 회로의 댐핑 계수(damping factor), 루프 대역폭(loop bandwidth)에 따라 위상 동기 회로의 지터 특성을 조절할 수 있음을 알았다. 결국, 위상 동기 회로의 댐핑 계수와 루프 대역폭을 결정짓는 루프 필터에서의 저항과 커패시터 값에 의해 전압제어발진기의 전원 전압의 변동에 따른 위상 동기 회로의 지터 특성을 조절할 수 있으므로, 향후 위상 동기 회로를 설계할 때 전원 전압 잡음의 영향을 최소화하는데 이용될 수 있을 것

이다.

본 논문에서는 분석된 위상 동기 회로의 지터 특성을 검증하기 위해, CMOS 0.18[μm] 1P 6M 공정을 사용하여 위상 동기 회로를 설계하고, 시뮬레이션을 통해 제안된 지터 특성을 검증하였다.

본 논문에서는 하나의 주파수 성분만 가진 전원 전압 잡음을 고려하였으나, 향후 여러 주파수 성분을 포함한 잡음을 고려하여 분석한다면, 좀 더 실제적인 상황에 가까운 결과를 얻을 수 있으리라 생각된다.

Appendix A

발전기에서 출력 주파수를 f_0 라고 할 때, 주파수의 오프셋(offset)을 f_m 이라 한다 면($f_m=f-f_0$), 발전기에서의 백색 잡음에 대한 PSD는 아래와 같다[7].

$$S_{\Phi}(f_m) \approx \frac{D_{\Phi}}{2\pi^2 f_m^2} \quad (\text{A.1})$$

여기서 D_{Φ} 는 위상의 확산도(phase diffusivity)를 나타내는 값이다. 이 때, 위상 잡음 $\sigma_{\Delta T_{\text{abs}}}$ 와 Cycle 지터, Cycle-to-Cycle 지터는 다음 식과 같다[5].

$$\sigma_{\Delta T_{\text{abs}}} = \kappa \sqrt{\Delta T} = \frac{\sqrt{2D_{\Phi}}}{2\pi f_0} \sqrt{\Delta T} = \frac{f_m}{f_0} \sqrt{S_{\Phi}(f_m)} \sqrt{\Delta T} \quad (\text{A.2})$$

$$\Delta T_C = \kappa \sqrt{\bar{T}} = \frac{\sqrt{2D_{\Phi}}}{2\pi f_0} \sqrt{\bar{T}} \quad (\text{A.3})$$

$$\Delta T_{\text{CC}} = \sqrt{2} \Delta T_C \quad (\text{A.4})$$

식 (A.2), (A.3), (A.4)에서 다음과 같은 식을 얻을 수 있다.

$$\frac{\sigma_{\Delta T_{\text{abs}}}}{\sqrt{\Delta T}} = \frac{\Delta T_C}{\sqrt{\bar{T}}} = \frac{\Delta T_{\text{CC}}}{\sqrt{2}\sqrt{\bar{T}}} \quad (\text{A.5})$$

여기서, ΔT 는 측정 시간 간격, \bar{T} 는 평균 주기(mean period)이다.

Appendix B

Cycle 지터와 Cycle-to-Cycle 지터와 auto-correlation 함수 사이의 관계를 구해보자. 정의에 의해 auto-correlation 함수, $C_{\Delta T}(\mathbf{m})$ 는

$$C_{\Delta T}(\mathbf{m}) = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{n=1}^N (\Delta T_{n+m} \Delta T_n) \quad (\text{B.1})$$

여기서 $m=0$ 을 대입하면,

$$C_{\Delta T}(0) = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{n=1}^N (\Delta T_n \cdot \Delta T_n) = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{n=1}^N \Delta T_n^2 \quad (\text{B.2})$$

식 (2.5), (2.6)과 비교하면,

$$\Delta T_C^2 = C_{\Delta T}(0) \quad (\text{B.3})$$

$$\Delta T_{CC}^2 = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{n=1}^N (\Delta T_{n+1} - \Delta T_n)^2 = \lim_{N \rightarrow \infty} \frac{1}{N} \sum_{n=1}^N (\Delta T_{n+1}^2 + \Delta T_n^2 - 2\Delta T_n \cdot \Delta T_{n+1}) \quad (\text{B.4})$$

이므로, 결국

$$\Delta T_{CC}^2 = 2C_{\Delta T}(0) - 2C_{\Delta T}(1) \quad (\text{B.5})$$

Appendix C

VCO를 잡음원으로 생각할 때, PLL의 지터는 아래와 같다.

$$\sigma_{\Delta T}^2 = \frac{4N_{VCO}}{\omega_0^2} \int_{-\infty}^{\infty} |H_{VCO}(s)|_{s=j2\pi f}^2 \cdot \frac{\sin^2(\pi f \Delta T)}{f^2} df \quad (C.1)$$

그런데 $\omega = 2\pi f$ 이므로,

$$\sigma_{\Delta T}^2 = \frac{4N_{VCO}}{\omega_0^2} \int_{-\infty}^{\infty} |H_{VCO}(j\omega)|^2 \cdot \frac{\sin^2\left(\frac{\Delta T}{2}\omega\right)}{\left(\frac{\omega}{2\pi}\right)^2} \frac{1}{2\pi} d\omega \quad (C.2)$$

정리하면,

$$\sigma_{\Delta T}^2 = \frac{4N_{VCO}}{\omega_0^2} (2\pi)^2 \frac{1}{2\pi} \int_{-\infty}^{\infty} |H_{VCO}(j\omega)|^2 \cdot \left\{ \frac{\sin\left(\frac{\Delta T}{2}\omega\right)}{\omega} \right\}^2 d\omega \quad (C.3)$$

Parseval's Theorem과 주파수 축에서의 곱은 시간 축에서의 컨볼루션임을 고려하면[19],

$$\sigma_{\Delta T}^2 = \frac{4N_{VCO}}{\omega_0^2} (2\pi)^2 \int_{-\infty}^{\infty} \left[h_{VCO}(t) * F^{-1} \left\{ \frac{\sin\left(\frac{\Delta T}{2} \omega\right)}{\omega} \right\} \right]^2 dt \quad (C.4)$$

이 때, $h_{VCO}(t)$ 는 $H_{VCO}(j\omega)$ 의 Inverse Fourier Transform이며, F^{-1} 은 바로 Inverse Fourier Transform을 의미한다. 그리고 Parseval's Theorem은 다음 식과 같다.

$$\frac{1}{2\pi} \int_{-\infty}^{\infty} |Z(j\omega)|^2 d\omega = \int_{-\infty}^{\infty} |z(t)|^2 dt, \quad \text{단 } Z(j\omega) \text{는 } z(t) \text{의 Fourier Transform} \quad (C.5)$$

식 (C.4)를 계속 전개하면,

$$\begin{aligned} \sigma_{\Delta T}^2 &= \frac{4N_{VCO}}{\omega_0^2} (2\pi)^2 \int_{-\infty}^{\infty} \left[h_{VCO}(t) * \left\{ \frac{1}{2} \delta\left(t + \frac{\Delta T}{2}\right) - \frac{1}{2} \delta\left(t - \frac{\Delta T}{2}\right) \right\} \right]^2 dt \\ &= \frac{4N_{VCO}}{\omega_0^2} (2\pi)^2 \frac{1}{4} \int_{-\infty}^{\infty} \left[h_{VCO}(t) * \left\{ \delta\left(t + \frac{\Delta T}{2}\right) - \delta\left(t - \frac{\Delta T}{2}\right) \right\} \right]^2 dt \quad (C.6) \\ &= \frac{4\pi^2 N_{VCO}}{\omega_0^2} \int_{-\infty}^{\infty} \left[h_{VCO}\left(t + \frac{\Delta T}{2}\right) - h_{VCO}\left(t - \frac{\Delta T}{2}\right) \right]^2 dt \end{aligned}$$

$$\text{단, } h_{VCO}(t) = F^{-1}\{H_{VCO}(j\omega)\}, H_{VCO}(j\omega) = H_{VCO}(s) = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2}$$

입력 신호의 잡음을 고려하는 경우도 마찬가지로 방식으로 전개하면 된다.

Appendix D

유색 잡음 $n(t)$ 와 유색 잡음 전달함수 $H_C(s)$ 를 고려하면, 출력 $H_{C,O}(s)$ 는

$$H_{C,O}(s) = H_C(s) \cdot N(s) = \left(\frac{\omega_c}{s + \omega_c} \right) \cdot F\{n(t)\} \quad (D.1)$$

VCO에 유색 잡음을 가했다면,

$$\begin{aligned} \sigma_{\Delta T}^2 &= \frac{4N_{VCO}}{\omega_0^2} \int_{-\infty}^{\infty} |H_{VCO}(s)|_{s=j\omega}^2 \cdot |H_{C,O}(s)|^2 \cdot \frac{\sin^2(\pi f \Delta T)}{f^2} df \\ &= \frac{8\pi N_{VCO}}{\omega_0^2} \int_{-\infty}^{\infty} |H_{VCO}(s)|^2 \cdot |H_C(s)N(s)|^2 \cdot \frac{\sin^2\left(\frac{\Delta T}{2}\omega\right)}{\omega^2} d\omega \end{aligned} \quad (D.2)$$

가한 유색 잡음이 $n(t) = A_m \cos(2\pi f_m t) = A_m \cos \omega_m t$ 라면,

$$\sigma_{\Delta T}^2 = \frac{8\pi N_{VCO}}{\omega_0^2} \int_{-\infty}^{\infty} |H_{VCO}(s)|^2 \cdot \left| \left(\frac{\omega_c}{s + \omega_c} \right) \cdot F\{A_m \cos \omega_m t\} \right|^2 \cdot \frac{\sin^2\left(\frac{\Delta T}{2}\omega\right)}{\omega^2} d\omega \quad (D.3)$$

이 때, $F\{\cos \omega_m t\} = \pi\{\delta(\omega - \omega_m) + \delta(\omega + \omega_m)\}$, $\left| \frac{1}{ja + b} \right| = \frac{1}{\sqrt{a^2 + b^2}}$ 이고,

$$H_{VCO}(j\omega) = H_{VCO}(s) = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} = \frac{-\omega^2}{j2\zeta\omega_n \omega + (\omega_n^2 - \omega^2)} \quad \text{이므로,}$$

$$\sigma_{\Delta T}^2 = \frac{16\pi^3 N_{\text{VCO}}}{\omega_o^2} \left\{ A_m^2 \sin^2 \left(\frac{\Delta T}{2} \omega_m \right) \right\} \left\{ \frac{\omega_m^2}{4\zeta^2 \omega_n^2 \omega_m^2 + (\omega_n^2 - \omega_m^2)^2} \right\} \left(\frac{\omega_c^2}{\omega_m^2 + \omega_c^2} \right) \quad (\text{D.4})$$

이 된다. 그리고 $\omega = 2\pi f$ 을 고려하면,

$$\sigma_{\Delta T}^2 = \frac{4\pi N_{\text{VCO}}}{f_o^2} \left\{ A_m^2 \sin^2 (\pi \Delta T f_m) \right\} \left\{ \frac{f_m^2}{4\zeta^2 f_n^2 f_m^2 + (f_n^2 - f_m^2)^2} \right\} \left(\frac{f_c^2}{f_m^2 + f_c^2} \right) \quad (\text{D.5})$$

참고문헌

- [1] <http://blog.naver.com/post/postView.jsp?blogId=batu&logNo=120003308235>
- [2] <http://users.rcn.com/wpacino/jitwtutr/jitwtutr.htm>
- [3] <http://www.jitter.co.kr>
- [4] Stephen H. Hall, Garrett W. Hall, James A. McCall, *High-Speed Digital System Design - A Handbook of Interconnect Theory and Design Practices*, John Wiley & Sons, Inc., 2000
- [5] F. Herzel, B. Razavi, "A Study of Oscillator Jitter Due to Supply and Substrate Noise", *Circuits and Systems II : Analog and Digital Signal Processing, IEEE Transactions on*, Vol. : 46 , Issue: 1, pp.56-62, Jan. 1999
- [6] David C. Lee, "Analysis of Jitter in Phase-Locked Loops", *Circuits and Systems II : Analog and Digital Signal Processing, IEEE Transactions on*, Vol. : 49, Issue : 11, pp. 704-711, November 2002
- [7] Fakhfakh, A. Milet-Lewis, N. Deval, Y. Levi, H., "Study and behavioural simulation of phase noise and jitter in oscillators", *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on*, Volume: 5, pp.323-326, 6-9 May 2001
- [8] David A. Johns, Ken Martin, *Analog Integrated Circuit Design*, Wiley, 1997
- [9] John A. McNeill, "Jitter in Ring Oscillator", *Solid-State Circuits, IEEE Journal of*, Volume : 32, Issue : 6, pp.870-879, June 1997
- [10] C.W. Zhang, L. Forbes, "Simulation of Timing Jitter in Ring Oscillators", *University/Government/Industry Microelectronics Symposium, 2003. Proceedings of the 15th Biennial* , pp. 356-359, 30 June-2 July 2003

- [11] 이천오, “Gbps급 LVDS I/O에 관한 연구”, 연세대학교 석사논문, 2003
- [12] N. Barton, D. Ozis, T. Fiez, K. Mayaram, “The effect of supply and substrate noise on jitter in ring oscillators”, *Custom Integrated Circuits Conference, 2002. Proceedings of the IEEE 2002*, pp.505-508, 12-15 May 2002
- [13] N. Barton, D. Ozis, T. Fiez, K. Mayaram, “Analysis of jitter in ring oscillators due to deterministic noise”, *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, Vol. : 4, pp.393-396, May 2002
- [14] T. Egan, S. Mourad, “Characterization and verification of phase-locked loops”, *Instrumentation and Measurement Technology Conference, 2001. IMTC 2001. Proceedings of the 18th IEEE*, Volume : 3, pp.1697-1702, 21-23 May 2001
- [15] N. Da Dait, M. Harteneck, C. Sandner, A. Wiesbauer, “Numerical modeling of PLL jitter and the impact of its non-white spectrum on the SNR of sampled signals”, *Mixed-Signal Design, 2001. SSMSD. 2001 Southwest Symposium on*, pp.38-44, 25-27 February 2001
- [16] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGrawHill, 2000
- [17] M. Mansuri., C.K.K. Yang “Jitter Optimization Based on Phase-Locked Loop Design Parameters”, *Solid-State Circuits, IEEE Journal of*, vol. 37, pp.1375-1382, November 2002
- [18] 이재욱, “Gbps급 clock and data recovery circuit에 관한 연구”, 연세대학교 석사논문, 2001
- [19] Alan V. Oppenheim, Alan S. Willsky, *Signals & Systems*, Prentice Hall, 1997

ABSTRACT

Jitter Characteristics in Phase-Locked Loop due to VCO's Supply Noise

Keun-Jo Bae

Dept. of Electrical and

Electronic Engineering

Graduated School

Yonsei University

This paper describes and analysis a jitter characteristics of PLL(Phase - Locked Loop) due to VCO's Supply Noise. PLL is used for the frequency synthesizer and CDR(Clock and Data Recovery circuit).

First, the definition of jitter and the sources of jitter were investigated. And, the jitter characteristics due to supply noise of PFD(phase frequency detector), Delay elements(inverter and pass-gate), charge-pump, loop filter, V-I converter, VCO(voltage-controlled oscillator), frequency divider and differential to single converter were compared. As a result of this comparison, we knew the major source of PLL jitter is VCO. So, the jitter characteristics of VCO about deterministic jitter were analyzed.

Second, in PLL, the effects of external noise(for example, variation of supply, substrate noise) were carefully investigated and analyzed. The PLL jitter characteristics due to VCO's supply noise can be controlled by damping factor,

loop bandwidth, the magnitude and frequency of supply noise. This analysis was verified for Hspice simulations.

This PLL was fabricated in 1-poly 6-metal 0.18[μm] CMOS technology.

Keywords : Phase-Locked Loop(PLL), jitter, Voltage-Controlled Oscillator (VCO), variation of supply, Damping factor, Loop bandwidth