

듀티 싸이클 왜곡에 강한 새로운 구조의
버스트 모드 클럭 데이터 복원회로

연세대학교 대학원

전기전자공학과

김두호

듀티 싸이클 왜곡에 강한 새로운 구조의
버스트 모드 클럭 데이터 복원회로

연세대학교 대학원

전기전자공학과

김두호

김두호의 석사 학위논문을 인준함

심사위원 _____

심사위원 _____

심사위원 _____

연세대학교 대학원

전기전자공학관

2007년 2월 일

차 례

차례	i
그림차례	iii
국문요약	vi
영문요약	vii
제 1 장. 서론	1
제 2 장. 연구 배경	2
제 2-1 절. Passive optical network	3
제 2-2 절. 버스트모드 광수신기에서 나타나는 듀티 싸이클 왜곡	6
제 2-3 절. 기존의 버스트 모드 클럭 데이터 복원 회로	10
제 2-3.1 절. 오버샘플링을 이용한 클럭 데이터 복원회로	10
제 2-3.2 절. 개폐발진기를 이용한 클럭 데이터 복원회로	13
제 2-3.3 절. 듀티 싸이클 왜곡이 개폐발진기를 이용한 클럭 데이터 복원회로에 미치는 영향 · 17	
제 3 장. 버스트 모드 클럭 데이터 복원회로의 설계	18
제 3-1 절. 새로운 구조의 도출	18
제 3-2 절. 클럭 데이터 복원회로 각 블록의 설계	24
제 3-2.1 절. 바이어스 회로의 설계	24
제 3-2.2 절. 논리 게이트의 설계	27
제 3-2.3 절. 개폐 발진기의 설계	33
제 3-2.4 절. 반 클럭 지연회로의 설계	37
제 3-2.5 절. 반 위상 분할기의 설계	38
제 3-3 절. 위상동기회로의 설계	41
제 3-3.1 절. 위상동기회로의 루프특성과 필터 설계	42
제 3-3.2 절. 전하펌프의 설계	43
제 3-3.3 절. 위상주파수 검출기의 설계	45
제 3-3.4 절. 주파수 분주기의 설계	48

제 3-4 절. HSPICE 시뮬레이션	49
제 3-4.1 절. 위상동기회로의 시뮬레이션	49
제 3-4.2 절. 클럭 데이터 복원회로의 시뮬레이션	50
제 4 장. 칩 제작 및 측정결과	53
제 4-1 절. 칩 측정 계획	53
제 4-1.1 절. 듀티 싸이클 왜곡회로의 설계	54
제 4-1.2 절. 아웃풋 버퍼의 설계	55
제 4-1.3 절. 칩 레이아웃	57
제 4-2 절. 제작된 칩의 측정	58
제 4-2.1 절. 클럭과 데이터 복원	58
제 4-2.2 절. 주파수 불일치에 따른 영향	60
제 5 장. 결론	67

그 립 차 례

그림 2-1. PON 시스템의 구성	5
그림 2-2. 듀티 싸이클의 정의	8
그림 2-3. 일반적인 광수신기의 블록도.	8
그림 2-4. 연속모드에서의 기준전압 생성	9
그림 2-5. 버스트모드에서의 기준전압 생성	9
그림 2-6. 오버샘플링을 이용한 클럭 데이터 복원회로	12
그림 2-7. 오버샘플링을 이용한 클럭 데이터 복원	12
그림 2-8. 개폐발진기	15
그림 2-9. 개폐발진기를 이용한 클럭 데이터 복원회로	15
그림 2-10. 개폐발진기를 이용한 클럭 데이터 복원	16
그림 2-11. 듀티 싸이클 왜곡에 의한 문제	17
그림 3-1. 듀티싸이클 왜곡의 특성	21
그림 3-2. 상향엣지에 정렬된 클럭	21
그림 3-3. 하향엣지에 정렬된 클럭	21
그림 3-4. 제안된 클럭 데이터 복원회로의 블록도	22
그림 3-5. 리셋신호 발생기의 구조	22
그림 3-6. 리셋신호와 이에 정렬되는 클럭	23
그림 3-7. 최종적으로 복원되는 클럭	23
그림 3-8. Boot strapped 기준 전류원	26
그림 3-9. 피드백을 이용한 기준 전류원	26
그림 3-10. 차동 인버터	29
그림 3-11. 차동 논리 게이트	30
그림 3-12. 리셋 기능을 가진 차동 래치	31
그림 3-13. 차동 논리 게이트의 AND로서의 동작	32
그림 3-14. 래치를 이용해 만든 D-flipflop의 동작 시뮬레이션	32

그림 3-15. 설계된 개폐발전기의 구조	34
그림 3-16. 설계된 전압제어지연셀의 구조	34
그림 3-17. 설계된 전압제어발전기의 특성곡선	35
그림 3-18. enable 신호를 이용한 발전의 제어	35
그림 3-19. 위상 재정렬에 소요되는 시간	36
그림 3-20. 반 클럭 지연회로	37
그림 3-21. 반위상 분할기	39
그림 3-22. 반위상 분할기의 동작	39
그림 3-23. 반위상 분할기의 사용례	40
그림 3-24. 반위상 분할기 출력 시뮬레이션	40
그림 3-25. 설계된 위상동기회로의 블록도	41
그림 3-26. PLL 특성식과 Loop filter의 구조	42
그림 3-27. 설계된 전하펌프의 구조	44
그림 3-28. 전하펌프의 누설전류 시뮬레이션	44
그림 3-29. 위상주파수검출기의 구조	46
그림 3-30. 위상주파수검출기의 동작	46
그림 3-31. 위상주파수검출기 UP/DN 펄스의 최소폭	47
그림 3-32. 주파수 분주기의 구조	48
그림 3-33. 주파수 분주기의 시뮬레이션	48
그림 3-34. 위상동기회로의 동기 획득 과정	49
그림 3-35. 클럭과 데이터 복원 비교 시뮬레이션	51
그림 3-36. 샘플링 위치의 비교 시뮬레이션	52
그림 3-37. Eye-diagram 비교 시뮬레이션	52
그림 4-1. 완성된 칩의 검증 계획도	53
그림 4-2. 듀티 싸이클 왜곡회로	54
그림 4-3. 출력버퍼와 측정 장비의 구조도	56
그림 4-4. 출력버퍼의 구조	56
그림 4-5. 설계된 칩의 레이아웃	57

그림 4-6. 듀티사이클 32%에서의 클럭과 데이터 복원	59
그림 4-7. 버스트 모드에서의 동작	59
그림 4-8. 주파수 불일치에 의한 Cycle slip	66
그림 4-9. 주파수 불일치에 의한 클럭 상쇄	66

국 문 요 약

듀티 사이클 왜곡에 강한 새로운 구조의 버스트 모드 클럭 데이터 복원 회로

본 논문에서는 버스트 모드 광수신기에서 필연적으로 발생하는 듀티 사이클 왜곡에 대해서도, 안정적으로 동작하는 새로운 구조의 클럭 데이터 복원 회로를 제안하였다.

버스트 모드 광수신기에서는 빠른 시간 내에 데이터의 값을 판정하는 기준 전압을 생성하기 힘들기 때문에, 수신된 데이터의 듀티사이클이 왜곡되어 나타난다. 일반적으로 버스트 모드에서 사용되는 개폐발진기를 이용하는 클럭 데이터 복원 회로에 듀티 사이클이 왜곡된 데이터를 인가하게 되면, 복원되는 클럭과 데이터에 입력 데이터의 왜곡이 그대로 남아있게 된다.

듀티 사이클 왜곡은 일종의 고주파 지터로 볼 수 있는데, 이 지터의 특징은 크기가 같고 방향이 반대인 지터가 번갈아가며 나타난다는 점이다. 따라서 번갈아 나타나는 두 지터를 서로 상쇄시켜 듀티 사이클 왜곡의 영향을 없앨 수 있다. 본 논문에서는 두 개의 개폐식 발진기와 반위상분할기를 이용하고 있다. 발진기 하나는 양의 크기를 갖는 지터에만 위상을 맞추고 다른 하나는 음의 크기를 갖는 지터에만 위상을 맞추도록 하여, 두 발진기의 평균 위상을 출력하도록 하면 지터의 상쇄를 구현할 수 있다.

설계된 회로는 Hynix 0.35 μ m 공정을 통해 구현되었으며, 622Mbps에서 동작을 검증하였다.

핵심되는 말 : 버스트 모드 광수신기, 듀티 사이클 왜곡, 개폐식 발진기, 반위상분할기

ABSTRACT

A Novel Burst-mode CDR with a Robustness to duty cycle distortion

Du-ho Kim
Dept. of Electrical and
Electronic Engineering
The Graduate School
Yonsei University

This paper describes a novel burst-mode CDR with robustness to the duty cycle distortion which inevitably occurs in burst-mode optical receivers.

It is very difficult to determine a correct threshold voltage in a short time, so the duty cycle distortion occurs. With a commonly used gated-oscillator-based CDR, the duty cycle distortion affects the output directly. The duty cycle distortion can be understood as a kind of high frequency jitter. This jitter alternates with a same magnitude. So it is possible to cancel this jitter by summing two jitters of opposite directions. In this paper, this method was implemented with two gated oscillators and a half-phase-interpolator.

The proto-type chip was fabricated by Hynix 0.35 μ m process and the operation was measured at 622Mbps.

Key words : burst-mode optical receiver, duty cycle distortion, gated oscillator, half-phase-interpolator, burst-mode clock and data recovery circuit

제 1 장. 서론

21세기는 “정보사회”라는 말처럼, 각종 정보산업이 활발하게 성장하고 있다. 정보통신부에 따르면, 전국의 인터넷 가입자 수는 2002년에 이미 천만을 넘어섰다 [1]. 현대인은 네트워크의 홍수에 빠져 살고 있으며, 일각에서는 정보사회의 문제점으로 “인터넷 중독 증상”까지 우려하고 있을 정도이다[2].

이러한 수요에 맞추어 네트워크 공급자들은 끊임없이 네트워크의 질을 향상시키기 위해서 노력하고 있다. 하지만 네트워크의 질이 향상될수록 새로운 서비스와 그에 대한 수요가 계속해서 생겨나고 있다. 따라서 현재까지는 인터넷만을 공급하던 수준에서, 디지털 TV 방송이나 전자상거래 등, 다양한 콘텐츠 부문으로 서비스 영역을 넓히려는 연구가 추진되고 있다.

현재 가입자망에서 가장 많이 사용되는 기술은 xDSL(Digital Subscriber Line)로, 공급자에게서 중계기까지 광케이블로 연결되고, 중계기에서 각 가입자에게는 기존에 설치되어 있는 전화선을 통해 인터넷을 공급하는 방식이다. 하지만, xDSL은 거리가 멀어질수록 전송률이 떨어진다는 단점이 있고, 최대속도도 수십 Mbps를 넘기기 힘들어, 새롭게 대두되고 있는 광대역 서비스를 수용하기에는 적합하지 않다.

따라서 이를 만족시키기 위하여 해결책으로 제시되고 있는 것이 가입자를 광케이블로 연결하는 FTTH(Fiber to the home)방식이다. 광케이블을 연결하는 방식에도 여러 가지가 있는데, 향후 국내의 네트워크는 중계기로 수동소자를 사용하는 방식인 PON(Passive optical network)을 이용하는 방향으로 나아갈 것으로 예측된다.

본 논문은 PON 시스템의 광수신기에 사용되는 클럭 데이터 복원회로에 초점을 맞추고 있다. 2장에서는 PON 시스템에 대하여 설명하고, 기존의 클럭 데이터 복원회로에 발생하는 문제에 대해 살펴보았다. 3장에서는 새로운 구조의 클럭 데이터 복원회로를 제안하고, 이 회로의 설계에 대한 내용을 기술하였다. 4장에서는 설계된 회로의 동작을 시뮬레이션하고, 실제 제작된 칩의 동작을 검증하였으며, 이를 바탕으로 5장에서 결론을 맺었다.

제 2 장. 연구 배경

FTTH방식 중에서도 PON이 대두되고 있는 이유로는, 저렴한 설치비용과 유지비, 그리고 보수의 용이함을 들 수 있다. 이미 국내에서는 서비스 이용자로부터 수 km이내까지는 광케이블이 들어와 있고, 신규로 짓고 있는 주거단지에는 각 세대에 광케이블을 매설하고 있어, PON은 현재 상황에서 설치에 가장 적합한 형태로 볼 수 있다. 또한 수동소자를 사용하여 중계를 수행하므로 전력이 소모되지 않고, 따라서 능동소자에 비해 고장이 일어날 확률이 적다.

PON에서는 서비스 제공자에게서 이용자에게 데이터를 보내는 하향링크와 반대의 상향링크가 존재한다. 하향링크는 시분할 다중화방식을 사용하는 연속모드로 동작하고, 상향링크는 시분할 다중화 접속방식을 사용하는 버스트모드로 동작하며, 각 링크는 다른 주파수의 빛을 사용하여 같은 광섬유를 사용한다.

버스트 모드 광수신기에서는 빠른 시간 내에 데이터를 판정하는 기준전압을 생성하지 못하므로 듀티 싸이클 왜곡이 필연적으로 발생하게 되며, 이에 의해 타이밍 정보가 왜곡된다. 일반적으로 버스트 모드에서 쓰이는 개폐식 발진기를 이용한 클럭 데이터 복원회로에는 듀티 싸이클 왜곡이 큰 문제를 일으키게 된다.

이 장에서는 PON의 특성과 종류에 대하여 설명하고 버스트 모드 광수신기에서 듀티 싸이클 왜곡이 발생하는 이유를 살펴본다. 이후에 버스트 모드에서 사용하는 클럭 데이터 복원회로를 알아보고, 이중에 개폐식 발진기를 사용하는 방식에서 듀티 싸이클 왜곡이 나타날 경우의 문제점에 대해 기술하였다.

제 2-1 절. Passive optical network

그림 2-1은 PON 시스템의 구성을 나타낸다. 각 터미널은 공급자인 OLT(optical link terminal)와 가입자인 ONU(optical network unit) 또는 ONT(optical network terminal)로 구성되어 있다. ONT는 가입자에게 광케이블이 그대로 들어가는 터미널이고, ONU는 중계기를 거쳐서 기존의 xDSL(digital subscriber line) 시스템과도 연동할 수 있도록 하는 터미널이다. 공급자인 OLT에서 수동광중계소자(passive optical splitter)까지 하나의 광케이블로 연결되고, 여기에서 ONU/ONT들에게로 각각 하나의 광케이블을 연결하게 된다.

OLT에서 ONU/ONT로 데이터를 보내는 것을 하향링크(downstream link)라고 하고, 반대방향의 전송을 상향링크(upstream link)라고 한다. 하향링크와 상향링크는 파장 길이가 서로 다른 빛을 사용하여, 하나의 광케이블로 구현할 수 있다. 이러한 방식을 파장분할다중화(WDM : wavelength division multiplexing)이라고 한다. 하향링크는 시분할다중화(TDM : time division multiplexing)을 이용하여 공급자가 데이터를 일괄적으로 뿌려주고, 각 가입자는 이 데이터들 중에서 자신에게 할당된 시간에 도착하는 데이터만을 취하게 된다. 상향링크에서는, 각 가입자에게 시간을 할당하고, 할당된 시간에만 가입자가 공급자에게 데이터를 보낼 수 있는 시분할다중화접속(TDMA : time division multiple access)을 사용한다.

하향링크에서는 OLT에서 한꺼번에 여러 ONU/ONT로 데이터를 뿌려주지만, 상향링크에서는 각 ONU/ONT가 할당된 시간에 보내는 데이터를 하나의 OLT에서 받아야한다. 그러나 가운데의 수동광중계소자로부터 각 ONU/ONT까지의 채널은 각각 다르기 때문에, OLT가 전송받은 데이터의 크기나 타이밍 정보는 시간에 따라 각각 다르게 나타난다. 이렇게 매번 변화하는 데이터 특성에 하나의 수신기가 따라가야 하므로, 상향링크는 버스트 모드 링크로 동작하게 된다.

PON에서는 수동광중계소자를 이용하기 때문에 설치가 용이하고, 전력소모가 없으며 설치 후에도 고장이 일어날 확률이 낮다. 국내에는 이미 거의 모든 지역에 광케이블이 가입자 반경 수 km까지는 매설되어 있고, 최근에 지어지는 건물에는

각 사무실 또는 가정으로 광케이블을 깔고 있다.

이러한 PON 방식에도 여러 가지 표준이 존재한다. ITU-T와 FSAN에서는 622Mbps급의 ATM-PON을 표준으로 내놓았고, 현재 이를 기가비트급으로 속도를 올린 G-PON의 표준이 협의 중에 있다. IEEE에서는 이더넷방식을 사용하는 기가비트급의 E-PON을 내놓았고 2005년에 표준이 완성되었다. ATM-PON 방식은 기존에 전화국에서 사용하고 있는 ATM 방식을 기반으로, ATM 셀을 사용하므로 QoS(quality of service)가 보장되는 장점이 있고, 상향링크에서는 622Mbps, 하향링크에서는 1.25Gbps의 속도를 갖는다. G-PON은 속도를 더욱 빠르게 하겠다는 점 이외에는 ATM-PON의 특징을 모두 계승하고 있으며, 좀 더 다양한 서비스를 지원할 수 있도록 하고 있다. E-PON은 현재 사용되고 있는 기가비트급 이더넷의 물리층과 같은 특성을 가지므로, 기존의 이더넷 물리층 관련기술을 그대로 재사용할 수 있다.

따라서 현재 관심이 주목되는 두 가지 기술은 E-PON과 G-PON이다. 물론, 상위계층에서의 특성도 차이가 나겠지만, 본논문에서 초점을 맞추는 부분은 물리층의 특성이고, 그 중에서도 버스트모드를 사용하는 상향링크이다. E-PON에서는 버스트모드 전송시에 특성을 파악할 수 있는 구간이 충분히 길게 잡혀있어, 하드웨어의 부담이 그렇게 크지 않다. 또한 8b10b 코드를 사용하여, 데이터에서 클럭을 복원하기에 충분한 횡수의 천이가 일어난다. 따라서 연속모드에서 쓰이는 위상추적방식(phase tracking algorithm)의 클럭 데이터 복원회로를 사용하기도 한다. 하지만 G-PON에서는 전송특성을 빠른 시간 내에 파악해야 하고, 코드를 사용하지 않아, 데이터의 천이가 최대 72bit동안 일어나지 않아도 에러가 발생하지 않도록 해야한다. 곧, 기존의 클럭 데이터 복원회로로는 만족시키기 어려운 기준을 가질 것으로 예상된다. 그러나 결과적으로 전송되는 데이터가 하드웨어를 위해 부담해야 하는 부분이 줄어드는 것이므로, 실제로 전송되는 데이터의 효율은 G-PON이 E-PON보다 높다.

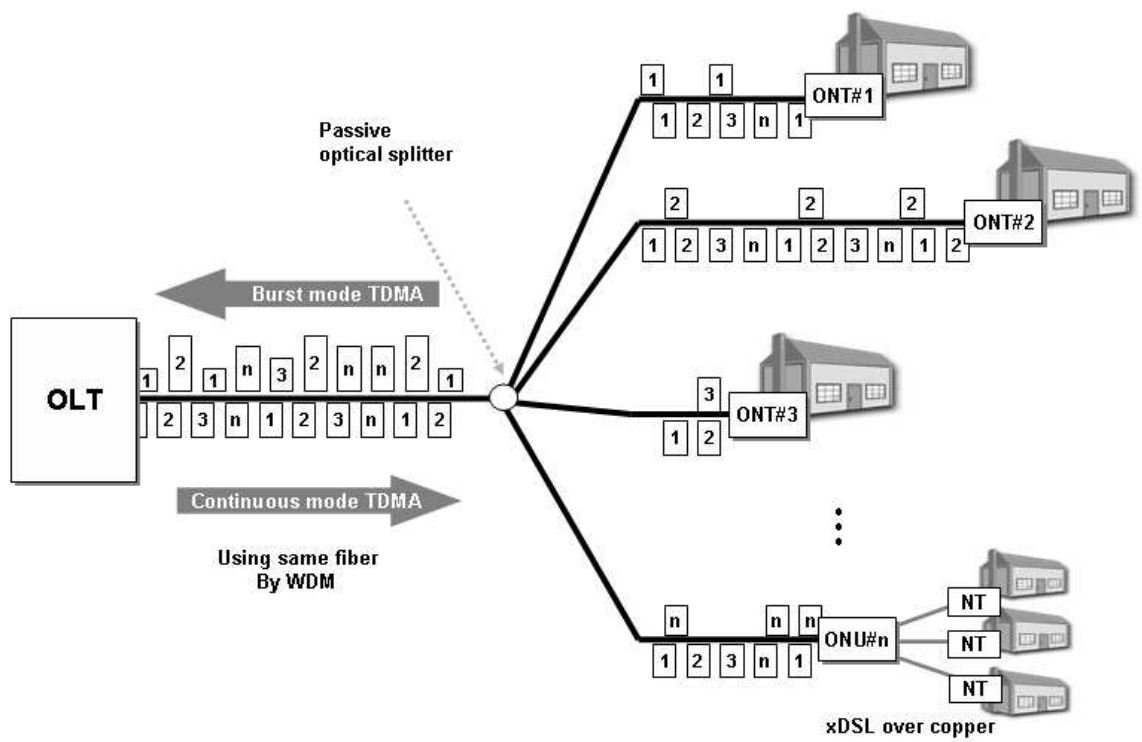


그림 2-1. PON 시스템의 구성

제 2-2 절.

버스트모드 광수신기에서 나타나는 듀티 싸이클 왜곡

NRZ 방식의 전송 시스템에서 듀티 싸이클은 다음과 같이 정의할 수 있다.

$$DutyCycle(\%) = \frac{HighBitLength}{2BitLength} \times 100$$

문제가 없는 경우에는 High 비트의 길이가 Low 비트의 길이와 같기 때문에, 듀티 싸이클은 50%의 값을 가진다. 하지만 High 비트의 길이와 Low 비트의 길이가 그림 2-2와 같이 항상 일정한 비율을 갖는다면 듀티 싸이클은 50%외의 값을 가지게 된다. 이와 같은 현상을 듀티 싸이클 왜곡이라고 한다. 그림에서도 알 수 있듯이 듀티 싸이클 왜곡이 일어나면 데이터의 Eye diagram에서 교차점이 아래쪽으로 내려오게 된다. 또한 데이터의 High 비트 길이가 항상 짧으므로 데이터를 샘플링하는 시간적 여유(timing margin)이 줄어든다.

일반적인 광수신기의 블록 다이어그램은 그림 2-3 와 같다[3]. 먼저 광신호가 광다이오드를 통하여 전류신호로 변환된다. 전류 상태의 신호는 취급하기 힘들기 때문에 다시 TIA(trans-impedance amplifier)를 이용하여 전압의 형태로 변환해준다. 이렇게 만들어진 전압 신호는 크기가 매우 작기 때문에 Limiting amp를 이용하여 디지털 신호로 High, Low를 판정한다. 이 때, 판정하기 위한 기준전압은 ATC(automatic threshold control) 블록에서 생성한다. 판정된 신호는 아직 타이밍 정보가 왜곡된 상태이기 때문에, 바로 사용할 수는 없다. 클럭 및 데이터 복원 회로는 이 신호에서 타이밍 정보를 추출하여, 데이터 비트의 중심에서 데이터를 취할 수 있는 클럭을 만들어내고, 이 클럭으로 데이터 비트를 정렬하여 사용한다.

일반적인 연속모드 광수신기에서는 LPF를 사용하여 ATC 블록을 쉽게 구현할 수 있고 거의 정확한 값의 기준전압을 얻을 수 있다. 하지만 버스트 모드에서 LPF(low pass filter)를 사용한다면, 기준전압을 찾아가는데도 상당한 시간이 걸리

고, 데이터가 수신되지 않는 동안 기준전압을 유지할 수도 없다. 게다가 앞서 기술한 PON과 같은 시스템에서는 매번 수신되는 데이터의 크기가 다르므로 기준전압이 매번 달라진다. 따라서 버스트 모드에서는 다른 방식으로 빠르게 기준전압을 찾아야 한다. 하지만 빠르게 기준전압을 찾는 대가로, 정확한 기준전압을 얻기가 힘들게 된다.

연속모드에서는 거의 정확한 기준전압을 얻을 수 있으므로 그림 2-4에서와 같이, Limiting amp를 통과한 데이터에 왜곡이 일어나지 않는다. 하지만 버스트 모드에서 정확한 기준전압을 찾지 못하면 그림 2-5와 같이 듀티 싸이클 왜곡이 일어난다.

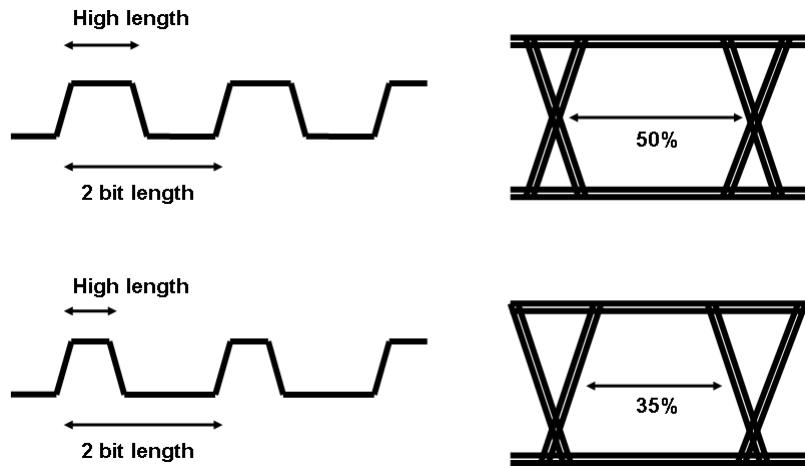


그림 2-2. 듀티 싸이클의 정의

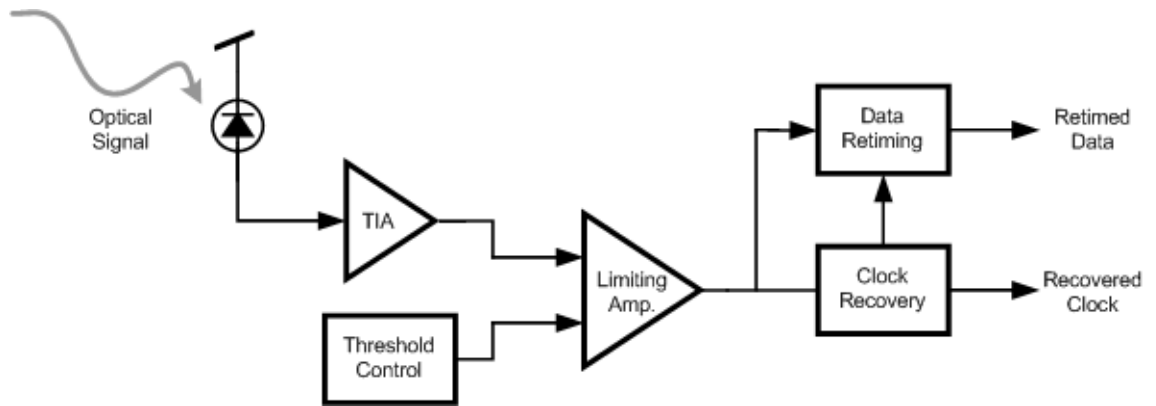


그림 2-3. 일반적인 광수신기의 블록도.

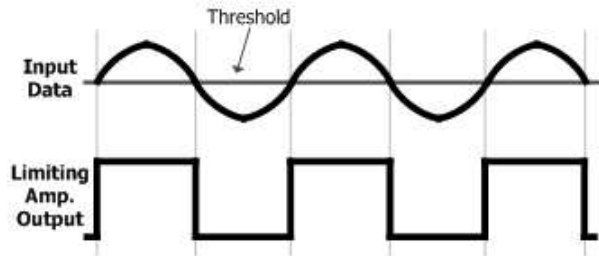


그림 2-4. 연속모드에서의 기준전압 생성

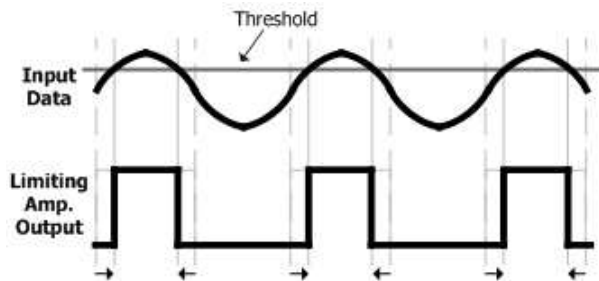


그림 2-5. 버스트모드에서의 기준전압 생성

제 2-3 절. 기존의 버스트 모드 클럭 데이터 복원 회로

버스트 모드에서는 빠른 시간 내에 데이터의 위상정보를 반영해야 한다. 일반적으로 사용되는 위상추적방식(phase tracking)의 클럭 데이터 복원 회로에서는 샘플링 지점이 데이터의 중심에 오는데 많은 시간이 필요하므로 버스트 모드에서 사용하기에는 적합하지 않다. 따라서 크게 두 가지 방식이 사용되는데, 하나는 오버샘플링한 데이터를 디지털 회로를 이용하여 처리하는 방식[5]이고, 다른 하나는 개폐발진기를 이용하여 데이터의 천이시점(transition point)에서 클럭을 정렬시키는 방식[4]이다.

제 2-3.1 절. 오버샘플링을 이용한 클럭 데이터 복원회로

그림 2-6은 오버샘플링을 이용한 클럭 데이터 복원회로의 블록도를 나타낸다. 이 회로의 동작은 그림 2-7과 같다. 먼저, 송신단에서 보내진 데이터는 처음과 같이 왜곡되지 않은 상태지만, 채널을 통해 수신된 데이터는 타이밍 정보가 왜곡된 상태이다. 이를 수신기측에서 다중위상클럭(multi-phase clock)을 이용하여 샘플링한다. 이 데이터 중에 인접한 두 개씩을 XOR 게이트에 인가하면, 그림과 같이 천이가 일어나는 부분에서의 게이트에서 1의 출력을 얻을 수 있다. 이와 같은 방식에서 사용되는 XOR 게이트의 수는 오버샘플링 횟수와 같고, 이들 중에서 일정한 시간동안 가장 많은 1의 출력을 얻은 것을 고른다. 이 XOR 게이트의 입력으로 사용되는 두 데이터 사이에서 데이터의 천이가 일어난다고 보면, 이 구간에서 가장 먼 곳에 있는 구간에 데이터 비트의 중심이 있을 것이라고 생각할 수 있다. 따라서 이곳의 데이터를 취한다.

이러한 클럭 데이터 복원회로는 완전히 디지털로 이루어지기 때문에, 구현하기가 편하고 전력소모가 적다는 장점이 있다. 또한 데이터가 들어오면 처리해서 그대로 내보내는 구조이기 때문에, 버스트모드에서도 사용가능하다. 하지만 데이터

천이가 일어나는 곳을 찾는 과정에서 많은 논리회로가 필요하고, 신뢰할 수 있을 만한 구간을 얻기 위해서는 오랜 시간 동안 샘플 데이터를 저장해야하므로 면적이 넓어지는 단점이 있다. 또한 데이터 비트의 중심을 찾을 수 있는 해상도가 제한된다는 단점도 있다.

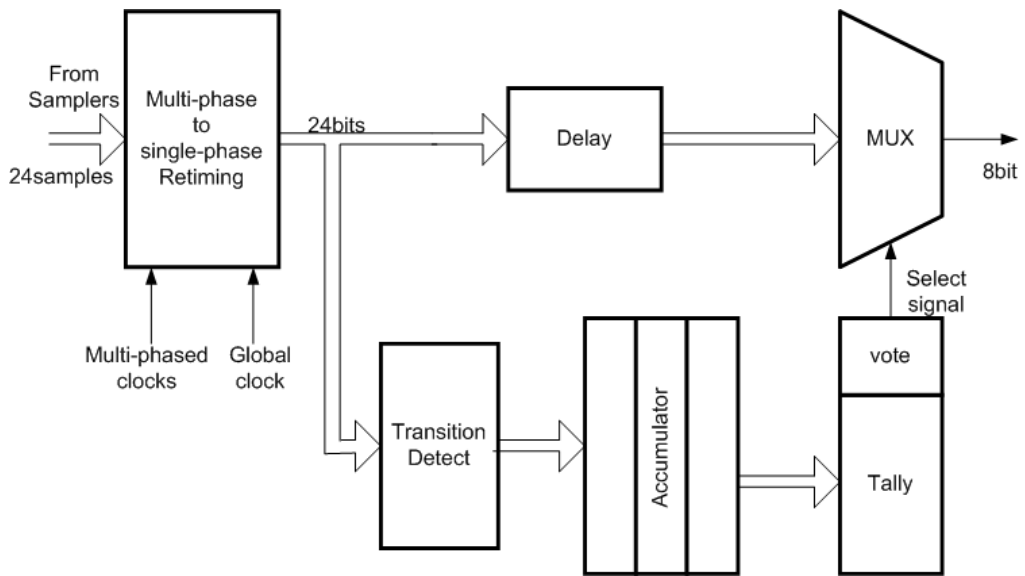


그림 2-6. 오버샘플링을 이용한 클럭 데이터 복원회로

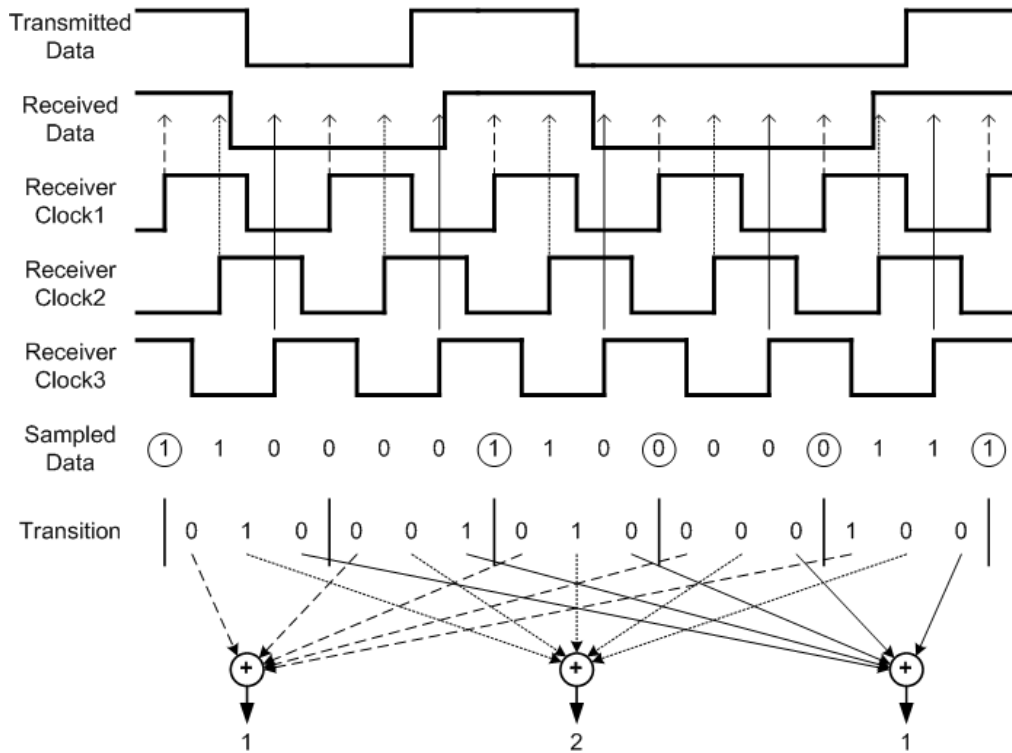


그림 2-7. 오버샘플링을 이용한 클럭 데이터 복원

제 2-3.2 절. 개폐발진기를 이용한 클럭 데이터 복원회로

개폐발진기는 그림 2-8과 같은 형태로 이루어지며, 홀수개의 인버터로 구성되는 일반적인 환형 발진기(Ring Oscillator)의 구조에 앤드 게이트(AND Gate)를 추가한 구조이다. 이 발진기는 인에이블 신호가 High일 때에는 발진하고, Low일 때에는 Low를 출력한다. 인에이블 신호가 Low로 지속되다가 High로 바뀐 후, 앤드게이트의 지연시간만큼이 지나면, 개폐발진기의 출력은 Low에서 High로 바뀐다. 이 시점에서 5개의 인버터와 AND 게이트의 지연시간이 지나면 출력은 다시 Low로 바뀌고, 다시 그만큼이 지나면 High로 바뀐다. 즉, 인에이블 신호가 High로 바뀌는 순간에 위상이 0도로 정렬되어 발진을 시작하며, 인에이블 신호의 상향엣지에 맞도록 개폐발진기의 출력도 상향엣지를 갖게 된다. 따라서 개폐발진기의 동작은 일종의 위상 초기화(Phase Reset)로 해석할 수 있다.

이러한 개폐발진기를 이용한 클럭 및 데이터 복원회로는 그림 2-9와 같이 구현할 수 있다. 두 개의 개폐발진기에는 인에이블 신호로 각각 반전 입력 신호와 입력 신호가 인가된다. 입력 데이터가 그대로 인가된 개폐발진기는 상향엣지에 정렬되어 발진을 시작하며, 데이터가 High인 동안 발진하고 데이터가 Low로 되면 발진을 멈춘다. 데이터가 반전 입력되는 개폐발진기는 원래 데이터의 하향엣지에 정렬되어 발진하며, 데이터가 Low인 동안 발진하다가 High의 데이터가 나오면 발진을 멈춘다. 따라서 두 개폐발진기의 출력은 그림 2-10과 같이 나타난다. 이 두 개폐발진기의 출력을 오어 게이트로 합치면 그림의 마지막 클럭과 같이 항상 발진하는 클럭을 복원해낼 수 있다.

아래에 추가된 제어 전압 생성기(Control voltage generator)는 위상동기회로(Phase Locking Loop, PLL) 구조로서, 두 개폐발진기가 지정된 주파수에서 동작할 수 있도록 하는 제어 전압(Control Voltage)을 제공한다. 세 개의 개폐발진기가 같은 특성을 갖는다고 가정할 때, 위상 동기 회로에 포함된 개폐발진기를 조절하는 전압을 다른 두 개폐발진기에 인가하면, 세 개폐발진기는 같은 주기로 발진하게 될 것이다.

도면에는 나타나 있지 않아도, 이 클럭은 입력 데이터에서 몇 개의 게이트를 거친 상태이므로, 입력 데이터보다는 위상이 느릴 것이다. 따라서 입력 데이터에도 똑같은 게이트 딜레이를 거치도록 하기 위해 딜레이 셀(Delay Cell)을 추가하여 위상이 정확히 맞는 클럭을 복원할 수 있다.

개폐발진기를 이용하는 구조는 간단한 블록으로 구성되므로 적은 면적을 차지 하며, 데이터가 들어오는 순간 클럭을 정렬하므로, 버스트모드에서 이용될 수 있다. 하지만 클럭이 데이터비트의 중심에 정렬되지 않고 상향엣지에 정렬되므로, 지터에 취약하다는 단점이 있다. 또한 개폐발진기 두개와 위상동기회로의 개폐발진기, 이 세 발진기의 주파수특성 불일치로 인해 데이터에 천이가 없을 경우 위상이 점점 밀리는 문제가 있다.

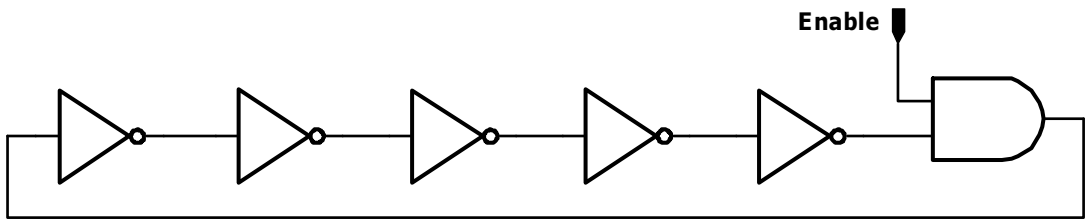


그림 2-8. 개폐발전기

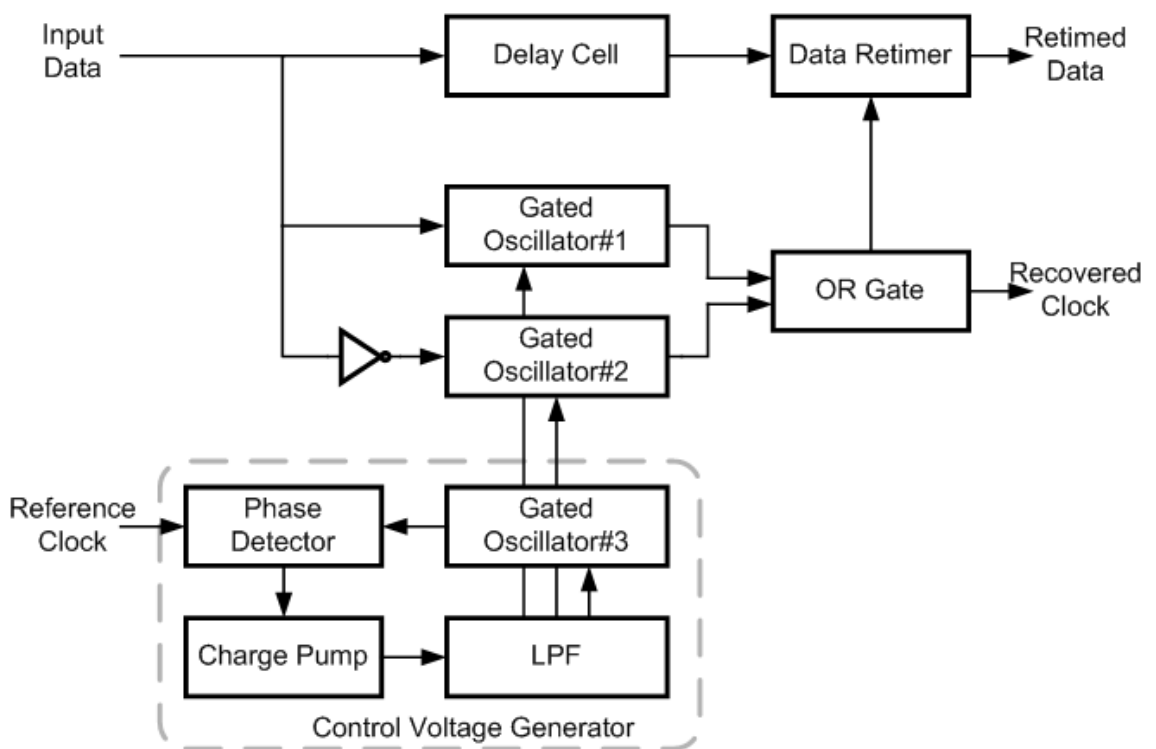


그림 2-9. 개폐발전기를 이용한 클럭 데이터 복원회로

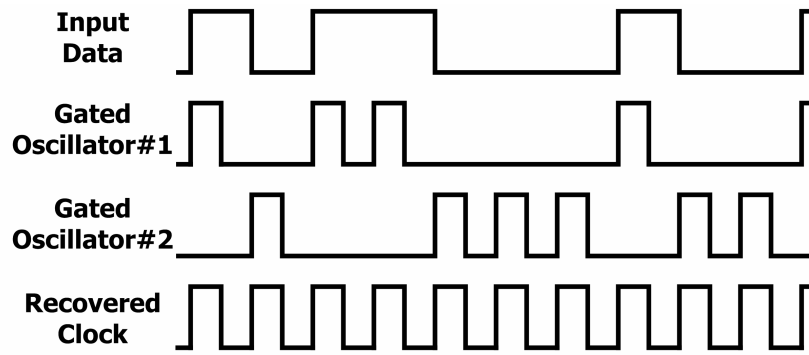


그림 2-10. 개폐발진기를 이용한 클럭 데이터 복원

제 2-3.3 절. 듀티 싸이클 왜곡이

개폐발진기를 이용한 클럭 데이터 복원회로에 미치는 영향

듀티 싸이클 왜곡이 일어나면 그림 2-11에서처럼 각 비트가 High일 때의 주기와 Low일 때의 주기가 달라진다. 따라서 개폐발진기가 발진해야 할 주기와 비트의 주기가 다르게 나타난다. 결국 그림에서와 같이, 복원된 클럭이 왜곡된 형태로 나타나게 되어 그대로 사용할 수 없으며, 이 클럭을 이용하여 샘플링한 데이터에 듀티 싸이클의 왜곡이 그대로 반영된다. 또한, 샘플링 지점이 비트의 가운데에 위치하지 못하므로 비트 에러율(Bit Error Rate, BER)이 나빠지게 된다.

버스트 모드 광수신기에서는 듀티 싸이클 왜곡이 필연적으로 일어나게 되므로 기존의 구조를 사용하려면 듀티 싸이클 왜곡을 보상해주는 회로가 추가되거나, 회로의 다른 부분이 좀 더 복잡하게 설계되어야 한다. 이러한 추가적인 노력은 결국 수신기의 단가를 올리는 요인이 되고, 통신망 자체의 설계를 어렵게 만드는 문제가 된다.

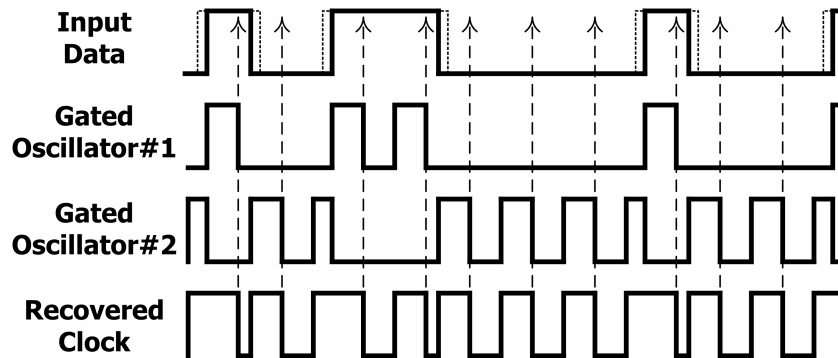


그림 2-11. 듀티 싸이클 왜곡에 의한 문제

제 3 장.

버스트 모드 클럭 데이터 복원회로의 설계

2장에서 설명한 것과 같이 버스트 모드 광수신기에서는 듀티싸이클 왜곡이 필연적으로 발생하므로, 개폐식 발진기를 사용하는 클럭 데이터 복원회로를 사용하기 힘들다. 이 장에서는 듀티싸이클 왜곡을 지터의 일종으로 해석해보고, 이 지터가 어떤 특성을 갖는지 살펴보았다. 그리고 이러한 특성을 갖는 지터를 제거할 수 있는 방법을 제안하고, 이를 회로적으로 구현하였다.

제 3-1 절. 새로운 구조의 도출

듀티 싸이클 왜곡은 타이밍정보 왜곡의 일종이기 때문에, 고주파의 지터로 해석할 수 있다. 그림 3-1은 이러한 지터를 나타낸다. 이러한 지터는 두 가지 특성을 갖는데, 하나는 데이터의 상향엣지에서는 양의 방향 지터가 발생하고, 하향엣지에서는 음의 방향 지터가 발생한다는 것이다. 곧, 양의 방향 지터와 음의 방향 지터가 번갈아가면서 나타난다. 다른 하나는 양의 방향이나 음의 방향이나 크기가 일정하게 나타난다는 점이다. 따라서 이 두 지터를 합치면 방향이 반대이고 크기가 같으므로 상쇄될 것이다.

개폐식발진기를 이용하는 클럭 데이터 복원회로에는 [4] 이외에도 리셋 신호를 이용하는 구조[6]가 있다. 이와 같은 구조에서는 신호가 천이할 때, 반주기길이의 리셋 신호가 발생되어, 이를 개폐식 발진기의 인가 신호로 사용한다. 그러면 이 발진기는 데이터가 천이할 때 반주기 동안 Low를 출력하다가, High를 출력하면서 발진을 시작할 것이다. 따라서 기본적인 구조와 마찬가지로 데이터가 천이할 때마다 클럭을 데이터의 엣지에 정렬할 수 있고, 클럭 데이터 복원회로에 필요한 개폐식 발진기는 하나이다.

이와 같은 구조를 조금 수정하여 그림 3-2, 3-3과 같이 각각 데이터의 상향엣

지와 하향엿지에 정렬되는 클럭을 만들 수 있다. 우리가 복원해내고자 하는 클럭은 각 그림에서 4번째로 나타나는 클럭이며, 이 클럭의 상향엿지는 데이터비트의 중심에 위치한다. 그림과 같이 데이터의 상향엿지에 정렬된 클럭은 항상 복원해내고자 하는 클럭에 비해 양의 위상오차를 가지면서 발진한다. 데이터의 하향엿지에 정렬된 클럭은 반대로 항상 음의 위상오차를 갖는다. 이 두 클럭을 수식으로 나타내면 다음과 같다.

$$\Theta_1 = \cos(\omega t + \theta_e) , \Theta_2 = \cos(\omega t - \theta_e)$$

Θ_1, Θ_2 는 각각 상향엿지, 하향엿지에 정렬되어 발진하는 클럭의 출력, ω 는 발진 주파수, θ_e 는 듀티사이클 왜곡에 의해 생기는 지터의 크기를 나타낸다. 이 두 클럭을, 위상의 평균값을 출력하는 반위상분할기에 입력하면 다음과 같은 결과를 얻는다.

$$\theta = \frac{\theta_1 + \theta_2}{2} = \frac{(\omega t + \theta_e) + (\omega t - \theta_e)}{2} = \omega t$$

듀티 사이클 왜곡에 의해 생기는 지터는 상쇄되어 수식에 나타나지 않는다. 이와 같은 과정을 통해, 듀티 사이클 왜곡에 영향을 받지 않고, 데이터 비트의 중심을 샘플링할 수 있는 클럭을 얻을 수 있다.

이러한 방법을 구현하기 위하여 그림 3-4와 같은 회로를 만들었다. 두개의 개폐발진기는 리셋 신호 발생기를 통해 각각 입력 데이터의 상향엿지와 하향엿지에 정렬된다. 그리고 이 두 발진기의 출력 위상은 반위상분할기에 의해 합쳐진다. 기본적인 구조에서와 마찬가지로 클럭이 만들어지기까지의 지연시간을 데이터에도 보상해주어야 하고, PLL을 이용하여 각 개폐발진기에 제어전압을 공급한다.

그림 3-5는 리셋신호 발생기를 나타낸다. [6]에서는 XOR 게이트 하나를 사용하여 데이터의 모든 천이에서 리셋신호가 발생하도록 했지만, 그림 3-5와 같은 리셋신호 발생기에서는 데이터의 상향엿지와 하향엿지에서 나타날 리셋신호를 나누

어 출력하게 된다. 이 출력을 그림 3-6에 나타내었다. 그림에서와 같이 이 리셋신호로 제어되는 개폐발전기는 각각 데이터의 상향엣지와 하향엣지에 정렬되어 발전하게 된다. 두 개폐발전기에서 출력되는 클럭은 반위상분할기에 인가되어, 그림 3-7에서와 같이 듀티 싸이클 왜곡이 일어나도 항상 데이터 비트의 중심에서 샘플링할 수 있는 클럭을 얻게 된다.

이와 같은 구조를 사용해서 얻을 수 있는 추가적인 장점으로는 지터 제거 기능을 들 수 있다. [4], [6]에서, 클럭은 항상 데이터의 천이시마다 데이터의 엣지에 바로 정렬된다. 즉, 지터가 들어오면 그대로 출력에 반영된다. 듀티 싸이클 왜곡도 일종의 지터로 생각할 수 있고, 마찬가지로 출력에 듀티 싸이클의 왜곡이 그대로 나타난다. 하지만 이 구조에서는 한 번에 하나의 발전기만을 데이터 엣지에 정렬하므로, 지터를 따라가는 성질을 반으로 줄일 수 있다.

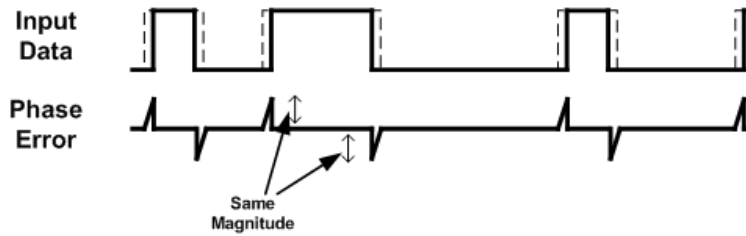


그림 3-1. 듀티싸이클 왜곡의 특성

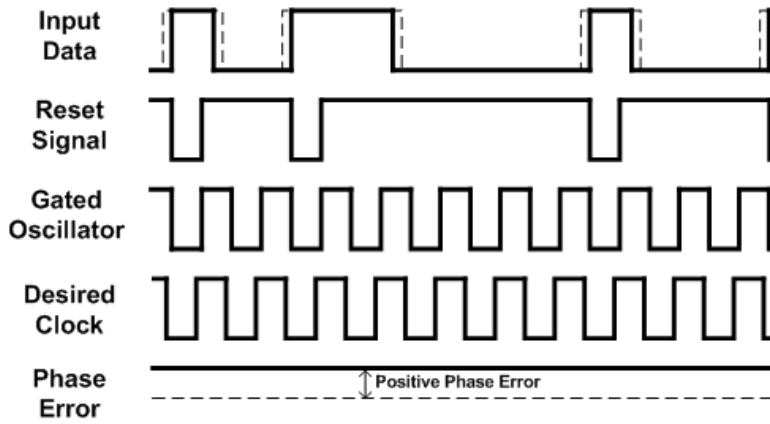


그림 3-2. 상향엿지에 정렬된 클럭

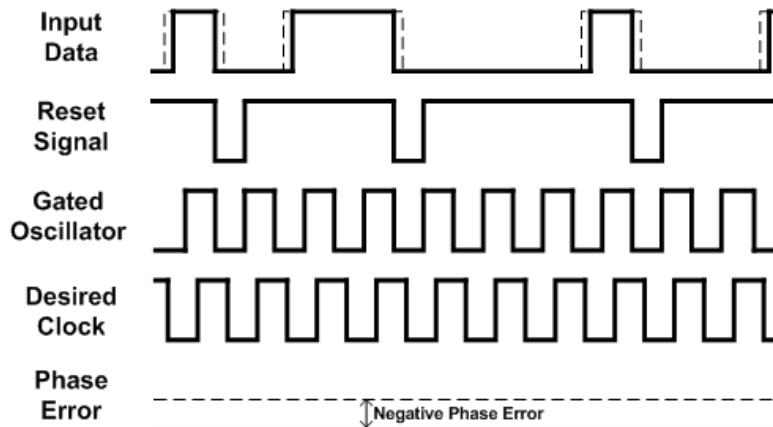


그림 3-3. 하향엿지에 정렬된 클럭

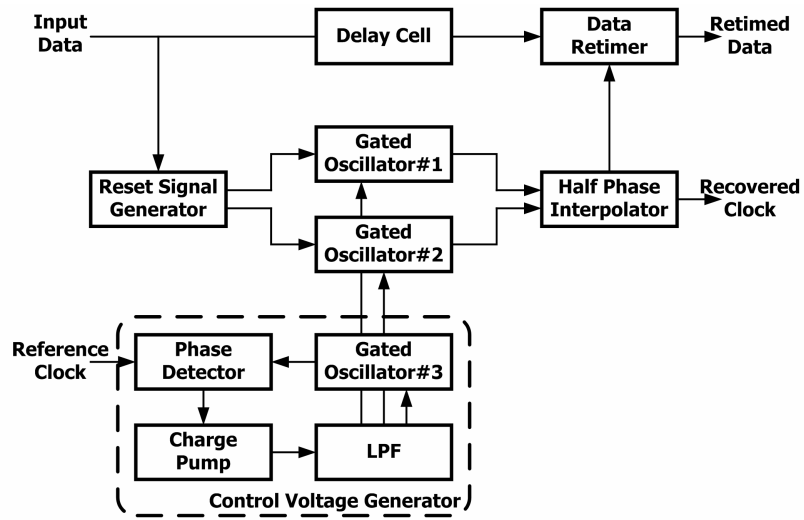


그림 3-4. 제안된 클럭 데이터 복원회로의 블록도

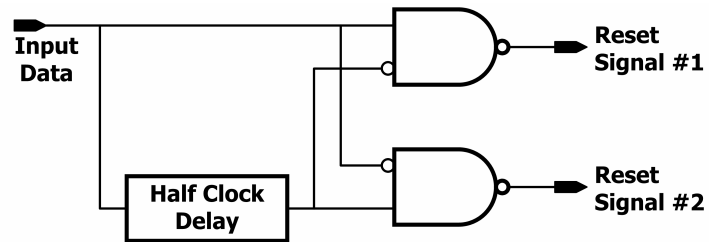


그림 3-5. 리셋신호 발생기의 구조

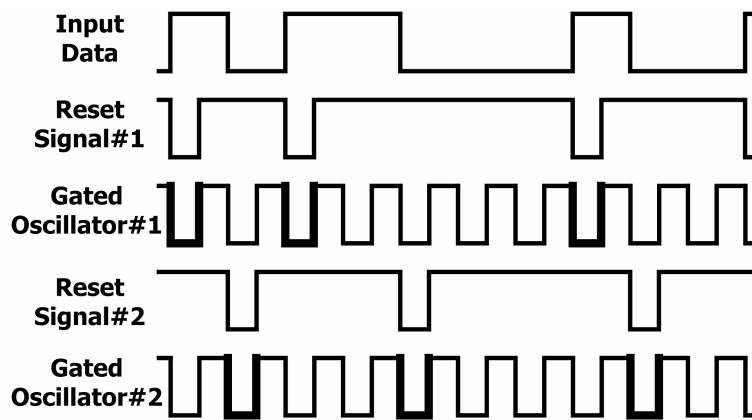


그림 3-6. 리셋신호와 이에 정렬되는 클럭

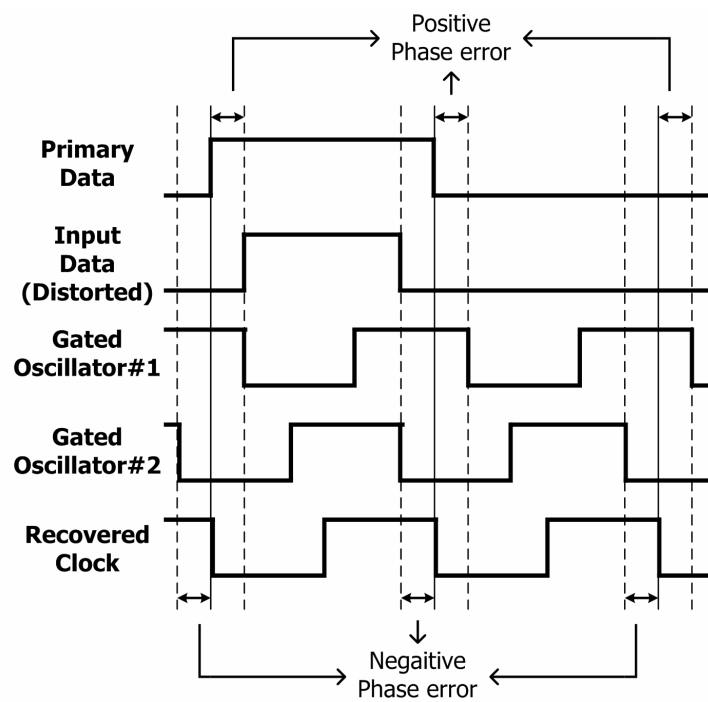


그림 3-7. 최종적으로 복원되는 클럭

제 3-2 절. 클럭 데이터 복원회로 각 블록의 설계

제 3-2.1 절. 바이어스 회로의 설계

바이어스 회로는 항상 상위 레벨에서는 나타나지 않지만, 회로의 동작에 가장 큰 영향을 미치는 블록이다. 바이어스 전위가 흔들리면, 모든 블록에서의 전류량이 변하고, 이는 곧 신호의 진동 크기(signal swing magnitude)를 불안정하게 만든다. 또한 데이터 천이 지연시간을 바꾸게 되므로, 타이밍 정보에 왜곡을 주어 일종의 지터로 나타난다. 바이어스 전위에 영향을 미치는 요소로는, 외부에서 공급되는 전원전압에 포함되는 잡음과, 기타 디지털 블록에서 만들어지는 잡음과 같은 “잡음 성분”과 공정이나 온도, 전원전압의 크기 등, 동작환경의 다양성에서 기인하는 “환경 변수”를 들 수 있다. 따라서 바이어스 회로는 위와 같은 요소에도 항상 일정한 전류 또는 전압을 유지할 수 있어야 한다.

그림 3-8은 일반적으로 기준 전류원에 사용되는 Boot strapped 기준 전류원의 회로도이다. 그림에서 nbias 포트는 NMOS 트랜지스터를 이용하는 전류원의 게이트 바이어스로 사용되고, pbias 포트는 PMOS 트랜지스터를 이용하는 전류원의 게이트 바이어스로 사용된다. 이 회로는 이상적으로, 전원전압의 영향을 받지 않는다는 장점이 있으며, 저항을 잘 조정하면 온도에 대한 영향을 줄일 수 있다[7]. 하지만 공정변수에 의한 전류의 오차가 크게 나타나 흐르는 전류의 양이 변하며, 부하로 사용될 트랜지스터의 전류에 대한 특성도 바뀌므로, 공정의 변화에 따라 신호의 진동 크기가 달라진다.

차동 논리 게이트(differential logic gate)를 사용하는 경우, 신호의 진동이 필요한 만큼의 크기를 갖지 못하면 오류를 발생하게 되므로 회로 전체의 성능을 보장할 수 없게 된다. 따라서 신호의 진동 크기를 보장하기 위해서 그림 3-9와 같이 피드백을 이용하는 전류원[8]을 사용한다. 이 회로는 크게 세 부분으로 나눌 수 있는데, OTA와 차동 논리 회로의 반복제(half-replica)회로, 전류 버퍼이다. 차동 논리 회로의 반복제 회로는, 기본적인 차동 논리 회로에서 입력이 들어올 때 한쪽만 켜지는 것을 따라 만든 것이다. M1은 게이트의 바이어스 전류원이고, M2는 High

의 입력이 들어온 쪽의 입력 트랜지스터로 vdd가 인가된다. M3, M4는 이 설계에서 사용하는 논리 게이트의 부하(load)이다. 출력 노드로 생각할 수 있는 곳은 M3, M4와 M2의 드레인이 만난 노드이다. 이 노드를 OTA의 음의 입력으로 인가하고, 양의 입력에는 차동 논리 게이트가 사용할 신호의 진동에서 Low 값의 전위를 인가한다. 그리고 OTA의 출력을 전류원에 인가하면, 회로의 피드백에 의해서 출력 노드의 전위와 OTA 양의 입력에 인가한 전위가 같아지게 될 것이다. 곧, 신호가 항상 일정한 범위로 진동할 수 있도록 흘리는 전류를 조정하는 전류원을 얻을 수 있다. 단, 피드백을 이용하므로 충분한 위상 여유(phase margin)을 보장하지 않으면, 출력이 불안정하게 될 수 있다. 따라서 OTA의 출력단에 캐패시터를 추가하여 OTA의 대역폭을 최대한 줄여준다. 이렇게 얻어진 전류는 M5~M8의 전류 버퍼를 통해 출력되는데, 이는 출력노드를 통해 노이즈가 역으로 들어오는 것을 방지하기 위함이다.

OTA 또한 차동회로로 이루어지기 때문에 마찬가지로 전류원이 필요하다. 이 전류원의 출력전류가 공정의 특성에 따라 변하더라도, OTA의 이득이 달라져 정적인 오차가 조금 나타날 뿐이므로 크게 문제가 되지 않는다. 하지만, 전원전압이나 온도에 의한 영향으로 OTA의 이득이 동적으로 변하는 것은 문제의 소지가 되므로, 여기에 앞서 언급했던 Boot strapped 전류원을 이용하였다.

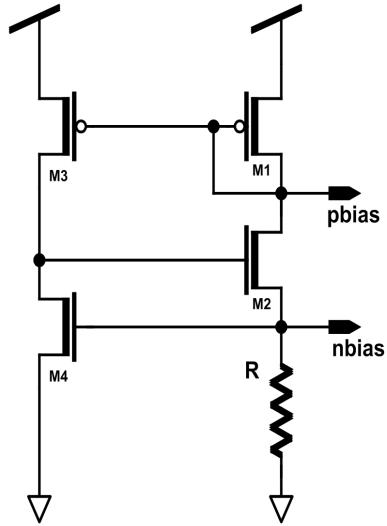


그림 3-8. Boot strapped 기준 전류원

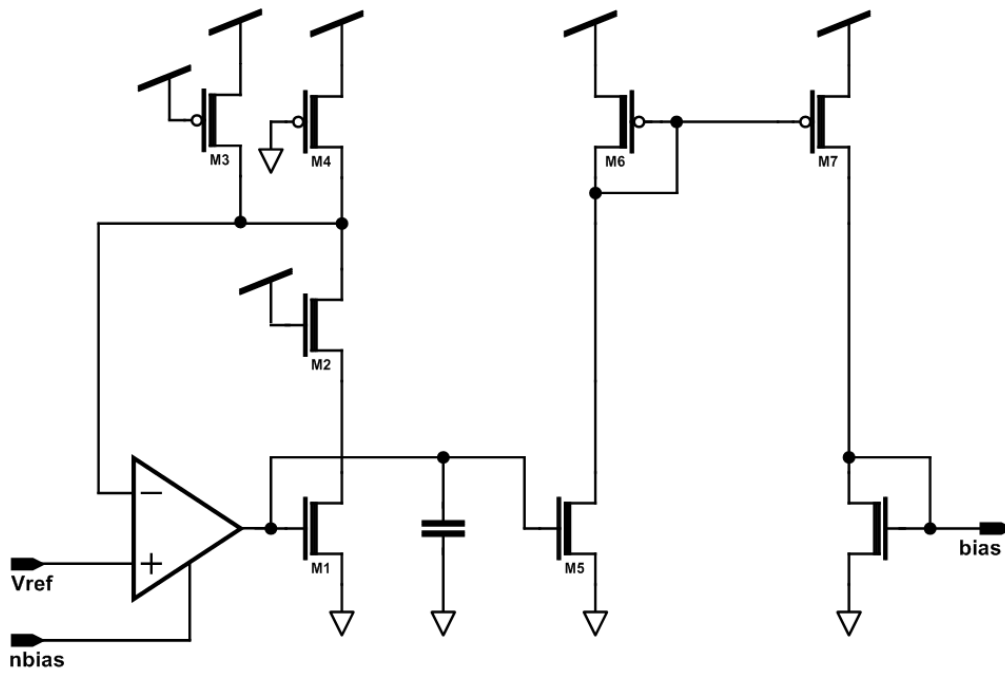


그림 3-9. 피드백을 이용한 기준 전류원

제 3-2.2 절. 논리 게이트의 설계

논리회로에서 가장 기본적인 구조인 차동 인버터는 그림 3-10에 나타난 간단한 차동증폭기의 형태를 갖는다. M1은 입력 트랜지스터가 열리는 쪽으로 전류를 흘려주기 위한 전류원이다. M2, M3은 입력을 받는 트랜지스터이고, M4, M5와 M6, M7의 쌍은 M1에서 흘려주는 전류에 의해 전압을 나타내는 부하 트랜지스터이다. 부하 트랜지스터의 사이즈를 결정하기 위해서, 일단 차동회로에 흐르게 될 전류의 크기를 1mA로 잡았다. 그리고 평균적인 공정에 의해 나오는 TT 공정변수 하에서, 부하에 걸리는 전압의 양이 1V의 진폭을 갖도록 설계하였다. 여기에 앞서 설명했던 바이어스 회로를 사용하면, TT에서는 1mA의 전류를 흘리지만 SS나 FF의 경우엔 조금 다른 값의 전류를 흘리게 된다. 결과적으로는 어느 공정에서나 1V의 진폭을 갖는 부하를 만들 수 있고, 이때 차동회로에서 사용되는 전류의 양은 1mA 정도임을 예상할 수 있다.

차동구조에서는 양의 포트와 음의 포트를 바꾸기만 하면 논리값이 반전되기 때문에, 실제로는 인버터가 큰 의미를 갖지 못한다. 하지만 차동인버터는 일종의 증폭기로 생각할 수 있으므로, 이득이 상대적으로 작은 논리게이트를 통과하면서 약간 왜곡된 데이터를 충분히 포화시키는 역할을 한다. 따라서 차동인버터는 차동구조의 버퍼라 부르기도 한다.

차동구조의 논리게이트는 그림 3-11과 같이 구현할 수 있다. M1은 전류원이고, M2~M7은 게이트의 특성을 나타내는 형태로 구성된다. 여기서 M2, M3, M4, M6만으로도 논리게이트의 특성을 나타낼 수 있다. 하지만 A, B의 입력이 같은 게이트-소스 전압을 겪도록 M4, M6의 쌍과 M5, M7을 대칭 형태로 구성해주었다. M8, M9와 M10, M11의 쌍은 부하이다. 이와 같은 게이트는 NAND로서 동작한다. 앞서 언급했듯이 차동구조에서는 간단하게 논리값을 반전할 수 있으므로, NAND 게이트를 이용해서 AND, OR, NOR 게이트를 만들 수 있다.

마지막으로 필요한 논리게이트는 래치(latch)이다. 그림 3-12은 리셋기능을 갖는 차동구조의 래치를 나타낸다. M1은 전류원이고, M2와 M3은 리셋을 입력으로

전류의 방향을 조정한다. 리셋신호가 High이면 M10, M11을 이용해 출력값을 지정할 수 있다. 리셋이 Low인 상태이면 다시 M4와 M5가 클럭을 입력으로 전류의 방향을 조정한다. 클럭보다 리셋이 먼저 전류의 방향을 조정하므로 리셋기능은 비동기식이다. 클럭이 high이면, M6, M7의 트랜지스터에 의해, 출력은 입력 데이터를 쫓아가게 된다. 클럭이 Low이면, M8, M9의 트랜지스터는 서로의 피드백에 의해, 내보내고 있던 출력 데이터의 값을 유지한다.

레치는 D-플립플롭을 만드는데 사용되고, D-플립플롭은 클럭 데이터 복원회로에서 데이터를 샘플링하거나 위상동기회로에서 위상주파수탐색기 또는 주파수분주기를 만드는데 쓰인다. 여기서 리셋기능은 위상주파수 탐색기에서만 필요로 하므로, 리셋기능을 구현하는데 쓰이는 M2, M3, M10, M11을 빼고 레치를 구현할 수도 있다. 이 경우에는 M4, M5의 소스를 M1의 드레인에 연결하게 된다.

이렇게 구현한 차동 논리 게이트를 이용해 AND로서 동작하게 한 시뮬레이션을 그림 3-13에 나타내었다. 또한 만들어진 레치 두개로 이루어지는 Positive edge triggered D-Flipflop의 동작은 그림 3-14와 같다.

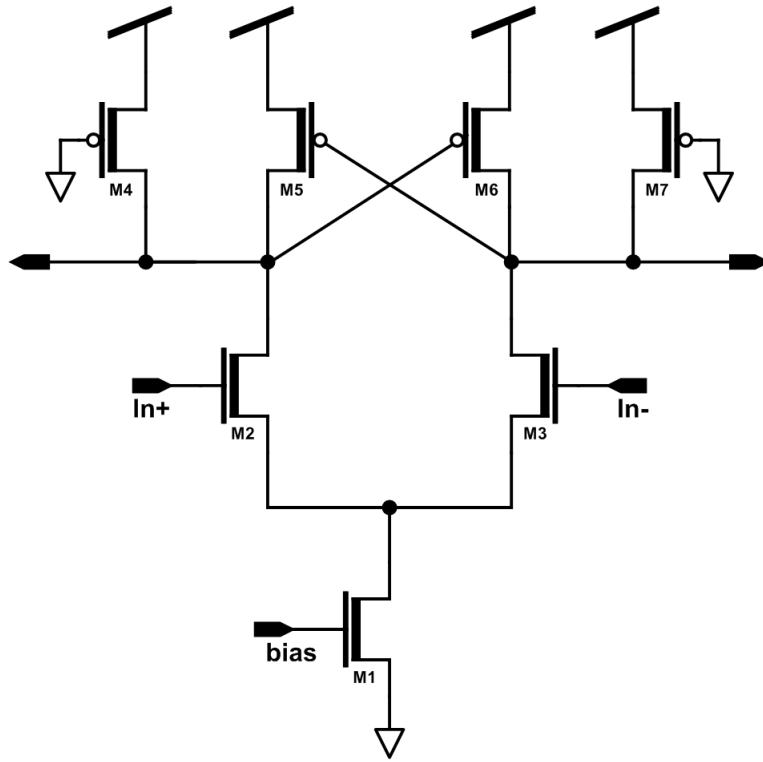


그림 3-10. 차동 인버터

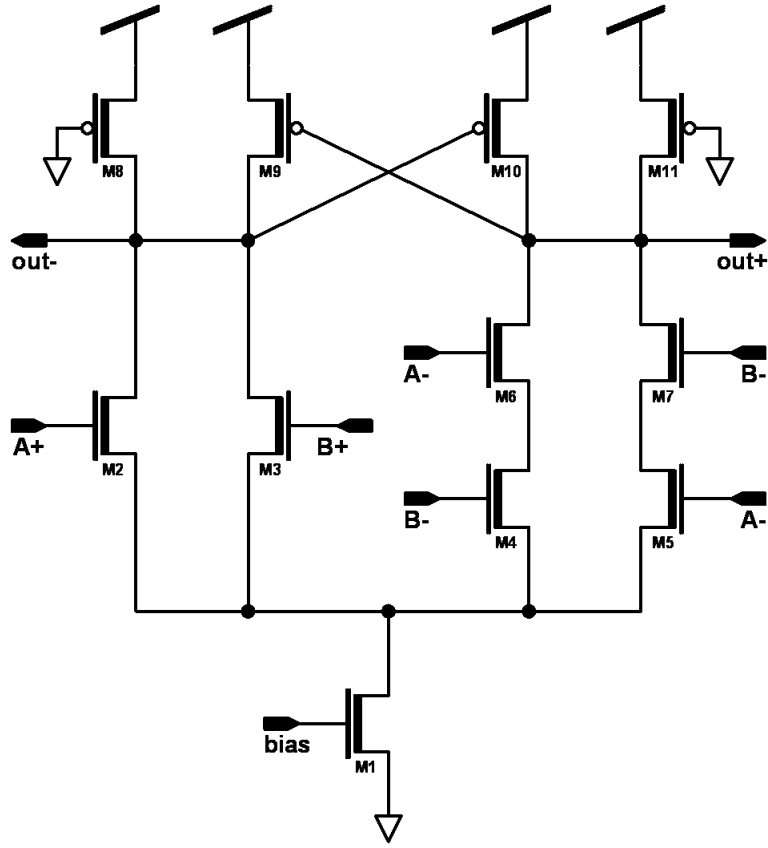


그림 3-11. 차동 논리 게이트

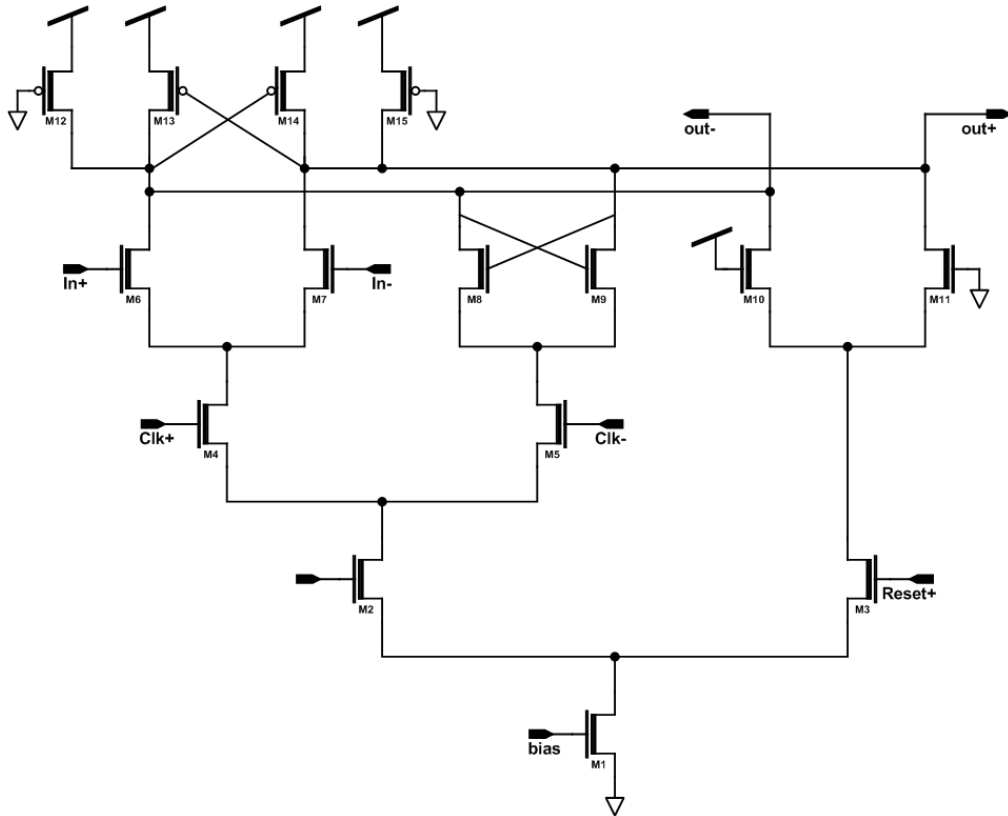


그림 3-12. 리셋 기능을 가진 차동 래치

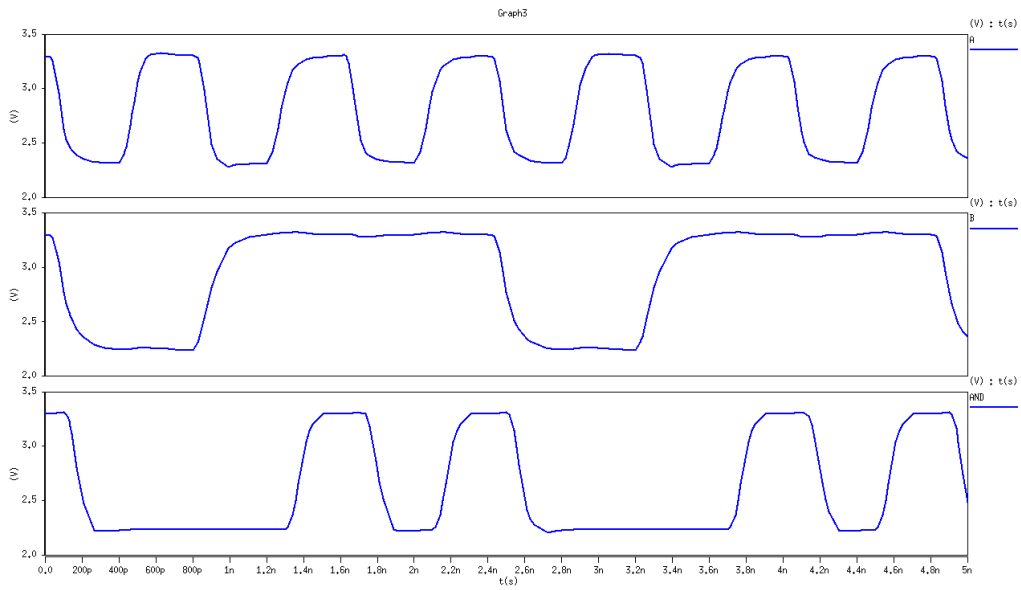


그림 3-13. 차동 논리 게이트의 AND로서의 동작

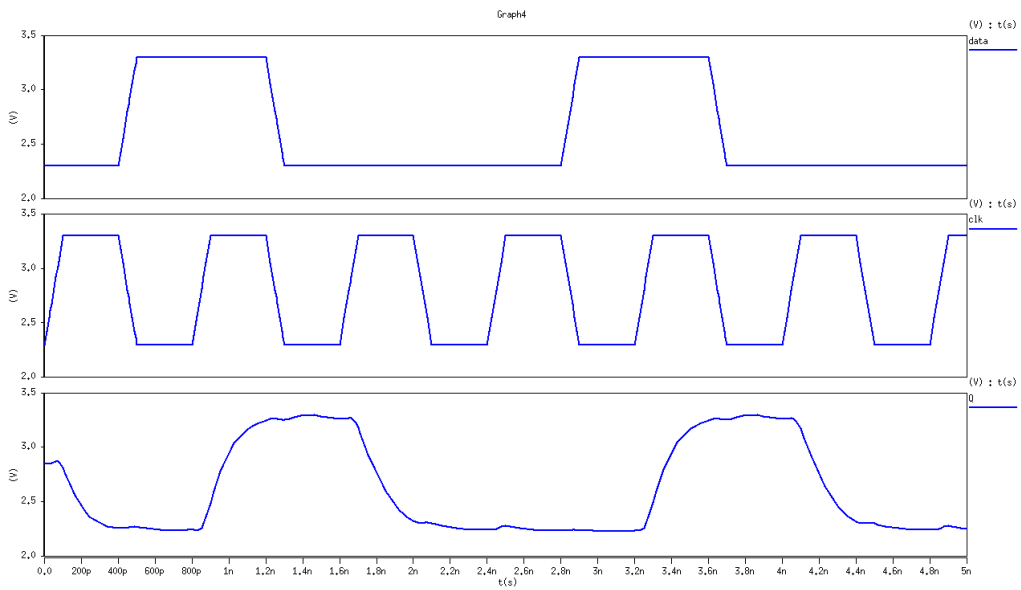


그림 3-14. 래치를 이용해 만든 D-flipflop의 동작 시뮬레이션

제 3-2.3 절. 개폐 발진기의 설계

개폐발진기는 그림 3-15와 같이 6단으로 구성되었다. 4개의 전압제어발진기 지연셀은 제어전압인 V_{con} 에 의해 발진주파수를 조절하며, 뒤에 연결된 NAND 게이트는 발진여부를 제어하게 된다. 이 설계에서는 논리게이트의 이득이 충분치 않아 파형이 왜곡되는 것을 막기 위해, 게이트 뒤에 인버터를 하나 추가하였다. 이 발진기의 출력은 마찬가지로 인버터를 버퍼로 삼아 외부로 전달된다. 전압제어발진기 각 단에 사용된 전압제어지연셀(voltage controlled delay cell)은 그림 3-16과 같은 구조로서, 제어 전압인 con 에 의해 지연시간을 제어한다.

제어전압으로 조정되는 것은 M4, M9의 PMOS 부하이다. 제어전압에 따라 M4, M9가 갖는 저항값을 바꾸어, 출력 노드의 시상수를 조정할 수 있다. 곧, 게이트 딜레이를 조정함으로써 주파수를 조정한다.

그림 3-17는 설계된 개폐발진기에서, 제어 전압의 변화에 따른 발진 주파수의 변화를 시뮬레이션한 것이다. 사용된 전압제어지연셀에서는 PMOS 부하를 사용하고 있으므로, PMOS의 사용범위인 0~2.4V에서 주파수를 조정하는 것을 볼 수 있다. 전 범위의 제어 전압에 대해서 발진하고 TT, FF, SS의 공정 변화에 대해 1.25GHz에서 발진할 수 있다. 또한 TT corner, 1.25GHz 주변에서의 VCO gain은 약 875.9MHz/V 이다.

Enable 신호를 이용한 개폐발진기의 발진 제어를 그림 3-18과 같이 시뮬레이션하였다. Enable 신호가 Low로 떨어지면 발진을 멈추고 즉시 출력을 0으로 내보내며, 다시 High로 올라가는 순간부터 발진을 시작하는 것을 볼 수 있다. 그림 3-19와 같이 발진을 시작하는 위상은 0도이며, 그에 소요되는 게이트 지연 시간은 약 117ps로 나타났다.

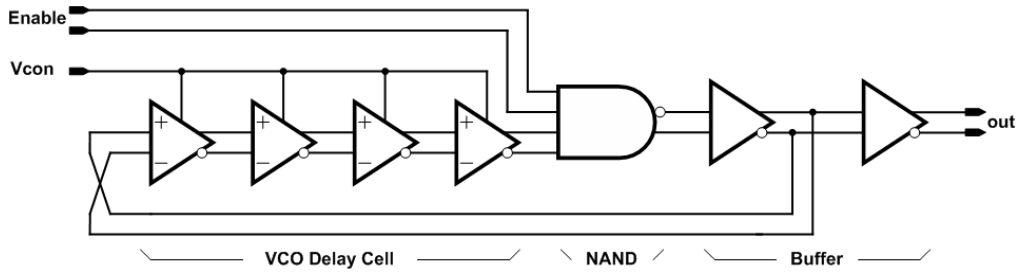


그림 3-15. 설계된 개폐발전기의 구조

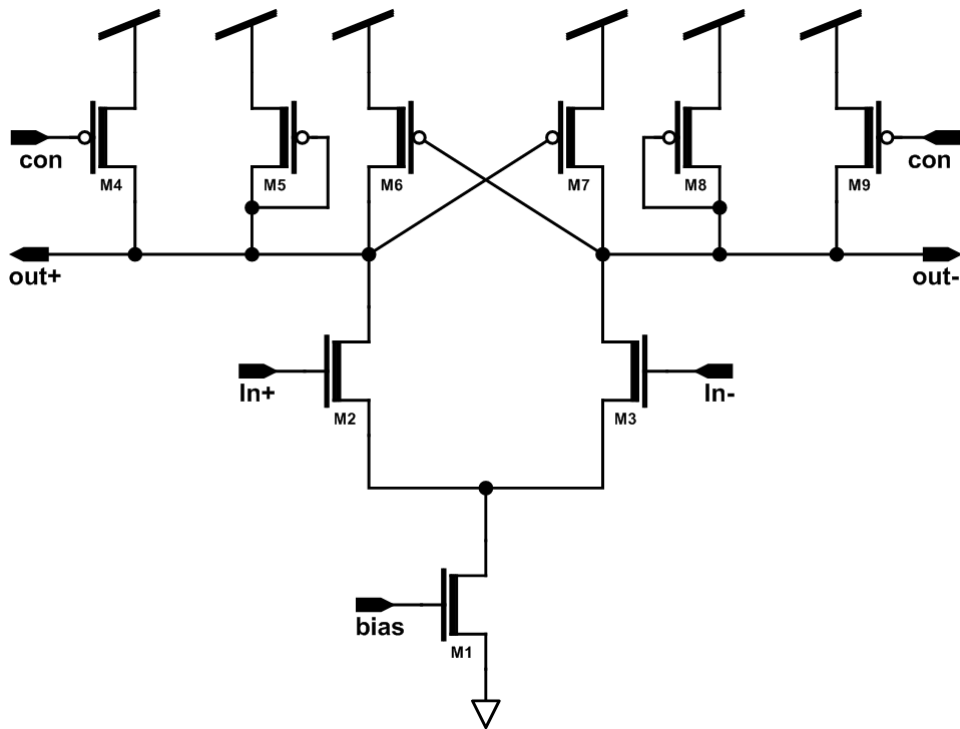


그림 3-16. 설계된 전압제어지연셀의 구조

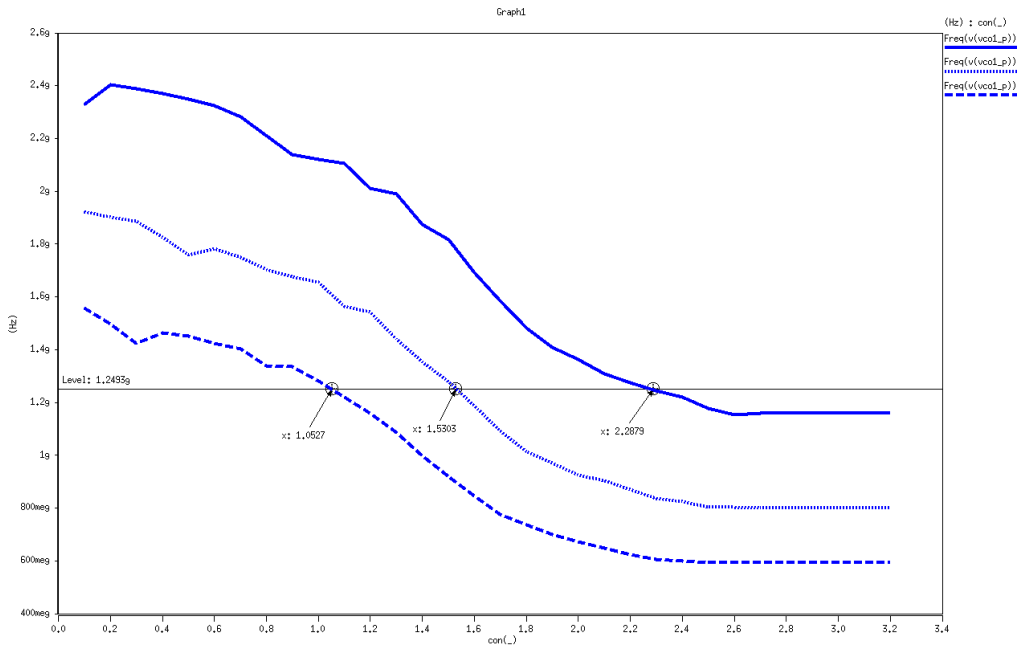


그림 3-17. 설계된 전압제어발진기의 특성곡선

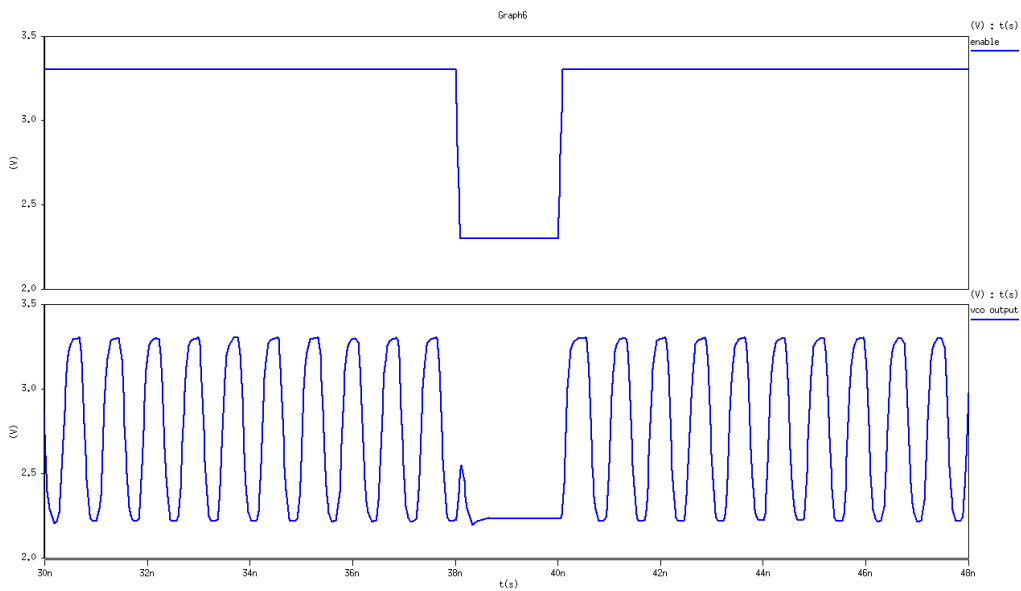


그림 3-18. enable 신호를 이용한 발진의 제어

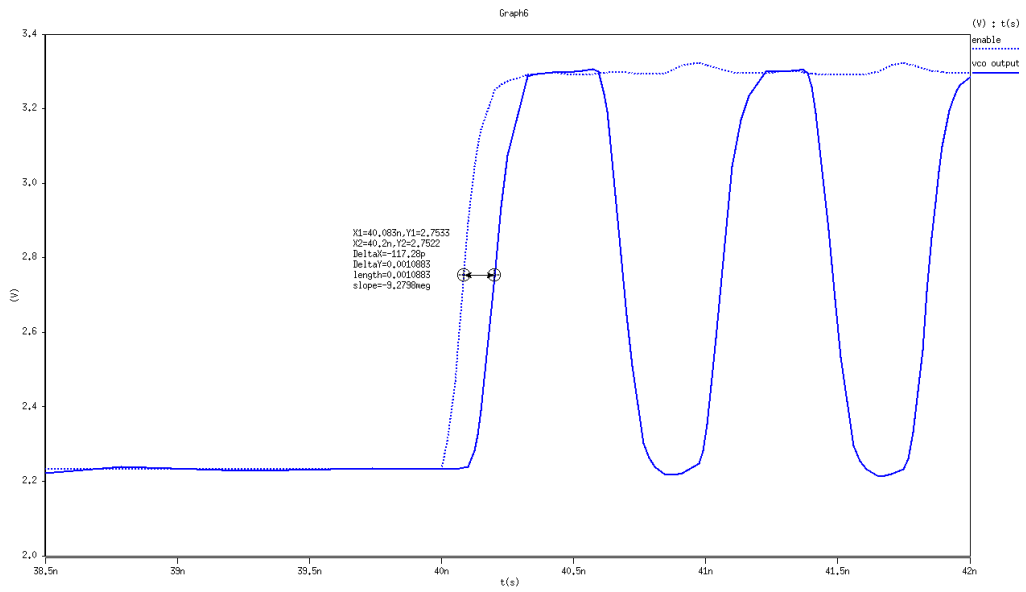


그림 3-19. 위상 재정렬에 소요되는 시간

제 3-2.4 절. 반 클럭 지연회로의 설계

리셋 신호를 만들기 위해서는 데이터를 반 클럭 지연시켜야 한다. 일반적으로 논의 되는 지연회로는 데이터를 그대로 지연시키는데 목적이 있기 때문에 구현에 어려움이 있다. 하지만 여기서 사용되는 지연회로는 데이터의 천이시점 정보만을 요하기 때문에 그림 3-20과 같이 구현할 수 있다.

그림에서 볼 수 있듯이 데이터 지연회로는 앞에서 언급했던 개폐발진기에서 피드백루프를 제거한 형태로 구현할 수 있다. 이 회로에 개폐발진기에 인가하는 것과 같은 제어전압을 인가하면, 전압제어지연셀들은 개폐발진기에 사용되는 지연셀과 같은 게이트 지연을 갖게 된다. 그리고 나머지 게이트들도 개폐발진기에 사용되는 것과 동일하므로 같은 게이트 지연을 갖는다. 개폐발진기에서 발진이 일어나는 주기는 총 게이트 지연의 두 배이므로, 그림의 회로를 이용하여 반 클럭의 지연을 얻을 수 있다.

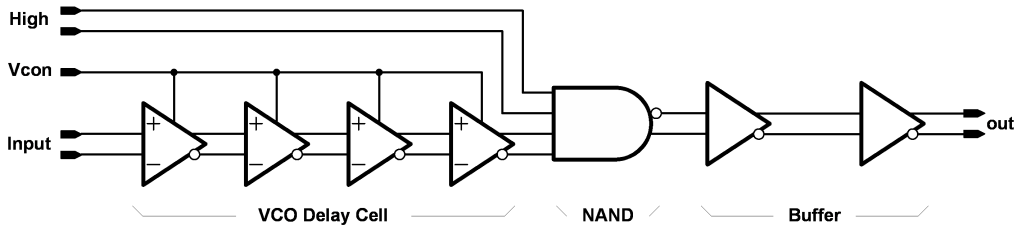


그림 3-20. 반 클럭 지연회로

제 3-2.5 절. 반 위상 분할기의 설계

그림 3-21은 반 위상 분할기의 구조이다. 반 위상 분할기는 입력되는 두 클럭의 중간 위상을 갖는 클럭을 출력하는 회로로서, 두 쌍의 차동 트랜지스터로 이루어진다. 이 회로는 두 쌍의 차동 트랜지스터 신호의 전류를 더함으로써 위상을 분할하며, 그 동작은 그림 3-22과 같다. 따라서, 그림에서 위의 두 클럭을 합친 것이 아래의 출력과 같다. 클럭이 데이터를 가져오는 시점(Data Sampling Point)은 영교차점(Zero Crossing Point)이므로, 클럭의 위상을 비교하는 위치로 영교차점을 표시하였다. 세로 점선으로 나타낸 부분은 각 클럭의 영교차점이고, 세로 실선으로 나타낸 부분은 반 위상 분할기 출력의 영교차점이다.

그림 3-22의 (a)는 두 클럭이 위상차가 없는 경우로서, 이 경우에는 두 클럭의 합이 그대로 원래의 클럭과 같다. (b)는 약간의 위상차가 있는 경우로, 출력은 한 클럭의 상승시점부터 작은 기울기로 상승하다가, 두 클럭이 모두 상승하게 되면 두배의 기울기를 가지며 상승한다. 그리고 한쪽이 상승을 끝내면 다시 작은 기울기로 상승하고 두 클럭이 다 상승을 끝내면 출력도 상승을 끝내게 된다. 결과적으로, 도면에서와 같이 출력의 영교차점은 두 클럭이 갖는 영교차점의 가운데에 나타난다. (c)는 반 위상 분할기가 분할할 수 있는 최대의 위상차이다. 클럭의 상향 또는 하향 지연 시간 이상의 위상차가 나타나면 출력의 중간에 평평한 부분이 생기므로 위상 분할이 제대로 이루어지지 않는다.

하지만 반 위상 분할기의 입력단에서도 기생 캐패시턴스가 존재하기 때문에, 출력되는 클럭은 반 위상보다 조금 뒤로 밀려서 나타난다. 따라서 이런 지연시간을 보상해주기 위해서, 일반적으로는 3-23과 같이 클럭들도 버퍼를 통과하도록 한다. 이 설계에서는 다른 클럭들이 아니라 데이터와의 타이밍을 맞추어야하므로, 데이터의 지연회로에도 더미(dummy)의 반위상분할기를 추가하여 이를 보상해줄도록 한다.

이렇게 구현한 반위상 분할기는 3-24와 같이 시뮬레이션을 통해 동작을 검증하였다. 버퍼를 통과한 출력들은 각각 42ps, 39ps의 간격을 갖고 있다.

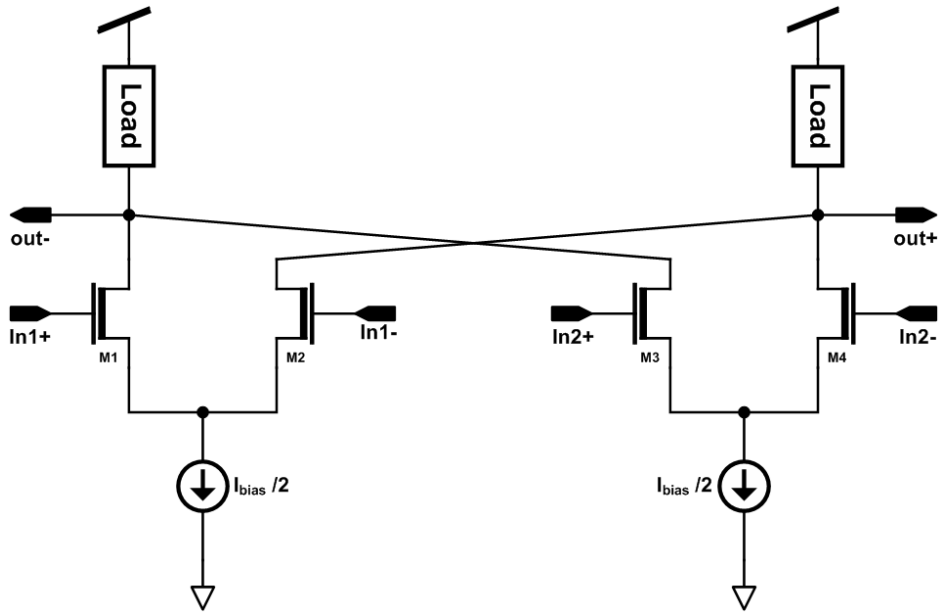


그림 3-21. 반위상 분할기

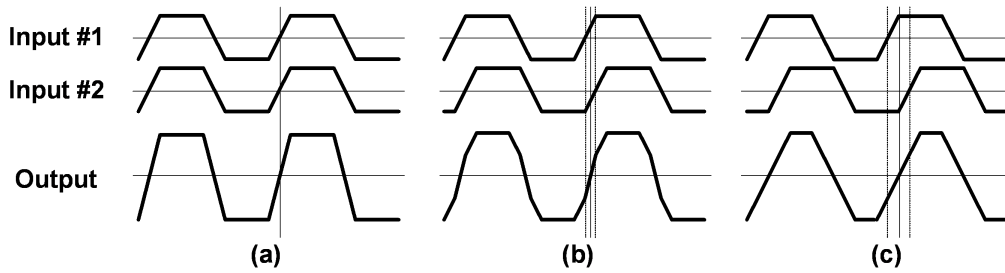


그림 3-22. 반위상 분할기의 동작

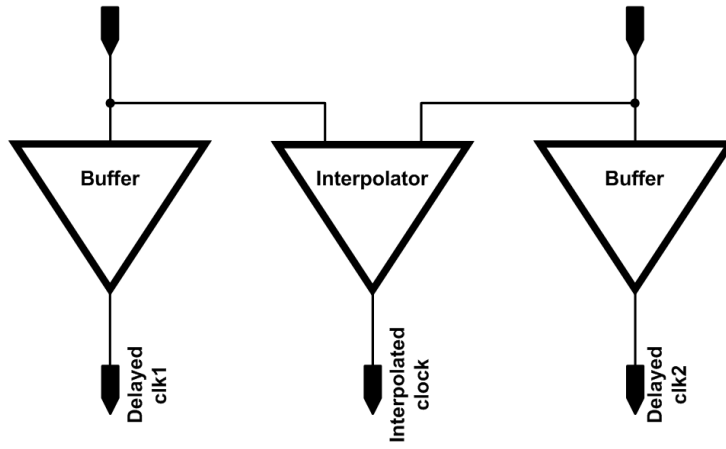


그림 3-23. 반위상 분할기의 사용례

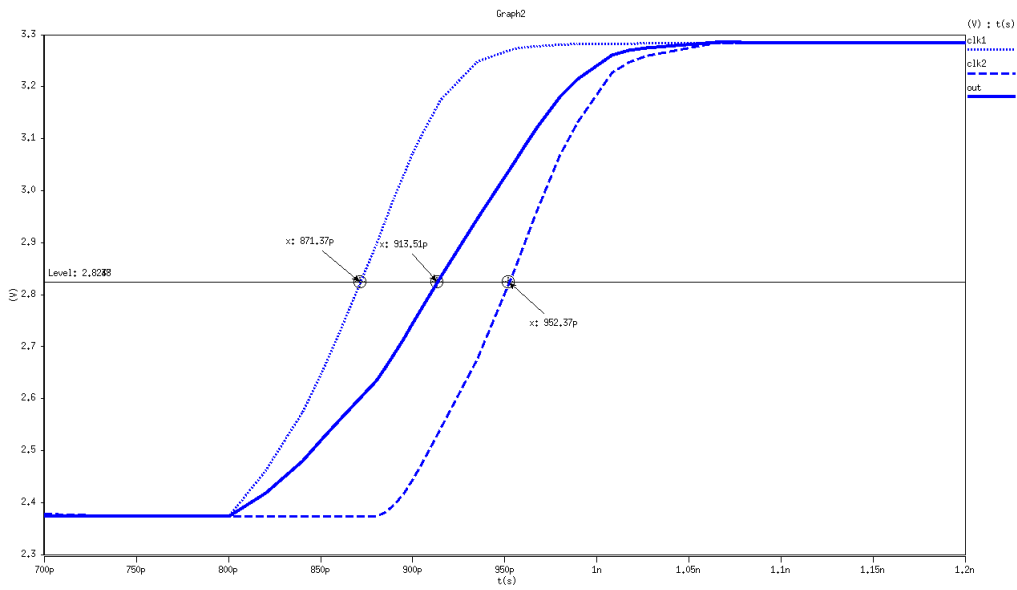


그림 3-24. 반위상 분할기 출력 시뮬레이션

제 3-3 절. 위상동기회로의 설계

제안된 클럭 데이터 복원회로에 사용되는 제어전압발생기는, 일반적인 위상동기회로의 구조를 갖는다. 이 위상동기회로는 칩 외부에서 312.25MHz의 기준 클럭을 공급받아 1.25GHz 클럭을 합성하고, 이 때 얻어지는 발진기 제어전압을 클럭 데이터 복원회로 개폐발진기에 공급한다. 이 위상동기회로는 클럭 데이터 복원회로가 사용하는 개폐발진기에 enable 신호를 언제나 high로 갖도록 한 전압제어발진기를 사용하므로, 이 제어전압을 사용하는 개폐발진기는 외부에서 공급된 기준 클럭과 같은 주파수로 동작하게 될 것이다.

설계된 위상동기회로는 그림 3-25과 같이 위상주파수검출기(phase and frequency detector, PFD), 전하펌프(charge pump), 루프 필터(loop filter), 전압제어발진기, 주파수 분주기(frequency divider)로 구성된다. 모든 블록은 전원 잡음에 강하도록 차동 구조로 설계하였다.

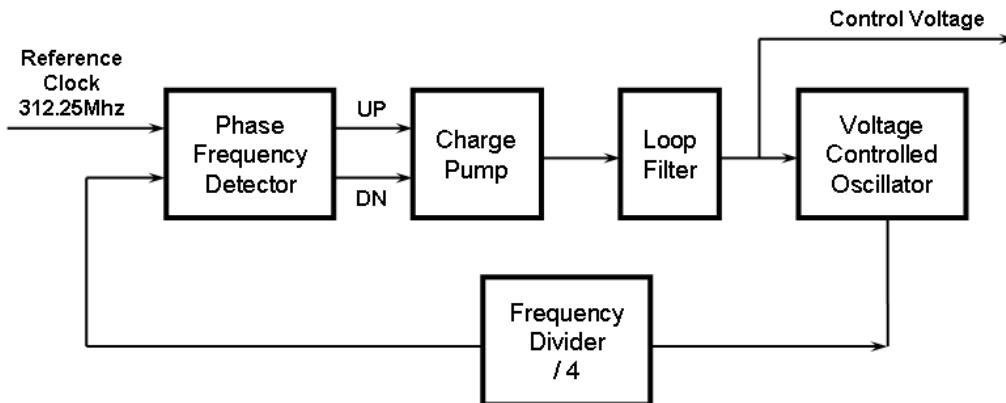


그림 3-25. 설계된 위상동기회로의 블록도

제 3-3.1 절. 위상동기회로의 루프특성과 필터 설계

설계된 위상동기회로에서는 그림 3-21과 같은 구조의 루프필터를 사용하였다. 여기서 루프 대역폭을 기준 클럭 주파수의 1/30이고 damping factor를 0.707로 얻으려면, 그림 3-26의 식[9]에 의해 루프필터의 캐패시터와 저항의 값을 결정해야 한다.

여기서, I_p 는 전하펌프의 출력 전류, K_{VCO} 는 전압제어발진기의 이득, M 은 주파수 분주기의 분주율, ω_n 은 루프의 대역폭 그리고 ζ 는 damping ratio를 의미한다. 계산 결과 $I_p \approx 100\mu A$, $C \approx 15pF$, $R \approx 1.5K\Omega$ 인 것으로 나타났다. 동기가 완료된 후에 제어 전압에 발생하는 흔들림을 감소시키기 위하여 계산된 저항과 캐패시터의 직렬연결에 $1.5pF$ 의 추가적인 보조 캐패시터를 병렬로 연결하였다.

$$\frac{\omega_n}{N} = \sqrt{\frac{I K_{vco}}{C_1 N}}$$

$$\zeta = \frac{R}{2} \sqrt{IC_1 \frac{K_{vco}}{N}}$$

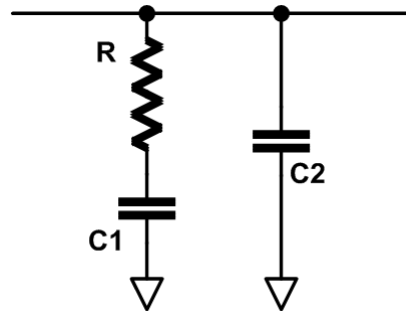


그림 3-26. PLL 특성식과 Loop filter의 구조

제 3-3.2 절. 전하펌프의 설계

설계된 전하펌프는 그림 3-27과 같은 구조이다. 두개의 차동 트랜지스터쌍이 같은 양의 전류원으로 바이어스되고 있다. 이와 같은 구조에서 UP이 High이면 출력 노드 위의 전류원에는 바이어스 전류와 같은 크기의 전류가 흐르고, UP이 Low이면 출력노드 위의 전류원은 꺼지므로 전류가 흐르지 않는다. DN이 High 이면 출력 노드 아래의 트랜지스터가 켜져 바이어스 전류와 같은 크기의 전류가 흐르고, DN이 Low 이면 출력 노드 아래의 트랜지스터는 꺼지므로 전류가 흐르지 않는다. 따라서 out 노드를 up/down 펄스에 따라 같은 양의 전류로 충전 및 방전한다.

그러나 전류원의 출력 저항이 유한한 값을 가지고 out 노드의 전위 값에 따라 충전 전류와 방전 전류 사이에 불일치가 발생하므로 위상 동기가 이루어졌을 때 불일치가 최소화되는 적절한 제어 전압이 존재하며, VCO는 이러한 특성에 맞게 설계되어야 한다. 그러나 공정에 변화가 발생하면 VCO의 동작 특성도 변화하고, 따라서 위상동기가 이루어지는 제어 전압에도 변화가 발생하므로 공정 변화에 따라 발생하는 어느 정도의 불일치는 불가피하다. 출력노드의 전압을 변화시키면서 UP과 DN이 동시에 High일 때의 전류를 관찰한 결과를 그림 3-28에 나타내었다. 따라서 대략 1.5V~3V사이의 제어범위를 갖는 전압제어지연셀에 적합하다.

하지만 이 설계에서는 전압제어지연셀의 부하로 PMOS를 사용하였고, 이 제어범위는 0~2.4V이다. 게다가 설계된 발진기는 레이아웃 후에 성능이 좀 더 저하되어, 1.25Ghz에서 발진도록 하는 제어전압이 좀 더 아래쪽으로 이동할 것이다. 결과적으로 누설전류가 커지므로 정적위상오차(Static phase error)가 발생하고, 심한 경우 동기를 획득하지 못할 수도 있다. 칩으로 구현한 후에 이것이 위상동기회로의 동작을 저해하여, 전체회로의 성능을 열화하는데 큰 요인이 된 것으로 추정된다.

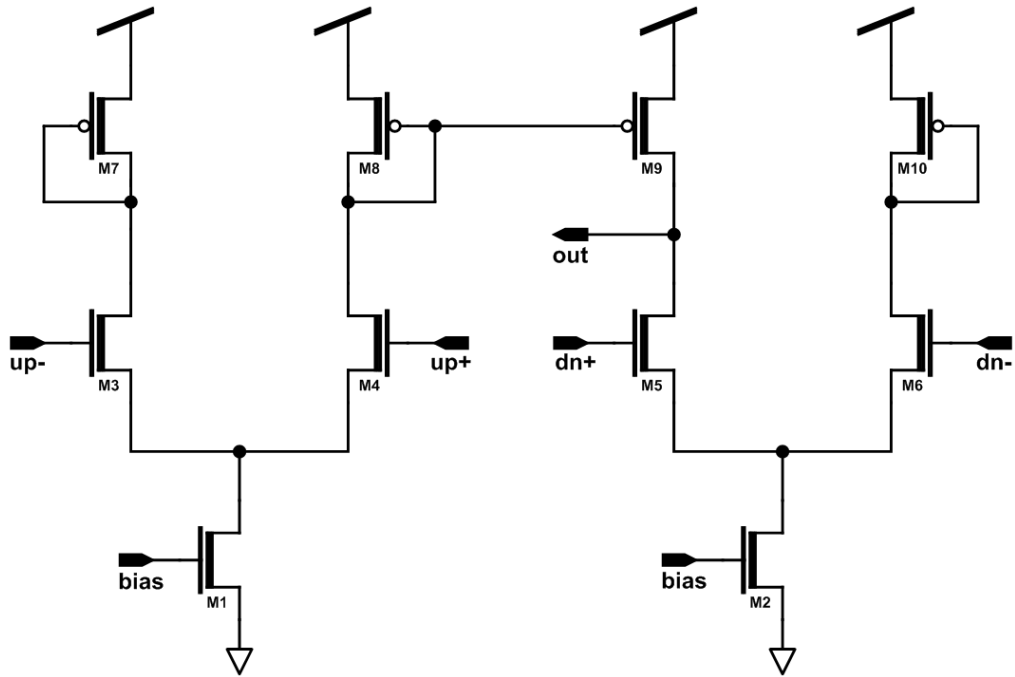


그림 3-27. 설계된 전하펌프의 구조

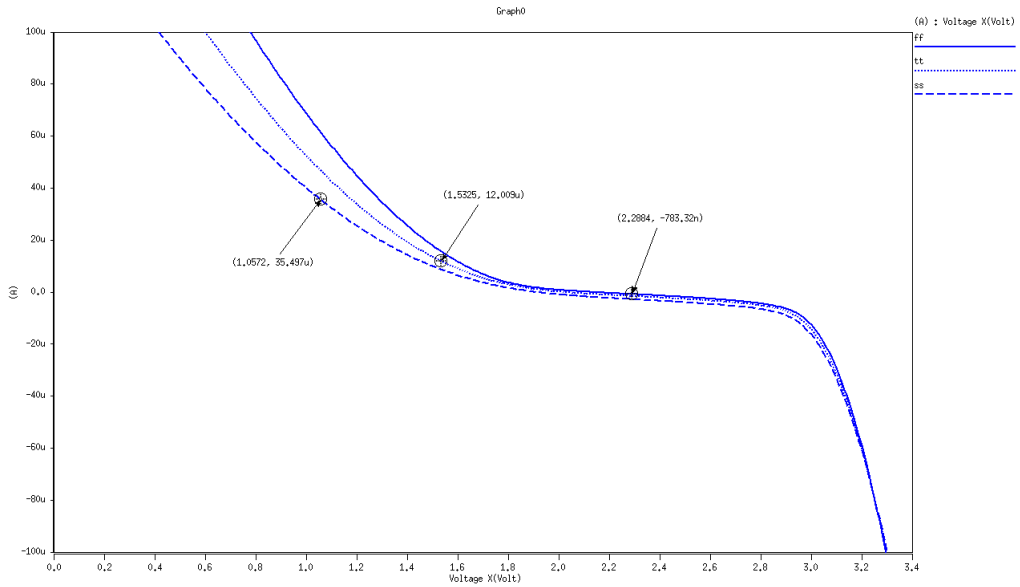


그림 3-28. 전하펌프의 누설전류 시뮬레이션

제 3-3.3 절. 위상주파수 검출기의 설계

설계된 위상주파수 검출기의 구조는 그림 3-29와 같이 일반적으로 많이 사용되는 구조이다[9]. D-Flipflop들은 각 입력의 상향엣지에서 high의 값을 내보내기 시작한다. 두 입력 중 먼저 상향엣지를 갖는 쪽은 high의 값을 내보내기 시작하고, 늦는 쪽이 상향엣지를 갖게 되어 high의 값을 내보내기 시작하면, AND 게이트가 동작하게 되어 두 D-flipflop의 출력이 low로 떨어진다. 따라서 클럭이 빠른 쪽은 두 클럭의 상향엣지 간격에 게이트 지연시간을 더한 만큼의 폭을 갖는 펄스를 출력하고, 늦는 쪽은 항상 게이트 지연시간만큼의 폭을 갖는 펄스를 출력하게 된다.

이 위상주파수 검출기의 시뮬레이션 결과는 그림 3-30과 같다. 기준클럭에 비해 개폐발진기의 주파수가 빠르기 때문에 DN쪽의 펄스가 UP의 펄스보다 크다. 따라서 이 차이를 적분하면 개폐발진기의 클럭을 늦게 하는 제어신호를 발생시킬 수 있다. 리셋 경로의 지연시간은 그림 3-31과 같이 263.4ps로 나타났다.

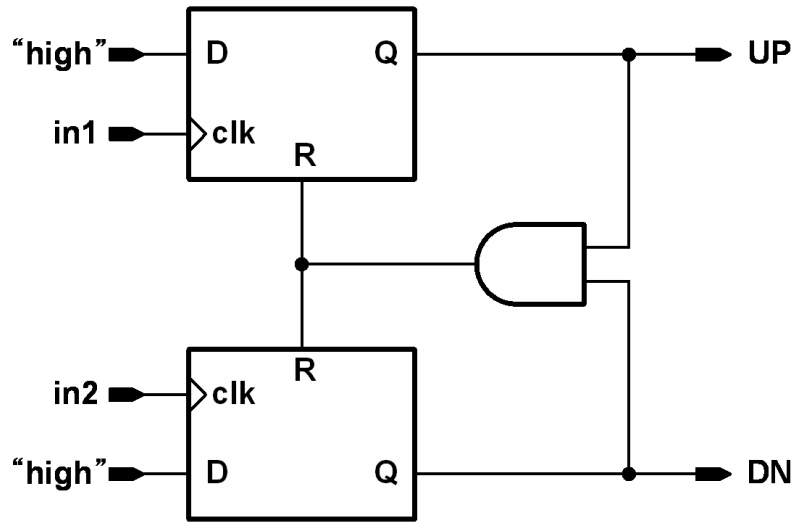


그림 3-29. 위상주파수검출기의 구조

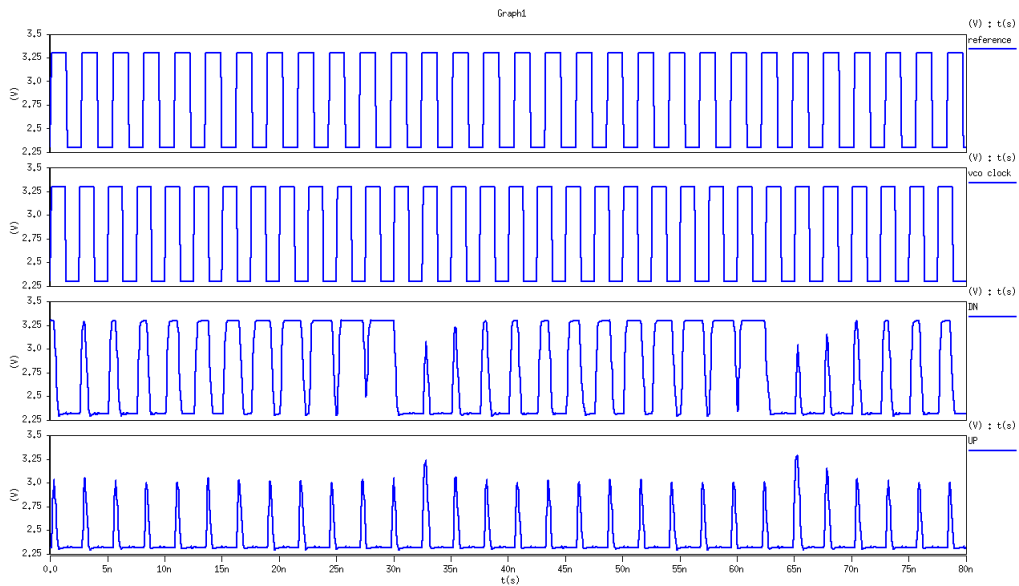


그림 3-30. 위상주파수검출기의 동작

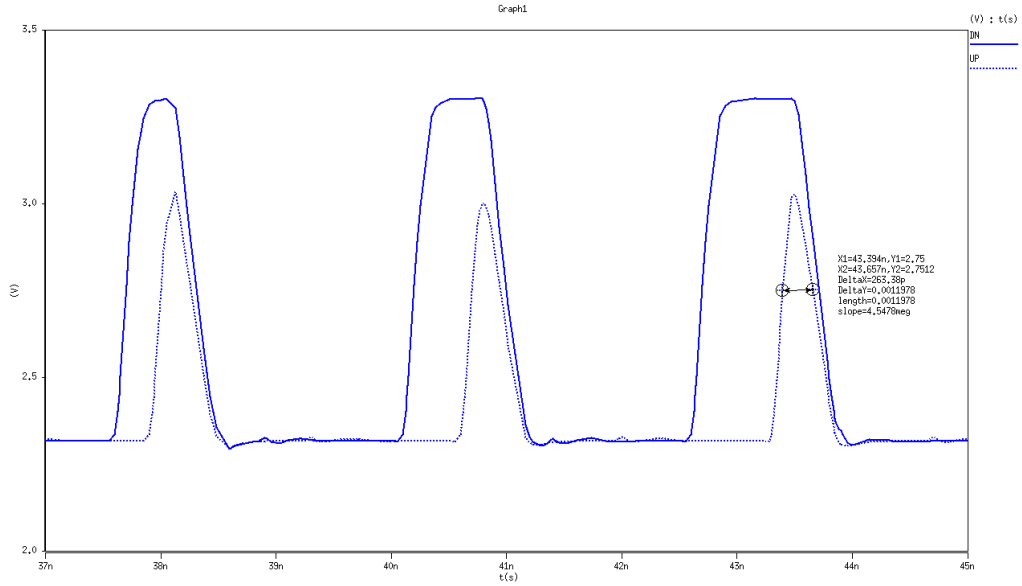


그림 3-31. 위상주파수검출기 UP/DN 펄스의 최소폭

제 3-3.4 절. 주파수 분주기의 설계

주파수 분주기는 그림 3-32에 나타난 바와 같이, 출력을 반전하여 다시 입력으로 사용하는 D-flipflop을 통하여 구현할 수 있다. 그림에서는 두개의 D-flipflop을 사용하여, 1/4의 주파수를 얻을 수 있도록 하였다. 이와 같은 구조의 주파수 분주기는 간단하지만, D-flipflop의 지연시간이 존재하므로 최종 출력되는 클럭의 위상이 입력 클럭의 위상과 어느 정도의 오차를 갖게 된다. 하지만, 본논문에서 이용되는 위상동기회로는 개폐발전기의 제어전압을 얻기 위함일 뿐이므로, 기준클럭에 정확히 위상을 동기시킬 필요가 없다.

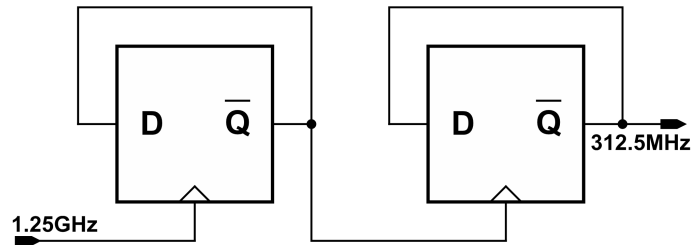


그림 3-32. 주파수 분주기의 구조

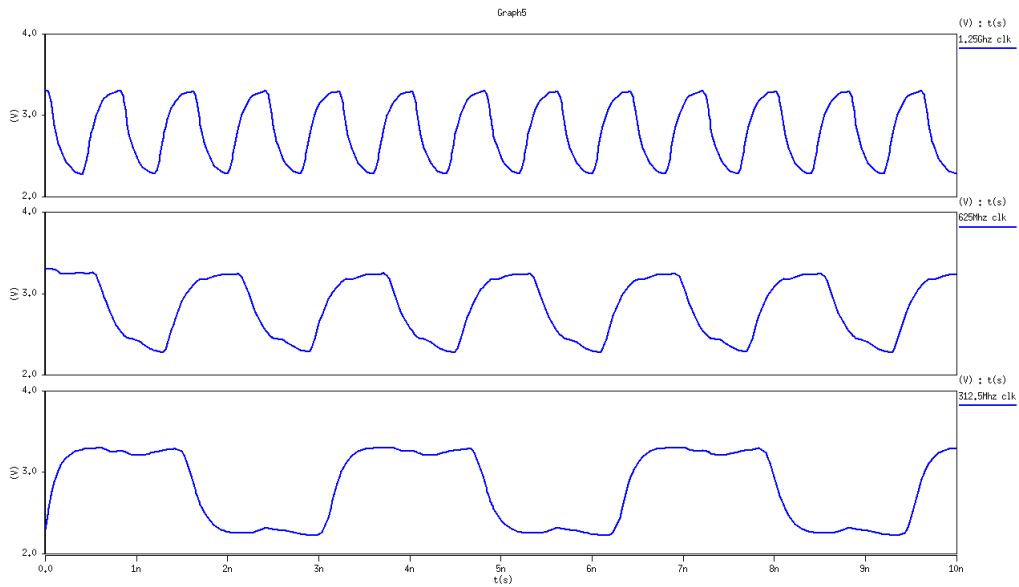


그림 3-33. 주파수 분주기의 시뮬레이션

제 3-4 절. HSPICE 시뮬레이션

제 3-4.1 절. 위상동기회로의 시뮬레이션

설계된 위상동기회로가 공정 변화에 관계없이 동기를 획득할 수 있는지 검증하기 위하여, 공정 변수를 바꾸어 가며 시뮬레이션을 수행하였다. 그림 3-25에서 볼 수 있듯이 FF, TT, SS 세 코너에서 모두 동기를 획득하는 것을 확인할 수 있다.

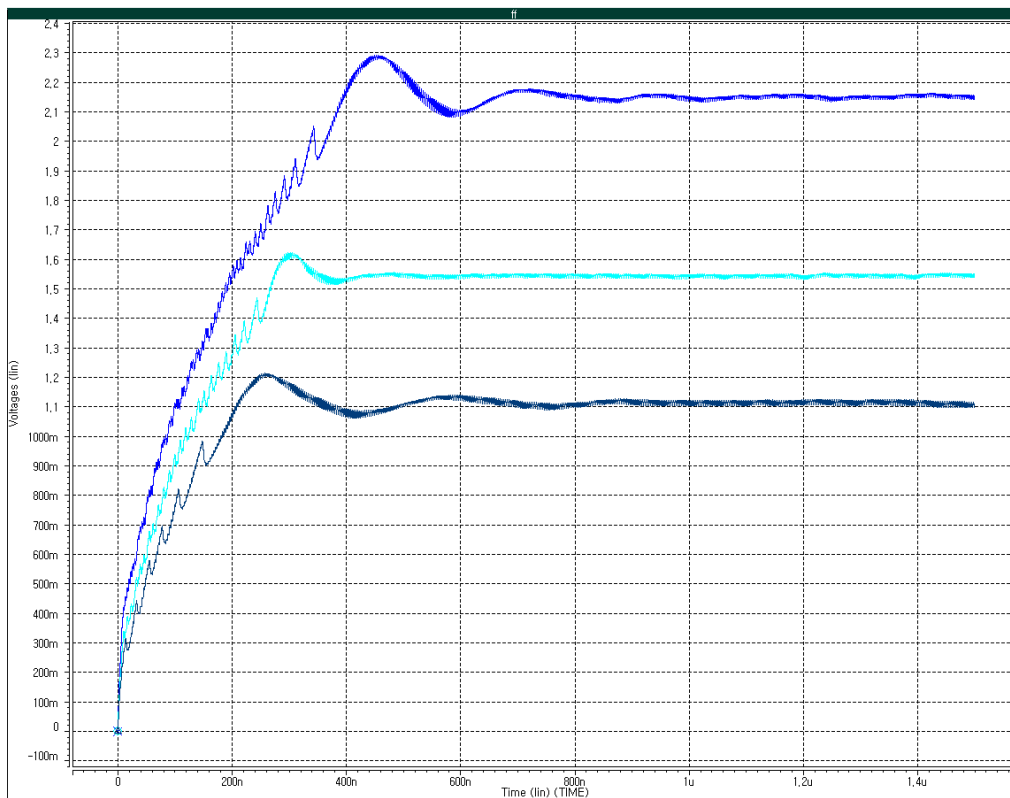


그림 3-34. 위상동기회로의 동기 획득 과정

제 3-4.2 절. 클럭 데이터 복원회로의 시뮬레이션

제안된 회로의 장점을 살펴보기 위하여 설계된 블록들을 이용하여 [4]의 회로를 그림 2-9에서와 같이 구현하였다. 듀티 사이클이 35%인 입력이 들어올 때, 두 클럭 데이터 복원회로의 클럭 데이터 복원은 그림 3-26과 같이 나타난다. 그림에서 (1)로 표기한 것은 [4]의 구조를 사용한 클럭과 데이터 복원이고, (2)로 표기한 것은 제안된 구조를 사용한 것이다. 앞서 문제점으로 지적한바와 같이, [4]의 구조에서는 클럭이 왜곡되는 것을 관찰할 수 있고, 이에 의해 간혹 데이터를 샘플하지 못하는 것을 볼 수 있다. 이에 반해 제안된 구조를 사용할 경우에는 왜곡되지 않은 클럭을 출력하고 있으며, 데이터를 정확하게 복원해내고 있다.

이 시뮬레이션의 샘플링 지점을 비교하면 그림 3-27과 같다. 여기에서의 데이터는 데이터 지연회로를 통해서 클럭과 같은 위상 지연을 거친 후, 플립플롭에 인가된 데이터이다. 앞의 그림에서는 알 수 없었지만, 이 그림에서는 데이터의 아이 다이어그램(eye-diagram)을 볼 때, 듀티 사이클이 왜곡되어 있음을 알 수 있다. [4]의 구조를 사용한 경우 샘플링 지점이 앞뒤로 흔들리고 있으며, 일부는 충분히 위로 올라가지도 못하는 것을 볼 수 있다. 하지만 제안된 구조에서는 클럭이 항상 데이터 비트의 중심에 위치하며, 흔들리지 않는다.

그림 3-28에서는 출력된 아이 다이어그램을 비교하고 있다. [4]의 구조에서는 입력의 듀티 사이클 왜곡이 그대로 데이터 출력으로 통과해버리는 것을 볼 수 있다. 이는 [4]의 구조가 모든 입력 지터를 그대로 출력해버리기 때문에, 일종의 고주파 지터인 듀티 사이클 왜곡 또한 그대로 출력되는 것에서 기인한다. 하지만 제안된 구조에서는 듀티 사이클 왜곡이 출력에 영향을 미치지 않는다. 그림에서는 조금의 듀티 사이클 왜곡이 나타난 것으로 보이는데, 이것은 차동 논리 회로의 공통모드전압이 달라서 그렇게 보이는 것뿐이다.

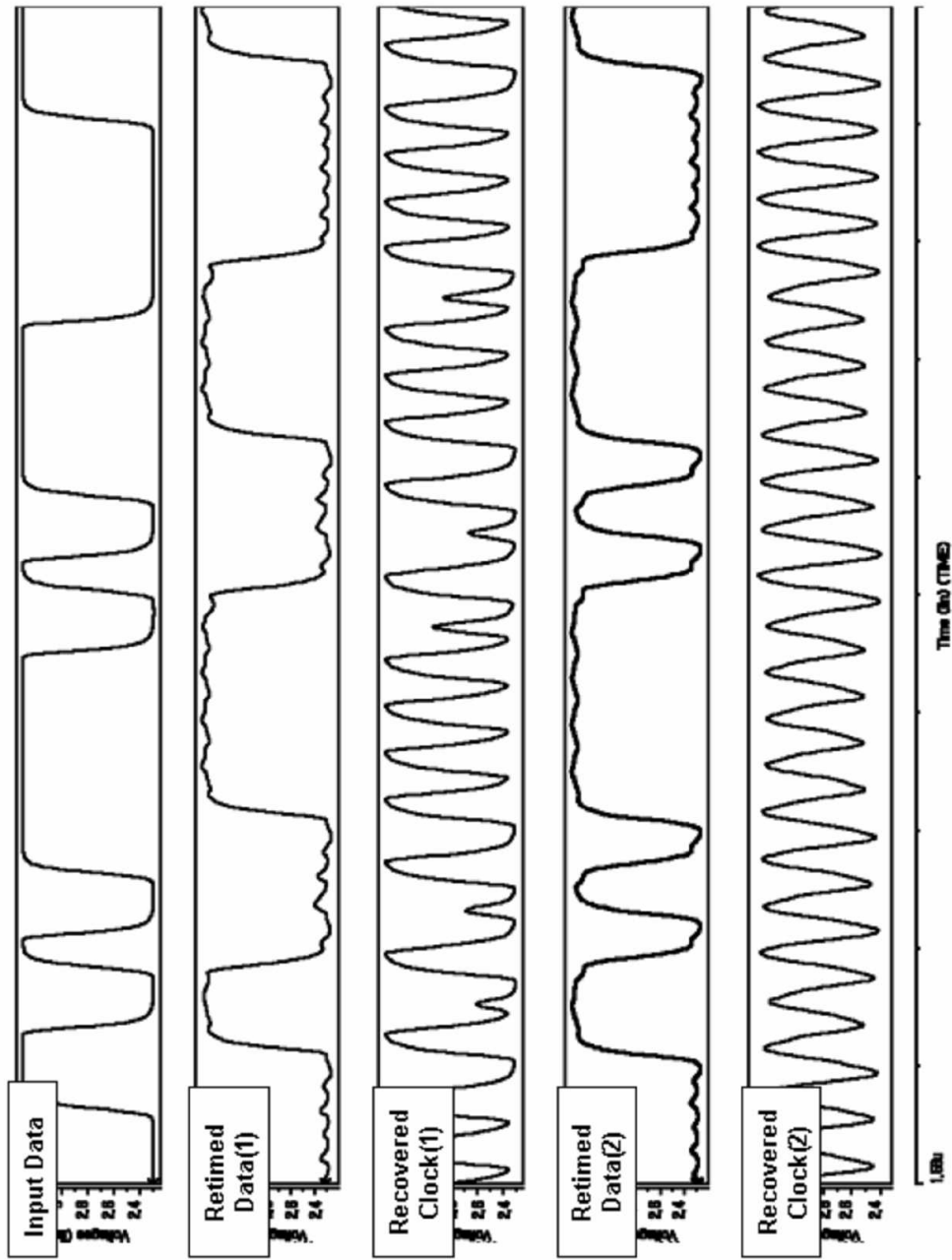


그림 3-35. 클럭과 데이터 복원 비교 시물레이션

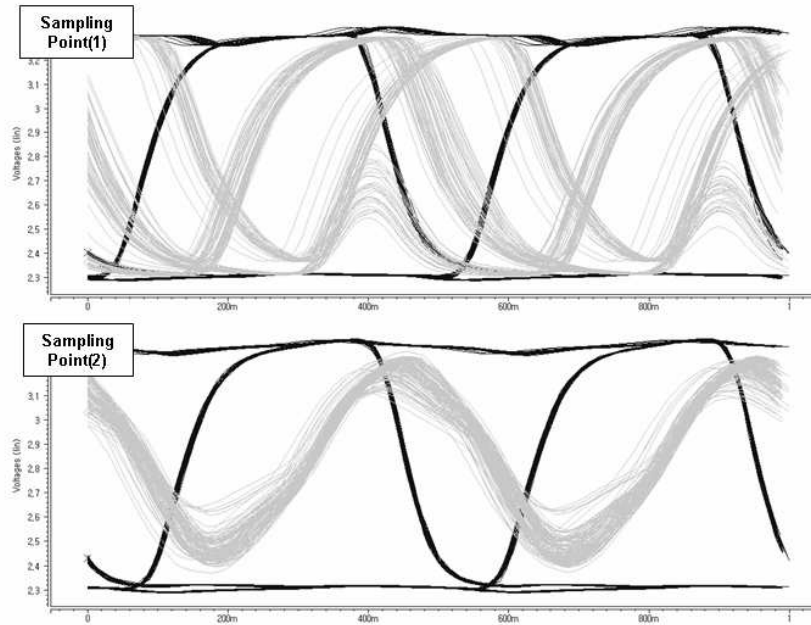


그림 3-36. 샘플링 위치의 비교 시뮬레이션

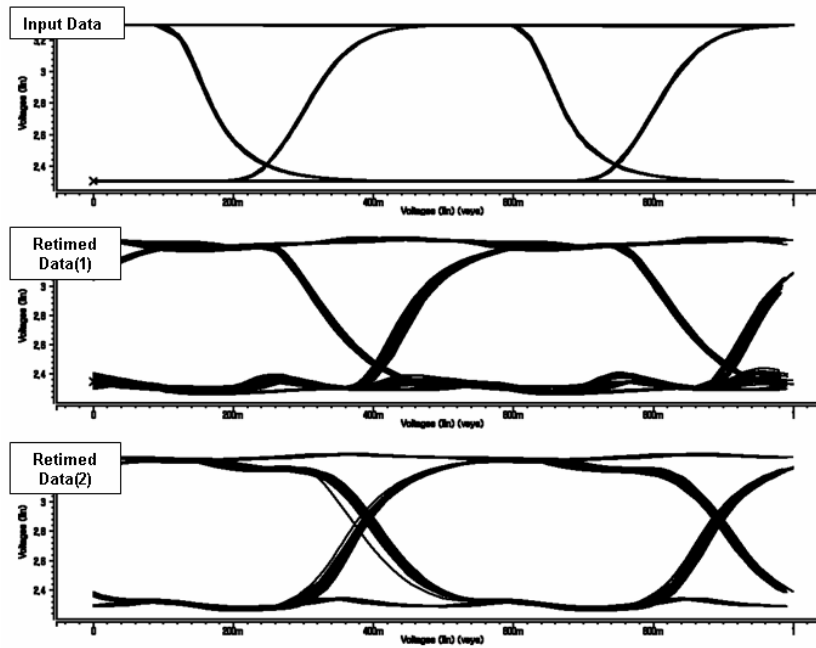


그림 3-37. Eye-diagram 비교 시뮬레이션

제 4 장. 칩 제작 및 측정결과

제 4-1 절. 칩 측정 계획

앞서의 과정은 칩 내부에 들어가게 되는 클럭 데이터 복원회로만을 구현한 것이고, 실제로 칩으로 구현하기 전에 동작을 검증할 계획을 세워야한다. 일단 기본적으로 필요한 부분은, 측정기기의 가용범위에 맞는 신호범위를 갖는 입출력버퍼를 설계하는 것이다. 또한 일반적인 신호생성기에서는 듀티 싸이클이 왜곡된 데이터를 만들지 못하므로, 칩 내부에서 듀티 싸이클을 왜곡할 수 있는 회로가 추가적으로 필요하다.

사용할 측정기와 그 용도는 그림 4-1에 나타내었다. 설계된 클럭 데이터 복원회로는 Hynix 0.35 μ m 공정을 이용하여 칩으로 구현하였다.

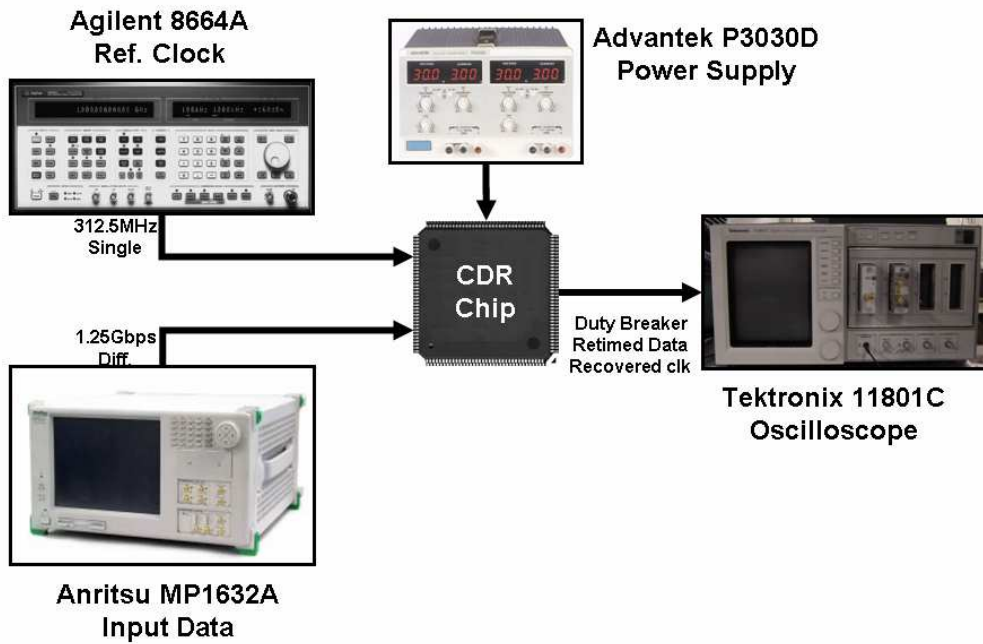


그림 4-1. 완성된 칩의 검증 계획도

제 4-1.1 절. 듀티 싸이클 왜곡회로의 설계

데이터의 듀티 싸이클 왜곡을 위해서 그림 4-2와 같은 회로를 설계하였다. 이는 광수신기와 같은 구조를 하고 있다. 먼저 차동-단일변환기(differential to single converter)는 차동신호로 들어오는 입력데이터를 단일신호로 변환한다. 곧, 광다이오드부터 TIA까지의 구조로 볼 수 있다. 기준전압을 외부에서 인가해주면서, 광수신기에서 일어나는 듀티 싸이클 왜곡을 구현한다. 뒤의 버퍼들은 큰 이득을 갖도록 하여 Limiting Amp의 역할을 한다. 하지만 이것만으로는 장비에서 들어오는 상향, 하향 천이 시간이 매우 짧은 데이터에 큰 왜곡을 줄 수 없다. 따라서 입력 트랜지스터의 사이즈를 크게 하여 기생 캐패시턴스 성분을 충분히 크게 한 버퍼를 사용하여, 데이터 천이시간을 충분히 늘려준다. 시뮬레이션 상에서는 최대 27%까지 듀티 싸이클을 왜곡시킬 수 있는 것으로 나타났다.

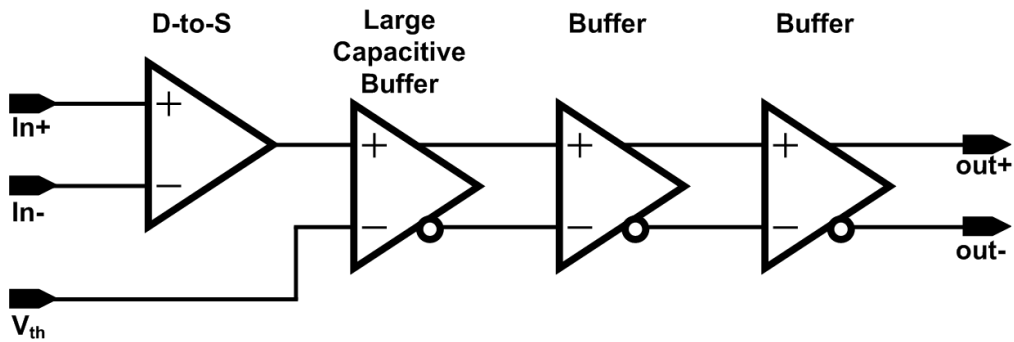


그림 4-2. 듀티 싸이클 왜곡회로

제 4-1.2 절. 출력 버퍼의 설계

측정에서 사용하고자 하는 오실로스코프 장비는 텍트로닉스사의 11801C로, 50옴의 저항으로 접지에 터미네이션 되어있다. 일반적인 연속모드에서는 High와 Low의 비트수가 같다고 가정하면, 공통모드(common mode) 전압은 각 비트들이 갖는 전압의 평균값이므로 진동 전압의 중간값으로 나타난다. 따라서 이 장비로 연속모드 클럭 데이터 복원회로의 출력을 관찰할 때는, CML(current mode logic) 방식의 출력버퍼에 캐패시터를 직렬로 추가한 교류연결(AC coupling)을 사용하는 것이 간단하다. 하지만 버스트모드에서는, 패킷이 들어오지 않는 구간에서 항상 데이터가 1 또는 0으로 고정되어 있으므로, 평균값이 0 또는 1로 내려가 버린다. 이후에 패킷이 갑작스럽게 들어오기 시작하면, 출력이 공통모드를 찾아가는데 시간이 필요하므로 앞서 언급한 교류연결을 사용할 수 없다. 따라서 터미네이션 저항에 직렬로 연결되는 ECL 또는 PECL 방식의 출력버퍼를 사용해야하고, 이 장비에 맞추기 위해서 PECL방식의 출력버퍼를 설계하였다.

칩 내부에서는 ECL방식의 논리회로를 사용하기 때문에 전압레벨이 달라, 그대로 PECL 방식의 출력버퍼에 연결할 수 없다. 따라서 그림 4-3과 같이 수준전위기(level shifter)를 주구동기(main driver) 앞에 추가하였다. 수준전위기는 그림 4-4와 같이 Source follower 형태로 구현하였고, PECL 주구동기는 오픈드레인 형태로 외부로 연결된다.

오실로스코프로 관찰하는 출력은 양, 음의 포트 중 하나이고, 오실로스코프 내에서 이를 50옴으로 접지에 터미네이션한다. 관찰하지 않는 포트의 전류경로도만 들어주어야 하므로 50옴으로 접지에 터미네이션 해주어야 한다. 이는 보드 설계시에 고려하도록 한다.

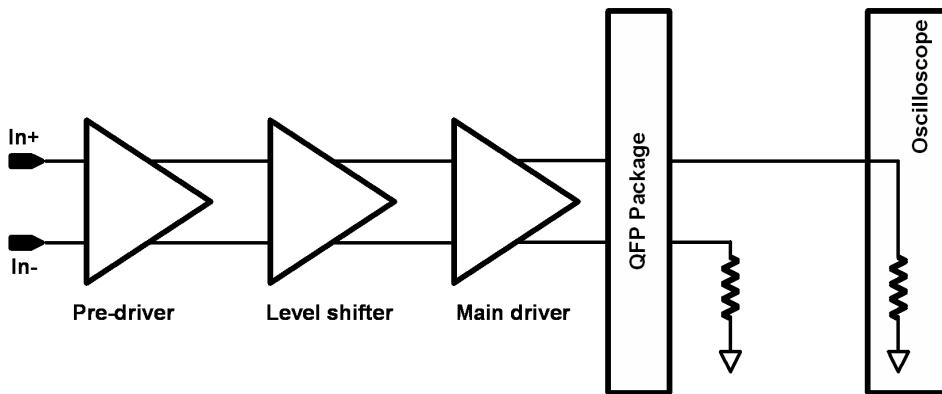


그림 4-3. 출력버퍼와 측정 장비의 구조도

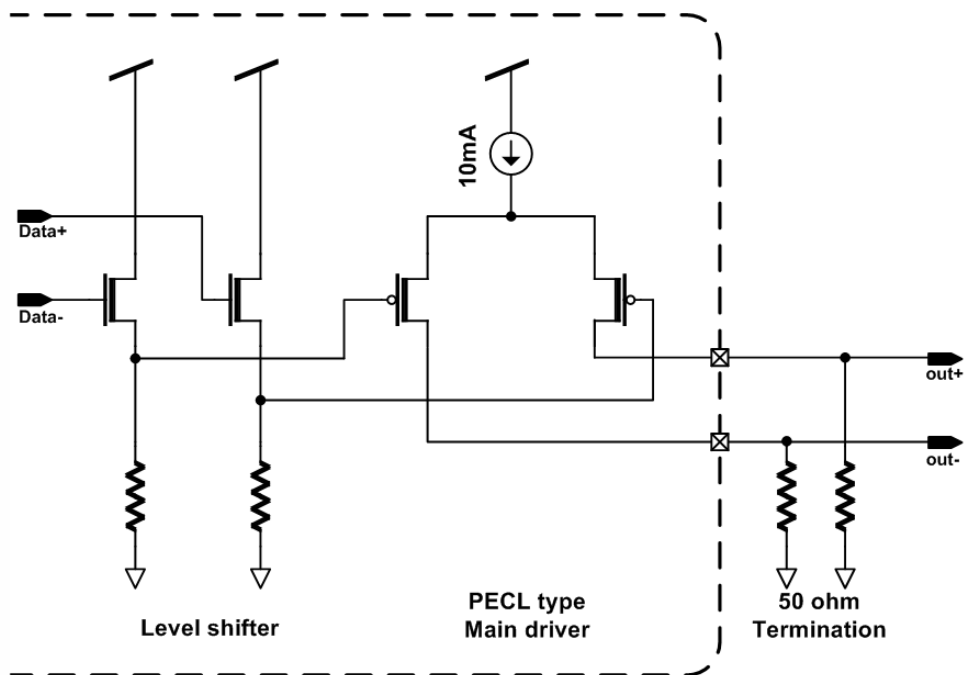


그림 4-4. 출력버퍼의 구조

제 4-1.3 절. 칩 레이아웃

Hynix 0.35 μ m 공정을 이용해 그림 4-5와 같이 레이아웃을 수행하였다. 출력버퍼에서 전류를 크게 소모하므로 코어와 별도로 전원과 접지를 각각 두개씩 사용하였다. 잡음 성분이 전원선을 타고 들어오는 것을 막기 위해, 바이어스 회로에도 따로 전원과 접지를 할당하였다.

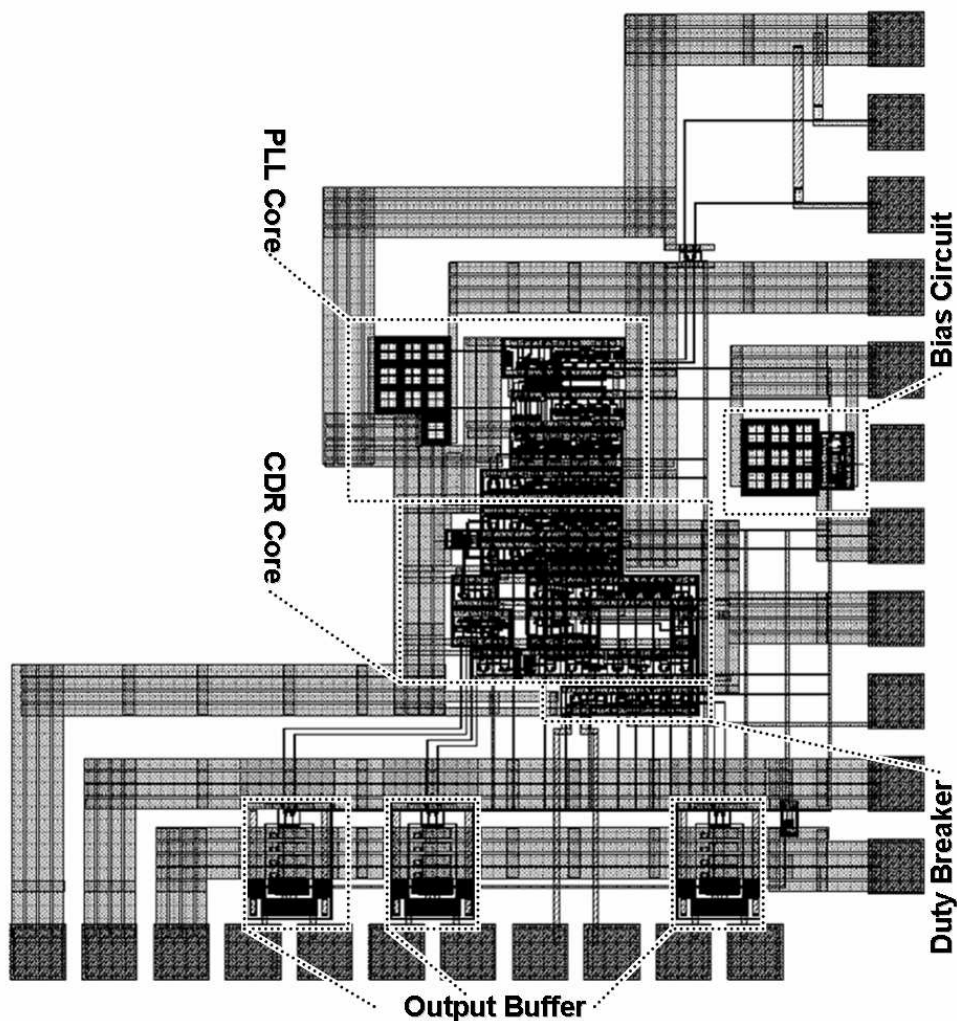


그림 4-5. 설계된 칩의 레이아웃

제 4-2 절. 제작된 칩의 측정

제 4-2.1 절. 클럭과 데이터 복원

제작된 칩은 설계상의 문제로 인하여 원하던 데이터 속도에서 제대로 동작하지 않았다. 그 이유는 앞서 언급했듯이, 전압제어발진기가 레이아웃 이후에 성능열화를 겪게 되고, 전압제어발진기를 기준클럭의 주파수에서 발진하도록 하는 제어전압이 전하펌프의 안정범위를 벗어났기 때문이었던 것으로 추정된다. 미세한 정도로 벗어날 경우에는 정적위상오류를 가질 뿐으로 문제가 없겠지만, 전하펌프의 전류불일치가 전하펌프의 출력전류보다 커지면, 아예 동기를 제대로 이루지 못하게 된다. 따라서 데이터율을 조금 낮추어, ATM-PON의 규격이 사용하는 622Mbps의 속도에서 동작을 검증하였다.

먼저 듀티사이클이 왜곡되어도 클럭과 데이터를 제대로 복원해낼 수 있는지를 확인하기 위해 그림 4-6과 같은 측정을 수행하였다. 그림에서와 같이 듀티사이클이 32%까지 왜곡되어도 클럭과 데이터를 복원해내는 것을 볼 수 있다. 이 이상으로 데이터가 왜곡되면 아이 다이어그램의 안쪽에 점이 찍히기 시작해, 비트 오류가 발생할 것으로 추정할 수 있다.

데이터 아이 다이어그램의 위와 아래의 선이 두껍게 나오는데 이는 전원 잡음에 의한 것으로 추정된다. 이는 보드 설계시에 전원에 필터를 추가해줌으로써 어느 정도 개선할 수 있을 것이다. 또한 클럭의 위와 아래도 두껍게 나타나는 것을 볼 수 있는데, 여기에는 전원 잡음에 의한 영향 외에도, 클럭을 재정렬하는 과정에서 천이시간이 발진시의 천이시간과 조금 다른 것에도 기인한다.

버스트모드에서의 동작도 그림 4-7과 같이 측정하였다. Low의 데이터가 들어오다가, 프리 앰블 (High, Low)의 2 비트가 지난 후부터 데이터가 복원되는 것을 볼 수 있다. 오른쪽은 데이터의 복원이 시작될 때 클럭이 재정렬되는 과정을 관찰한 그림이다.

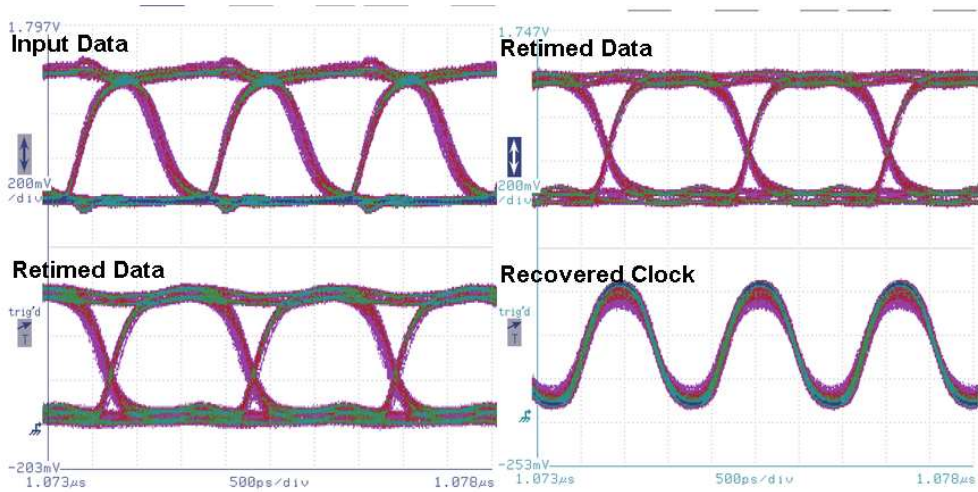


그림 4-6. 듀티사이클 32%에서의 클럭과 데이터 복원

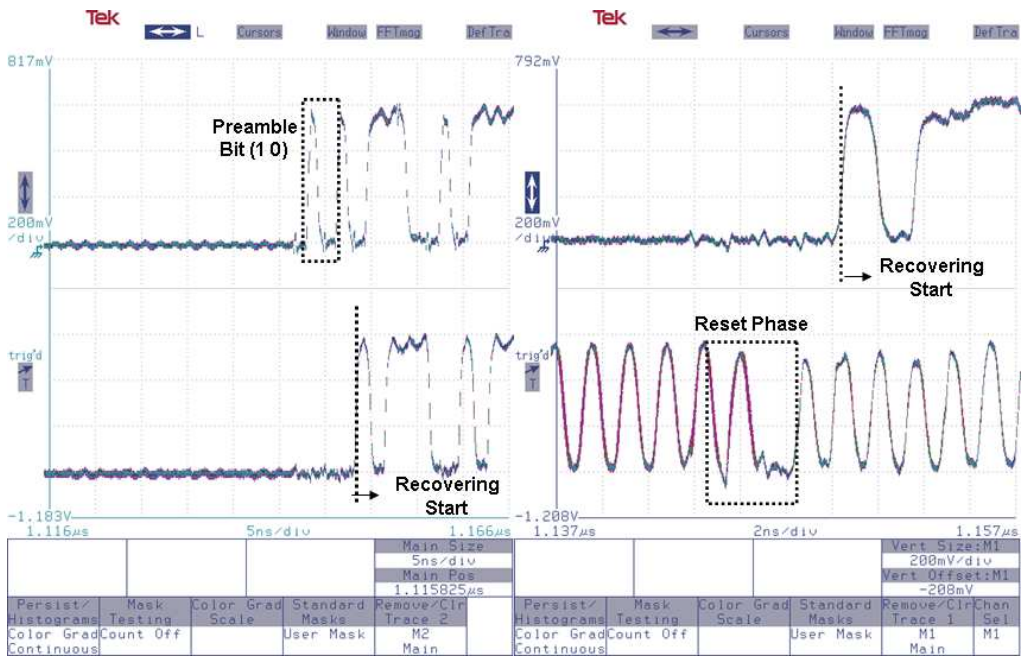


그림 4-7. 버스트 모드에서의 동작

제 4-2.2 절. 주파수 불일치에 따른 영향

이론적으로는 세 개의 개폐발진기가 모두 같은 특성을 갖는다는 가정하에 만들어진 클럭 데이터 복원회로나, 실제로 구현된 칩에서 각 개폐발진기의 특성이 일치하는 것은 불가능하다. 공정상에서 넓은 면적의 웨이퍼가 균일한 특성을 갖도록 하는 것도 매우 힘든 일이며, 실제 동작시에도 온도와 전자기장의 특성이 각 개폐발진기에 동등하게 갖추어질 수 없기 때문이다. 따라서 이는 개폐발진기를 사용하는 모든 구조에서 필연적으로 나타나는 문제점이다.

본논문에서 제안한 구조에서도 마찬가지로의 문제점이 나타나지만, 기존에 사용되던 구조에서 나타나던 것과 유사한 문제 외에도, 반위상분할기에 의해서 생기는 새로운 문제가 발생한다.

① 최대 연속비트 길이(maximum run length)

최대 연속비트 길이는 버스트모드 클럭 데이터 복원회로에서만 제시되는 타겟으로, 연속으로 들어오는 천이 없는 데이터에 대하여 복원 가능한 최대 길이를 말한다. 일반적인 위상추적 알고리즘을 사용하는 클럭 데이터 복원회로에서는 수신기와 송신기사이의 주파수 오차가 있더라도, 어느 정도 천이를 거치고 나면 송신기의 주파수를 따라 자신의 주파수를 맞추어 가는 능력이 있다. 하지만 개폐발진기를 이용하는 클럭 데이터 복원회로는 자신의 주파수를 수정하지 않기 때문에, 데이터의 천이가 일어나지 않으면 주파수 오차에 의한 Cycle slip이 일어나고, 위상차이가 점점 누적되는 문제가 발생한다. 이 위상차이가 커질수록 BER이 높아지는데, 목표 BER 수치가 정확하지 않으므로 여기에서는 비트 중심으로부터 위상차이가 1/3 이상이면 목표 BER을 넘어가게 된다는 가정 하에 최대 연속비트 길이를 계산하였다.

f_0 를 기준 클럭의 주파수, f_1 은 개폐발진기 출력의 주파수라 하면, 기준 클럭의 위상과 개폐발진기 출력의 위상 θ_0, θ_1 는 다음과 같은 수식으로 나타난다.

$$\begin{aligned}\theta_0 &= 2\pi f_0 t \\ \theta_1 &= 2\pi f_1 t \\ \Delta\theta &= 2\pi(f_0 - f_1)t\end{aligned}$$

이 때, $\Delta\theta$ 는 위상오차를 나타내므로 다음과 같은 부등식을 세울 수 있다.

$$-\frac{2}{3}\pi \leq 2\pi(f_0 - f_1)t \leq \frac{2}{3}\pi$$

이를 정리하면 오류를 발생시키지 않는 연속비트의 수 b 는 다음과 같다.

$$b \leq \frac{f_0}{3|\Delta f|}$$

[4]의 구조에서는 개폐발진기를 두개 사용하므로 각 개폐발진기가 다른 최대연속비트길이를 갖고, [6]의 구조에서는 개폐발진기가 하나만 쓰이므로 하나의 최대연속비트길이를 갖는다.

② Cycle slip에 의한 연속비트 길이의 제한

하지만 본논문에서 제안한 구조에서는 이런 최대 연속비트 길이가 좀 다르게 나타난다. [4]과 [6]의 구조에서는 데이터의 매 천이시마다 위상의 재정렬이 일어나기 때문에 어쨌든 데이터 천이가 일어나면 그 후로 최대연속비트길이만큼의 연속된 비트를 받을 수 있다. 하지만 제안된 구조에서는 데이터의 매 천이시에 하나의 개폐발진기 위상을 재정렬하므로, 위상오차가 계속 누적된 상태가 된다. 여기서 위상의 재정렬이 일어나지 않는 개폐발진기에 누적된 위상오차를 Θ_0 라고 하면, 다음과 같이 구할 수 있다.

$$\theta_0 = 2\pi \frac{(f_0 - f_1)}{f_0} m$$

위 식에서 m 은 재정렬 전까지 나왔던 비트의 연속적인 길이이고, f_1 은 재정렬이 일어나지 않은 개폐발진기의 주파수를 나타낸다. 이를 이용해 다음과 같은 부등식을 얻을 수 있다.

$$-\frac{2}{3}\pi \leq 2\pi(f_0 - f_m)t + \theta_0 \leq \frac{2}{3}\pi$$

여기서 f_m 또한 [4]의 구조에서 보던 것과는 다른 의미를 갖는다. 반위상분할기의 출력 Θ_m 은 다음과 같이 나타난다.

$$\theta_m = \frac{\theta_1 + \theta_2}{2}$$

주파수는 시간에 대한 위상의 미분값이므로 이의 양변을 미분하면 다음과 같은 식을 얻는다.

$$f_m = \frac{f_1 + f_2}{2}$$

곧, 반위상분할기를 통해 두 발진기의 평균 주파수로 동작하는 클럭을 얻을 수 있다. 앞서의 식을 이용해, 오류가 발생하지 않는 연속비트의 길이를 구해보면 다음과 같은 식을 얻는다.

$$\frac{f_0}{(f_0 - f_m)} \left[-\frac{1}{3} - \frac{(f_0 - f_1)m}{f_0} \right] \leq b \leq \frac{f_0}{(f_0 - f_m)} \left[\frac{1}{3} - \frac{(f_0 - f_1)m}{f_0} \right]$$

따라서 두 개폐발전기의 주파수가 기준 위상동기회로에 사용되는 개폐발전기를 중심으로 비슷한 크기만큼 떨어져 있다면, 최대연속비트 길이는 기존보다 길게 나타날 것이다. 하지만 이는 인위적으로 조정할 수는 없는 부분이므로 실제에 응용하기 위해서는 통계적인 조사가 선행되어야 할 것이다. 또한 앞서 나온 연속적인 비트의 길이 m 의 길이가, 다음에 수용 가능한 연속비트의 길이에 미치는 영향이, 주파수 불일치의 방향에 의해 좌우되는 것을 알 수 있다.

③ 클럭 상쇄에 의한 연속비트 길이의 제한

이상적으로는 반위상분할기가 위상을 분할하여 출력해 주기를 바라지만, 실제로는 전류의 합을 이용하여 구현되기 때문에 다음과 같은 수식으로 나타난다.

$$(output) = \frac{\cos\theta_1 + \cos\theta_2}{2}$$

이를 정리하면 다음과 같이 나타난다.

$$\begin{aligned} &= \frac{1}{2} \cos\left(\frac{\theta_1 + \theta_2}{2} + \frac{\theta_1 - \theta_2}{2}\right) + \frac{1}{2} \cos\left(\frac{\theta_1 + \theta_2}{2} - \frac{\theta_1 - \theta_2}{2}\right) \\ &= \cos\left(\frac{\theta_1 + \theta_2}{2}\right) \cos\left(\frac{\theta_1 - \theta_2}{2}\right) \end{aligned}$$

곧, 위상의 평균값을 나타내주는 항외에도, 출력의 크기에 영향을 미치는 항이 생성된다. 코사인 함수는 위상이 90도, 270도일 때 0의 값을 가지므로, 연속비트가 들어오기 시작한 뒤 어느 시점에서는 출력의 크기가 0이 될 수 있다. 따라서 클럭이 사라지지 않는 구간을 구해보면 다음과 같이 나타낼 수 있다.

$$-\frac{\pi}{2} \leq \frac{\theta_1 - \theta_2}{2} \leq \frac{\pi}{2}$$

앞서와 마찬가지로 하나의 개폐발진기는 리셋되지 않으므로 위의 식은 다음과 같이 정리할 수 있다.

$$-\pi \leq 2\pi(f_1 - f_2)t + \theta_0 \leq \pi$$

따라서 클럭이 사라지지 않는 연속비트의 가능한 길이는 다음과 같다.

$$\frac{f_0}{(f_1 - f_2)} \left(-\frac{1}{2} - \theta_0\right) \leq b \leq \frac{f_0}{(f_1 - f_2)} \left(\frac{1}{2} - \theta_0\right)$$

곧 두 개의 주파수 불일치가 비슷할수록 오랫동안 클럭이 사라지지 않게 만들 수 있다.

④ 측정결과

설계된 회로에서는 두 개폐발진기의 불일치를 측정할 수 있는 준비를 해두지 않았기 때문에, 앞서 언급한 특성들을 이용하여 불일치를 계산하였다. 먼저 cycle slip에 의한 영향을 그림 4-8과 같이 측정하였다. 오실로스코프에서 아이 다이어그램을 그려보면 불일치에 의해서 그림 4-8의 왼쪽과 같이 클럭이 점점 밀리는 것을 관찰할 수 있다. 이 때, 기준 클럭을 조정하여, 그림 4-8의 오른쪽과 같이 cycle slip이 일어나지 않는 상태로 맞추었다. 이 때의 기준 클럭 주파수는 158MHz로, 4분주한 출력과 비교되므로, 위상동기회로의 발진기에서는 632MHz의 클럭이 생성되고 있을 것이다. 따라서 두 개폐발진기의 출력주파수의 평균은 기준클럭에 대하여 1.6%의 불일치를 갖고 있다. 이에 의하여 cycle slip에 의한 최대 연속비트길이는 20bit로 제한될 것이다.

다음으로는 기준클럭을 158MHz로 맞추어 cycle slip에 의한 영향을 제거한 상태로, 클럭상쇄에 의한 연속비트의 길이 제한을 측정하였다. 그림 4-9는 1, 0의 preamble비트 후에 몇 개의 0이 나오면 클럭이 상쇄되는가를 측정한 그림이다. 측

정된 값은 41비트였다. preamble에 의해서 두 클럭이 한 비트 차이로 재정렬되었으므로 θ_0 는 0이라고 가정하고 앞서 유도한 식에 대입하면, 두 개폐발진기 사이에는 1.2%의 불일치를 갖고 있는 것을 알 수 있다.

위의 두 결과를 통하여, 두 개폐발진기는 각각 기준클럭에 대하여 1%와 2.2%의 주파수 불일치를 갖고 있는 것으로 추정할 수 있다. 또한 두 가지 제약 중에서 cycle slip에 의한 길이제한이 더 두드러지므로, 이 회로의 최대 연속비트 길이는 20bit로 볼 수 있다.

최대 연속비트 길이 제한은 개폐발진기를 이용하는 클럭 데이터 복원회로의 구조에서 항상 등장하는 문제이다. 따라서 이러한 제약을 극복하기 위해 8b10b 코드와 같이 최대연속비트길이가 제한되는 코드를 사용할 수 있다. 8b10b 코드를 사용하면 최대연속비트길이는 5비트 이하로 제한되므로, 개폐발진기를 이용하는 데 큰 무리가 없다. 실제로 이더넷규격을 따르는 E-PON과 같은 규격에서는 8b10b 코드를 사용할 것으로 결정된 바 있다[10].

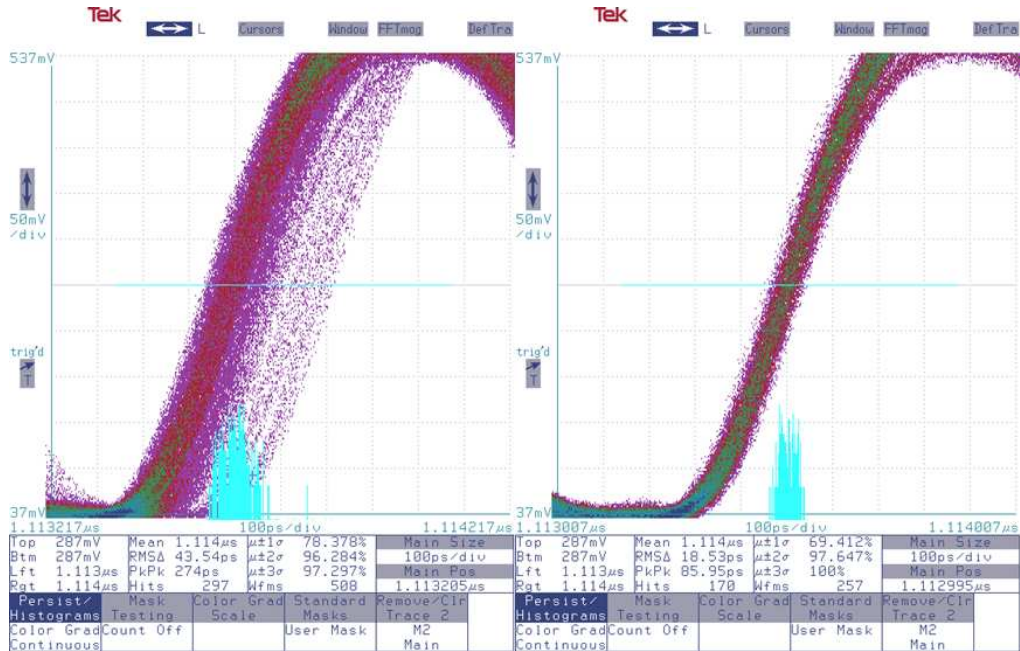


그림 4-8. 주파수 불일치에 의한 Cycle slip

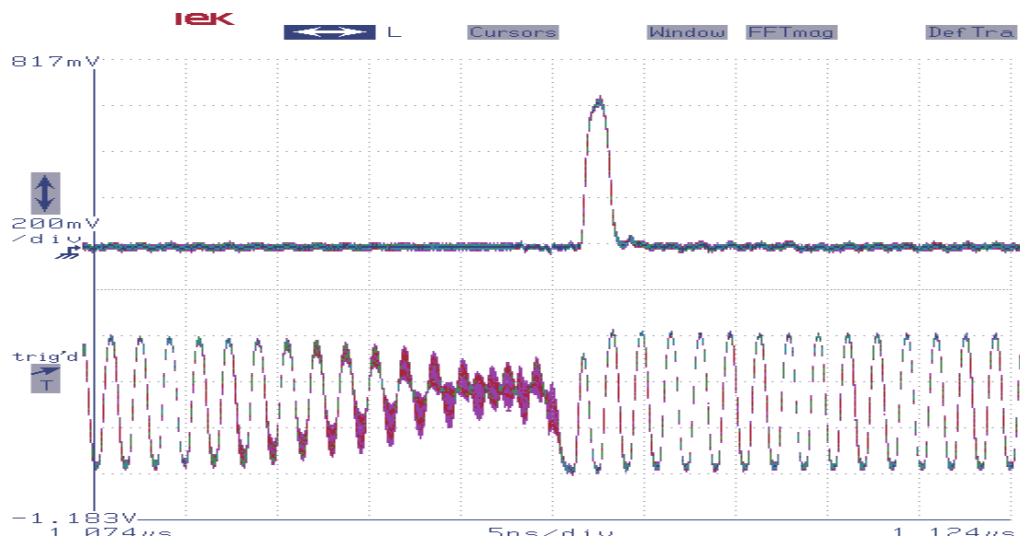


그림 4-9. 주파수 불일치에 의한 클럭 상쇄

제 5 장. 결론

본 논문에서는 기존의 개폐발진기를 이용한 클럭 데이터 복원회로를 개량하여, 듀티싸이클 왜곡에 강한 클럭 데이터 복원회로를 제안하였다. 제안된 회로는 Hynix 0.35 μ m 공정을 이용하여 1.25Gbps의 데이터 속도에서 동작할 수 있도록 설계되었고, HSPICE 시뮬레이션을 통하여 동작을 확인하고 실제 칩으로 구현되었다. 제작된 칩은 설계상의 문제로 인하여 목표한 데이터 속도에서 동작하지 않았기 때문에, 622Mbps의 데이터 속도에서 동작을 검증하였다. 설계된 칩의 특성을 표 5-1에 나타내었다.

일반적인 개폐발진기를 이용한 클럭 데이터 복원회로에서 공통적으로 나타나는 주파수 불일치에 의한 문제가, 제안된 회로에서는 어떤 방식으로 발현되는지 고찰하고 이에 대해서도 측정하였다.

이 회로를 통하여 버스트 모드 광수신기의 기준전압 생성기 등의 다른 부분에 대한 설계부담을 줄일 수 있으며, 더 나아가서는 광통신 시스템 자체의 가격을 낮추어 광통신 시대의 도래를 앞당길 수 있을 것으로 기대된다.

Process	Hynix 0.35 um
Operating Range	400 Mb/s ~ 880 Mb/s
Frequency Mismatch @622Mb/s	Interpolated : 1.6 % (632 MHz) GVCO #1 : 1.0 %(628.2 MHz) GVCO #2 : 2.2 %(635.7 MHz)
Maximum Run Length	20 bit (Exceeding 1/3 UI)
Maximum Duty Cycle Distortion Immunity	32%
Power Consumption	141.9 mW (CDR core only)
Area	450 um X 320 um (CDR core only)

표 5-1. 제작된 칩의 특성

참고문헌

- [1] 정보통신부 보도자료, “초고속 인터넷 1,000만 시대 열어, 디지털 경제시대 본격 진입의 계기 마련”, 2002. 11. 6
- [2] 정보통신부 보도자료, “인터넷 중독 실태조사 결과발표”, 2005. 7. 12
- [3] Behzad Razavi, “Design of Integrated Circuits for Optical Communications”, McGraw-Hill, 2003
- [4] M. banu and A. E. Dunlop, “Clock Recovery Circuit with Instantaneous Locking”, Electronic letters, Vol. 28, No. 23, pp. 2127-2130, 1992
- [5] Nobusuke Yamaoka, et al., “A CMOS Data and Clock Recovery Macrocell for Burst-Mode/Continuous-Mode Transmissions”, Proc. of the IEEE Custom Integrated Circuit Conference, pp. 45 - 48. 1997
- [6] Yu-Gun KIM, et al., “Novel 622 Mb/s Burst-Mode Clock and Data Recovery Circuits with Muxed Oscillators”, IEICE Transactions on Communications, Vol.E86-B, No.11, pp.3288-3292, Nov. 2003
- [7] 한건희, “전자회로”, 교보문고, 2000
- [8] John G. Maneatis, “Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques” JSSCC, Vol.31, No.11, Nov. 1996
- [9] Behzad Razavi, “Monolithic Phase-Locked Loops and Clock Recovery Circuits, Theory and Design”, IEEE press, 1996
- [10] IEEE Standards, 802.3ah-2004