

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | | |
|----------------------------|---|-------------------------------------|--|
| (51) Int. Cl. H03L 7/08 | | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2001년02월15일 10-0281555 2000년11월18일 |
| (21) 출원번호 | 10-1998-0047140 | (65) 공개번호 | 특2000-0031222 |
| (22) 출원일자 | 1998년11월04일 | (43) 공개일자 | 2000년06월05일 |
| (73) 특허권자 | 한국전자통신연구원, 정선중 대한민국 | | |
| | | | |
| | 한국전기통신공사, 이계철 대한민국 | | |
| (72) 발명자 | 전상오 대한민국 | | |
| | | | |
| | 정태식 대한민국 | | |
| | | | |
| | 최우영 대한민국 | | |
| | | | |
| | 최은창 대한민국 | | |
| (74) 대리인 | 특허법인 신성 박해천 특허법인 신성 원석희 특허법인 신성 최종식 특허법인 신성 박정후 특허법인 신성 정지원 | | |
| (77) 심사청구 | 심사관: 강성균 | | |
| (54) 출원명 | 고속 위상동기루프를 위한 위상 및 주파수 검출기 | | |

요약

1. 청구범위에 기재된 발명이 속하는 기술분야

본 발명은 고속 위상동기루프를 위한 위상 및 주파수 검출기에 관한 것임.

2. 발명이 해결하고자하는 과제

본 발명은 최종 출력을 로우 상태로 하강시키기 위해 필요한 리셋 경로를 단축시키므로써, 자체의 동작 주파수를 향상시키면서 고속 위상동기루프에 미치는 잡음을 최소화할 수 있는 위상 및 주파수 검출기를 제공함에 목적이 있다.

3. 발명의 해결방법의 요지

본 발명은, 기준신호를 래치하는 제 1 래치수단; 발진신호를 래치하는 제 2 래치수단; 제 2 래치수단의 출력신호를 입력받아 기준신호가 출력되는 것을 방지하는 기준신호 차단수단; 제 1 래치수단의 출력신호를 입력받아 발진신호가 출력되는 것을 방지하는 발진신호 차단수단; 기준신호와 발진신호를 입력받아 리셋신호를 발생하는 리셋신호 발생수단; 리셋신호에 따라, 제 1 래치수단을 리셋하는 제 1 리셋수단; 및 리셋신호에 따라, 제 2 래치수단을 리셋하는 제 2 리셋수단을 포함한다.

4. 발명의 중요한 용도

본 발명은 고속 위상동기루프의 위상 및 주파수를 동기시키는데 이용됨.

대표도

도5a

명세서

도면의 간단한 설명

도 1a는 종래의 위상동기루프를 위한 위상 및 주파수 검출기의 구성도.

도 1b는 종래의 위상동기루프를 위한 위상 및 주파수 검출기의 입출력 타이밍도.

도 2는 종래의 위상동기루프를 위한 위상 및 주파수 검출기의 상세 회로도.

도 3은 본 발명에 적용되는 다이내믹 D-래치 회로도.

도 4a는 본 발명에 따른 고속 위상동기루프를 위한 위상 및 주파수 검출기의 일실시에 회로도.

도 4b는 도 4a의 위상 및 주파수 검출기의 입출력 타이밍도.

도 5a는 본 발명에 따른 고속 위상동기루프를 위한 위상 및 주파수 검출기의 다른 실시예 회로도.

도 5b는 도 5a의 위상 및 주파수 검출기의 입출력 타이밍도.

* 도면의 주요 부분에 대한 부호의 설명 *

310, 330: PMOS 트랜지스터 320, 340: NMOS 트랜지스터

410, 420: 제 1 및 제 2 래치부 430: 입력신호 차단부

440, 550: 리셋신호 발생부 450, 460: 제 1 및 제 2 리셋부

510, 530: 제 3 및 제 4 래치부 530: 기준신호 발생부

540: 발진신호 발생부 560: 제 3 및 제 4 리셋부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속 위상동기루프(High-speed Phase-Locked Loop)를 위한 위상 및 주파수 검출기(Phase/Frequency Detector)에 관한 것으로서, 특히 고속 위상동기루프에 인가되는 기준신호와 고속 위상동기루프로부터 발진되는 출력신호 간의 위상 및 주파수 차를 검출하기 위한 위상 및 주파수 검출기에 관한 것이다.

도 1a는 종래의 위상동기루프를 위한 위상 및 주파수 검출기의 구성도이다.

도 1a에 도시된 바와 같이, 종래의 위상동기루프를 위한 위상 및 주파수 검출기는, 클럭단자를 통해 입력되는 기준 클럭에 따라, 입력단자(D)에 인가되는 일정한 하이레벨의 전원전압(VDD)을 지연시켜 출력단자(Out)를 통해 출력하는 제 1 D-플립플롭(110)과, 클럭단자를 통해 입력되는 발진 클럭에 따라, 입력단자(D)에 인가되는 일정한 하이레벨의 전원전압(VDD)을 지연시켜 출력단자(Out)를 통해 출력하는 제 2 D-플립플롭(120)과, 제 1 및 제 2 D-플립플롭(110, 120)들의 출력단자(Out)를 통해 출력된 신호들을 논리곱하여 제 1 및 제 2 D-플립플롭(110, 120)들의 리셋단자(Reset)로 출력하는 논리곱게이트(130)를 구비한다.

여기서, 제 1 D-플립플롭(110)의 클럭단자에 인가되는 기준 클럭은 위상동기루프에 인가되는 기준신호이고, 제 2 D-플립플롭(120)의 클럭단자에 인가되는 발진 클럭은 위상동기루프로부터 발진되는 출력신호이다.

즉, 제 1 D-플립플롭(110)에 의해 지연되어 출력단(OUT1)으로 출력된 신호와 제 2 D-플립플롭(120)에 의해 지연되어 출력단(OUT2)으로 출력된 신호 간의 위상 및 주파수 차를 검출하게된다.

이렇게, 검출된 위상 및 주파수 차가 바로 위상동기루프에 인가되는 기준신호와 위상동기루프에서 발진되는 신호 간의 위상 및 주파수 차이이다.

따라서, 전술한 바와 같이 검출된 위상 및 주파수 차에 따라, 사용자는 위상동기루프를 조절하여 위상동기루프로부터 발진되는 신호의 위상 및 주파수가 기준신호의 위상 및 주파수와 일치되도록 한다.

상기한 바와 같은 구조를 갖는 종래의 위상동기루프의 위상 및 주파수 검출기에 대하여 설명하면 다음과 같다.

제 1 및 제 2 D-플립플롭(110, 120)은 입력단자(D)에 입력되는 논리값을 클럭단자에 입력되는 신호가 하강하는 시점에서 출력에 논리 '1'의 값을 나타내도록 한다.

이와 같이, 두 개의 D-플립플롭(110, 120)을 사용하고 입력단자(D)에는 전원전압(VDD)의 값을 가하여 항상 논리 '1'의 값이 전달되도록 한다.

그리고, 출력단(OUT1, OUT2)의 신호가 모두 논리 '1'의 값을 가질 경우에, 논리곱게이트(130)로부터 출력되는 리셋신호는 논리 '1'의 값을 가지며, 이 리셋신호는 곧바로 제 1 및 제 2 D-플립플롭(110, 120)의 리셋단자(Reset)에 전달된다.

도 1b는 종래의 위상동기루프를 위한 위상 및 주파수 검출기의 입출력 타이밍도로서, 이를 참조하여 상기 도 1a의 위상 및 주파수 검출기에 대한 동작을 보다 구체적으로 설명한다.

제 1 D-플립플롭(110)의 클럭단자에 인가되는 기준 클럭은 하이 상태와 로우 상태가 일정한 주기를 갖는 펄스 형태의 전압신호로서, 이 전압신호가 하이 상태에서 로우 상태로 하강하는 시점에서 출력단(OUT1)에는 하이 상태의 전압 신호가 출력된다.

마찬가지로, 제 2 D-플립플롭(120)의 클럭단자에도 일정한 주기를 갖는 펄스 형태의 전압신호가 전달된다.

그러나, 제 1 및 제 2 D-플립플롭(110, 120)의 클럭단자에 인가되는 전압신호들은 도 1b에 도시된 만큼의 위상 및 주파수 차를 가지게 된다. 여기서, (A1)은 제 1 D-플립플롭(110)의 클럭단자에 인가되는 전압신호이고, (B1)은 제 2 D-플립플롭(120)의 클럭단자에 인가되는 전압신호이다.

따라서, 제 2 D-플립플롭(120)의 출력단자(Out)에 연결된 출력단(OUT2)에는 제 1 D-플립플롭(110)의 출력단자(Out)에 연결된 출력단(OUT1)의 하이 상태의 전압 신호가 출력되고, 도 1b에 나타난 위상 및 주파수 차이 만큼의 시간이 지난 후에 하이 상태의 전압 신호가 출력된다. 여기서, (C1)은 제 1 D-플립플롭(110)으로부터 출력단(OUT1)으로 출력되는 신호이고, (D1)은 제 2 D-플립플롭(120)으로부터 출력단(OUT2)으로 출력되는 신호이다.

그리고, 출력단(OUT1, OUT2)들로 전달된 전압신호가 동시에 하이 상태에 있을 경우에, 논리곱게이트(130)로부터 출력되는 리셋신호가 하이 상태가 되어, 제 1 및 제 2 D-플립플롭(110, 120)은 리셋된다.

이러한, 리셋신호는 제 1 및 제 2 D-플립플롭(110, 120)으로부터 출력되는 전압신호를 로우 상태로 하강시키는 역할을 하게 되어, 출력단(OUT1, OUT2)들로 전달되는 하이 상태의 전압신호는 리셋 동작이 시작되면 로우 상태로 하강하게 된다.

이때, 리셋하기 위해 필요한 시간은 종래의 위상 및 주파수 검출기가 이용되는 위상동기루프에서 다음과 같은 문제점들이 야기된다.

일반적으로, 위상동기루프는 위상 및 주파수 검출기 이외에 전하펌프 루프필터 및 전압제어 발진기로 구성되는데, 위상 및 주파수 검출기의 다음단에 연결된 전하펌프 루프필터를 구성하는 두 전류원은 출력단(OUT1, OUT2)들을 통해 전달되는 신호를 입력받아 동작한다.

따라서, 위상 및 주파수 검출기의 두 출력신호가 모두 하이 상태가 되면, 전하 펌프 루프 필터의 두 전류원이 모두 동작하여 불안정한 출력이 전압제어 발진기에 전달되고, 이것은 위상 동기 루프의 성능에 중요한 척도인 잡음을 크게 만드는 문제점이 있었다.

더욱이, 리셋 동작을 위해 필요한 시간 동안은 위상 및 주파수 검출기가 동작할 수 없기 때문에 동작 주파수가 제한되고 위상 및 주파수를 검출할 수 없는 문제점이 있었다.

전술한 바와 같은 종래의 위상 및 주파수 검출기의 리셋 동작에 필요한 시간이 어느 정도로 나타나는지를 도 2를 참조하여 설명할 것이다.

도 2는 종래의 위상동기루프를 위한 위상 및 주파수 검출기의 상세 회로도이다.

도 2에 도시된 바와 같이, 종래의 위상동기루프를 위한 위상 및 주파수 검출기는, 제 1 입력단으로 기준 클럭이 입력되는 부정논리곱게이트(111)와, 제 1 입력단이 부정논리곱게이트(111)의 출력단에 연결된 부정논리곱게이트(112)와, 제 1 입력단이 부정논리곱게이트(112)의 출력단에 연결되고 출력단이 부정논리곱게이트(112)의 제 2 입력단에 연결된 부정논리곱게이트(113)와, 제 1 및 제 2 입력단이 부정논리곱게이트(111, 112)들의 출력단에 연결되고 출력단이 부정논리곱게이트(111)의 제 2 입력단에 연결된 부정논리곱게이트(114)와, 입력단이 부정논리곱게이트(114)의 출력단에 연결되고 출력단이 출력단(OUT1)에 연결된 인버터(115)와, 제 1 입력단으로 발진 클럭이 입력되는 부정논리곱게이트(121)와, 제 1 입력단이 부정논리곱게이트(121)의 출력단에 연결된 부정논리곱게이트(122)와, 제 1 입력단이 부정논리곱게이트(122)의 출력단에 연결되고 출력단이 부정논리곱게이트(122)의 제 2 입력단에 연결된 부정논리곱게이트(123)와, 제 1 및 제 2 입력단이 부정논리곱게이트(121, 122)들의 출력단에 연결되고 출력단이 부정논리곱게이트(121)의 제 2 입력단에 연결된 부정논리곱게이트(124)와, 입력단이 부정논리곱게이트(124)의 출력단에 연결되고 출력단이 출력단(OUT2)에 연결된 인버터(125)와, 제 1 내지 제 4 입력단이 부정논리곱게이트(111, 112, 121, 122)들의 출력단에 연결되고 출력단이 부정논리곱게이트(113, 123)들의 제 2 입력단과 부정논리곱게이트(114, 124)들의 제 3 입력단에 연결된 부정논리곱게이트(210)를 구비한다.

여기서, 부정논리곱게이트(111 내지 114)들과 인버터(115)는 상기 도 1a의 제 1 D-플립플롭(110)을 구현한 것이다.

또한, 부정논리곱게이트(121 내지 124)들과 인버터(125)는 상기 도 1a의 제 2 D-플립플롭(120)을 구성하는 소자들이다.

한편, 부정논리곱게이트(210)는 상기 도 1a의 논리곱게이트(130)와 동일한 기능을 하는 소자이다.

도 2에 도시된 것처럼, 종래의 위상 및 주파수 검출기의 리셋에 필요한 시간을 살펴보면 다음과 같다.

우선, 부정논리곱게이트(121)의 제 1 입력단으로 입력되는 발진 클럭인 전압신호와 부정논리곱게이트(124)의 출력신호가 부정논리곱게이트(121)를 통해 부정논리곱되어 출력된 후, 이 출력값은 부정논리곱게이트(123)의 출력신호와 같이 부정논리곱게이트(122)를 통해 부정논리곱되어 부정논리곱게이트(123, 124)들로 출력된다. 이어서, 부정논리곱게이트(123)는 부정논리곱게이트(122)와 부정논리곱게이트(210)의 출력값을 부정논리곱하여 부정논리곱게이트(122)의 제 2 입력단으로 전달된다.

그리고, 부정논리곱게이트(210)는 부정논리곱게이트(111, 112, 121, 122)들의 출력신호를 부정논리곱하여 부정논리곱게이트(113, 114, 123, 125)들로 출력한다. 이어서, 부정논리곱게이트(121, 122, 210)들의 출력신호는 부정논리곱게이트(125)에 의해 부정논리곱된 후, 인버터(125)를 통해 반전되어 출력단(OUT2)으로 출력되는 신호가 로우 상태로 하강하게 된다.

이와 같은 동작을 수행하므로써, 상기한 바와 같은 종래의 위상 및 주파수 검출기에 필요한 전체 리셋 시간은 7개의 논리곱게이트(111 내지 115, 121 내지 125)들에 의한 지연 시간으로 나타나게 되고, 따라서 7개의 논리곱게이트(111 내지 115, 121 내지 125)들에 의한 지연 시간 동안, 도 2에 도시된 종래의 위상 및 주파수 검출기를 구비하고 있는 위상동기루프에서는 매우 심한 잡음이 계속해서 발생하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 고속 위상동기루프에 인가되는 기준신호와 고속 위상동기루프로부터 발진되는 출력신호 간의 위상 및 주파수 차를 검출함에 있어, 최종 출력을 로우 상태로 하강시키기 위해 필요한 리셋 경로를 단축시키므로써, 자체의 동작 주파수를 향상시키면서 고속 위상동기루프에 미치는 잡음을 최소화할 수 있는 위상 및 주파수 검출기를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명은, 고속 위상동기루프에 인가되는 기준신호와 고속 위상동기루프로부터 발진되는 발진신호 간의 위상 및 주파수 차를 검출하기 위한 위상 및 주파수 검출기에 있어서, 상기 기준신호를 래치하여 제 1 출력단으로 출력하는 제 1 래치수단; 상기 발진신호를 래치하여 제 2 출력단으로 출력하는 제 2 래치수단; 상기 제 2 래치수단의 출력신호를 입력받아, 상기 제 1 래치수단의 리셋 상태시 신호 레벨이 변화 상태에 있는 현재의 상기 기준신호가 출력되는 것을 방지하는 기준신호 차단수단; 상기 제 1 래치수단의 출력신호를 입력받아, 상기 제 2 래치수단의 리셋 상태시 신호 레벨이 변화 상태에 있는 현재의 상기 발진신호가 출력되는 것을 방지하는 발진신호 차단수단; 상기 기준신호와 발진신호를 입력받아 리셋신호를 발생하기 위한 리셋신호 발생수단; 상기 리셋신호에 따라, 상기 제 1 래치수단을 리셋시키기 위한 제 1 리셋수단; 및 상기 리셋신호에 따라, 상기 제 2 래치수단을 리셋시키기 위한 제 2 리셋수단을 포함한다.

또한, 본 발명은, 고속 위상동기루프에 인가되는 기준신호와 고속 위상동기루프로부터 발진되는 발진신호 간의 위상 및 주파수 차를 검출하기 위한 위상 및 주파수 검출기에 있어서, 상기 기준신호를 래치하여 제 1 출력단으로 출력하는 제 1 래치수단; 상기 발진신호를 래치하여 제 2 출력단으로 출력하는 제 2 래치수단; 상기 기준신호와 발진신호를 입력받아, 상기 제 1 및 제 2 래치수단의 리셋 상태시 신호 레벨이 변화 상태에 있는 현재의 상기 기준신호와 발진신호가 출력되는 것을 방지하는 입력신호 차단수단; 상기 제 1 및 제 2 래치수단의 출력신호를 입력받아 리셋신호를 발생하기 위한 리셋신호 발생수단; 상기 리셋신호에 따라, 상기 제 1 래치수단을 리셋시키기 위한 제 1 리셋수단; 및 상기 리셋신호에 따라, 상기 제 2 래치수단을 리셋시키기 위한 제 2 리셋수단을 포함한다.

이하, 도 3 내지 도 5를 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다.

도 3은 본 발명에 적용되는 다이내믹(Dynamic) D-래치(Latch) 회로로서, 소오스와 게이트에 각각 전원전압(VDD) 및 입력신호가 인가되는 PMOS 트랜지스터(310)와, 게이트에 클럭이 인가되고, 드레인과 소오스가 각각 PMOS 트랜지스터(310)의 드레인과 접지에 연결된 NMOS 트랜지스터(320)와, 게이트와 소오스에 각각 클럭 및 전원전압(VDD)이 인가되고, 드레인이 출력단에 연결된 PMOS 트랜지스터(330)와, 게이트가 PMOS 트랜지스터(310) 및 NMOS 트랜지스터(320)의 드레인에 공통 연결되고, 드레인과 소오스가 각각 출력단과 접지에 연결된 NMOS 트랜지스터(340)를 구비한다.

상기한 바와 같은 구조를 갖는 본 발명이 적용되는 다이내믹 D-래치 회로의 동작에 대하여 상세하게 설명하면 다음과 같다.

우선, NMOS 트랜지스터(310)와 PMOS 트랜지스터(320)의 게이트에 인가되는 클럭이 하이 상태이면, NMOS 트랜지스터(320)가 턴온되므로, 이때 PMOS 트랜지스터(310)의 게이트에 인가되는 입력신호가 어떠한 신호 레벨을 갖더라도, NMOS 트랜지스터(340)의 게이트로 출력되는 신호는 로우 상태에 있게 된다.

따라서, PMOS 트랜지스터(330)와 NMOS 트랜지스터(340)는 모두 턴오프되므로, 최종 출력값은 이전의 값을 유지하게 된다.

다음은, 로우 상태의 클럭이 인가되면, NMOS 트랜지스터(320)가 턴오프되고, PMOS 트랜지스터(330)가 턴온되므로, 입력신호에 따라 출력단을 통해 출력되는 최종 출력값이 결정된다.

즉, 하이 또는 로우 상태의 입력신호는 클럭이 하강하는 시점에서 출력으로 전달된다.

도 4a 및 도 5a에 도시된 본 발명의 일실시예 및 다른 실시예에 따른 위상 및 주파수 검출기는, 전술한 바와 같은 다이내믹 D-래치 회로를 이용하여 구현한 것이다.

도 4a는 본 발명에 따른 고속 위상동기루프를 위한 위상 및 주파수 검출기의 일실시예 회로도이다.

도 4a에 도시된 바와 같이, 본 발명의 일실시예에 따른 위상 및 주파수 검출기는, 고속 위상동기루프에 인가되는 기준신호를 래치하기 위한 제 1 래치부(410)와, 고속 위상동기루프로부터 발진되는 발진신호를 래치하기 위한 제 2 래치부(420)와, 제 1 및 제 2 래치부(410, 420)의 리셋 상태시, 상기 기준신호와 발진신호를 입력받아 신호 레벨이 변화 상태에 있는 현재의 상기 기준신호와 발진신호가 출력단으로 출력되는 것을 방지하기 위한 입력신호 차단부(430)와, 제 1 및 제 2 래치부(410, 420)의 출력신호를 입력받아 리셋신호를 발생하기 위한 리셋신호 발생부(440)와, 리셋신호 발생부(440)로부터 전달되는 리셋신호에 따라 제 1 래치부(410)를 리셋시키기 위한 제 1 리셋부(450)와, 리셋신호 발생부(440)로부터 전달되는 리셋신호에 따라 제 2 래치부(420)를 리셋시키기 위한 제 2 리셋부(460)를 구비한다.

제 1 및 제 2 래치부(410, 420)는 상기 도 3에 도시된 다이내믹 D-래치 회로를 이용하여 구현한 것으로서, 제 1 래치부(410)는, 소오스와 게이트가 각각 전원전압(VDD) 및 입력신호 차단부(430)의 출력단에 연결된 PMOS 트랜지스터(411)와, 게이트에 기준신호가 인가되고, 드레인과 소오스가 각각 PMOS 트랜지스터(411)의 드레인과 접지에 연결된 NMOS 트랜지스터(412)와, 게이트와 소오스에 각각 기준신호와 전원전압(VDD)이 인가되고, 드레인이 출력단에 연결된 PMOS 트랜지스터(413)와, 게이트가 PMOS 트랜지스터(411) 및 NMOS 트랜지스터(412)의 드레인에 공통 연결되고, 드레인과 소오스가 각각 출력단과 접지에 연결된 NMOS 트랜지스터(414)로 구성된다.

마찬가지로, 제 2 래치부(420)는, 소오스와 게이트에 각각 전원전압(VDD) 및 입력신호 차단부(430)의 출력단에 연결된 PMOS 트랜지스터(421)와, 게이트에 발진신호가 인가되고, 드레인과 소오스가 각각 PMOS 트랜지스터(421)의 드레인과 접지에 연결된 NMOS 트랜지스터(422)와, 게이트와 소오스에 각각 기준신호와 전원전압(VDD)이 인가되고, 드레인이 출력단에 연결된 PMOS 트랜지스터(423)와, 게이트가 PMOS 트랜지스터(421) 및 NMOS 트랜지스터(422)의 드레인에 공통 연결되고, 드레인과 소오스가 각각 출력단과 접지에 연결된 NMOS 트랜지스터(424)를 포함하여 이루어진다.

입력신호 차단부(430)는, 기준신호와 발진신호를 논리합하여 PMOS 트랜지스터(411, 421)들의 게이트로 출력하는 논리합게이트(431)로 이루어진다.

리셋신호 발생부(440)는 제 1 및 제 2 래치부(410, 420)의 출력신호를 논리곱하여 제 1 및 제 2 리셋부(450, 460)로 출력하는 논리곱게이트(441)로 구성된다.

제 1 리셋부(450)는, 게이트가 리셋신호 발생부(440)의 논리곱게이트(441)의 출력단에 연결되고, 드레인이 제 1 래치부(410)의 출력단에 연결되며, 소오스가 접지에 연결된 NMOS 트랜지스터(451)로 이루어진다.

제 2 리셋부(460)는, 게이트가 리셋신호 발생부(440)의 논리곱게이트(441)의 출력단에 연결되고, 드레인이 제 2 래치부(420)의 출력단에 연결되며, 소오스가 접지에 연결된 NMOS 트랜지스터(461)로 구성된다.

여기서, 입력신호 차단부(430)는 제 1 및 제 2 래치부(410, 420)의 출력단이 리셋된 이후에, 다음 기준신호 및 발진신호가 입력될 때까지 기준신호 및 발진신호의 변화가 출력단에 전달되는 것을 방지하는 기능을 수행한다.

도 4b는 상기 도 4a의 위상 및 주파수 검출기의 입출력 타이밍도로서, 이를 참조하여 상기 도 4a에 도시된 본 발명의 일실시예에 따른 위상 및 주파수 검출기의 동작을 상세하게 설명한다.

도 4b에 나타난 바와 같이, 제 1 래치부(410)와 입력신호 차단부(430)에 인가되는 기준신호(A2)가 하강하는 시점에서, 제 1 래치부(410)로부터 출력단(OUT1)으로 출력되는 전압신호(C2)가 하이 상태로 상승하면서, 제 2 래치부(420)와 입력신호 차단부(430)로 인가되는 발진신호(B2)가 하강하여 제 2 래치부(420)로부터 출력단(OUT2)으로 출력되는 전압신호(D2)가 하이 상태로 된다.

이어서, 동시에 하이 상태에 있는 전압신호를 로우 상태로 하강시키기 위해 필요한 리셋 시간은, 리셋신호 발생부(440)의 논리곱게이트(441)에서 두 개의 입력신호에 대한 논리곱 시간만이 소모하기 때문에, 도 2에 나타난 것처럼 4개의 신호를 부정논리곱하여야 하는 기존의 리셋 시간에 비교하여 50% 이상 빨라졌음을 알 수 있다.

따라서, 리셋 시간은 위상 및 주파수 검출기의 동작 주파수를 결정하면서 전체 위상동기루프의 잡음을 야기시키는 원인이기 때문에, 보다 빨라진 리셋 시간으로 인하여 본 발명은, 전체 위상동기루프에서 발생하는 잡음을 제거할 수 있을 뿐만 아니라, 고주파 대역에서도 안정적으로 동작할 수 있도록 한다.

도 5a는 본 발명에 따른 고속 위상동기루프를 위한 위상 및 주파수 검출기의 다른 실시예 회로도이다.

도 5a에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 위상 및 주파수 검출기는, 고속 위상동기루프에 인가되는 기준신호를 래치하기 위한 제 3 래치부(510)와, 고속 위상동기루프로부터 발진되는 발진신호를 래치하기 위한 제 4 래치부(520)와, 제 3 래치부(510)의 리셋 상태시, 제 4 래치부(520)의 출력신호를 입력받아 신호 레벨이 변화 상태에 있는 현재의 상기 기준신호가 출력단으로 출력되는 것을 방지하기 위한 기준신호 차단부(530)와, 제 4 래치부(520)의 리셋 상태시, 제 3 래치부(510)의 출력신호를 입력받아 신호 레벨이 변화 상태에 있는 현재의 상기 발진신호가 출력단으로 출력되는 것을 방지하기 위한 발진신호 차단부(540)와, 기준신호와 발진신호를 입력받아 리셋신호를 발생하기 위한 리셋신호 발생부(550)와, 리셋신호 발생부(550)로부터 전달되는 리셋신호에 따라 제 1 래치부(510)를 리셋시키기 위한 제 3 리셋부(560)와, 리셋신호 발생부(550)로부터 전달되는 리셋신호에 따라 제 2 래치부(420)를 리셋시키기 위한 제 4 리셋부(570)를 구비한다.

상기 도 4a에서 전술한 바와 마찬가지로, 상기 도 5a에 도시된 제 3 및 제 4 래치부(510, 520)도 상기 도 3에 도시된 다이내믹 D-래치 회로를 이용하여 구현한 것이다.

제 3 래치부(510)는, 소오스와 게이트가 각각 전원전압(VDD) 및 기준신호 차단부(530)의 출력단에 연결된 PMOS 트랜지스터(511)와, 게이트에 기준신호가 인가되고, 드레인과 소오스가 각각 PMOS 트랜지스터(511)의 드레인과 접지에 연결된 NMOS 트랜지스터(512)와, 게이트와 소오스에 각각 기준신호와 전원전압(VDD)이 인가되고, 드레인이 출력단에 연결된 PMOS 트랜지스터(513)와, 게이트가 PMOS 트랜지스터(511) 및 NMOS 트랜지스터(512)의 드레인에 공통 연결되고, 드레인과 소오스가 각각 출력단과 접지에 연결된 NMOS 트랜지스터(514)로 구성된다.

제 4 래치부(520)는, 소오스와 게이트에 각각 전원전압(VDD) 및 발진신호 차단부(540)의 출력단에 연결된 PMOS 트랜지스터(521)와, 게이트에 발진신호가 인가되고, 드레인과 소오스가 각각 PMOS 트랜지스터(521)의 드레인과 접지에 연결된 NMOS 트랜지스터(522)와, 게이트와 소오스에 각각 기준신호와 전원전압(VDD)이 인가되고, 드레인이 출력단에 연결된 PMOS 트랜지스터(523)와, 게이트가 PMOS 트랜지스터(521) 및 NMOS 트랜지스터(522)의 드레인에 공통 연결되고, 드레인과 소오스가 각각 출력단과 접지에 연결된 NMOS 트랜지스터(524)를 포함하여 이루어진다.

기준신호 차단부(530)는, 제 4 래치부(520)의 출력신호를 반전시켜 PMOS 트랜지스터(511)의 게이트로 출력하는 인버터(531)로 이루어진다.

발진신호 차단부(540)는, 제 3 래치부(510)의 출력신호를 반전시켜 PMOS 트랜지스터(521)의 게이트로 출력하는 인버터(531)로 이루어진다.

리셋신호 발생부(550)는 기준신호와 발진신호를 부정논리합하여 제 3 및 제 4 리셋부(560, 570)로 출력하는 부정논리합게이트(551)로 구성된다.

제 3 리셋부(560)는, 게이트가 리셋신호 발생부(550)의 부정논리합게이트(551)의 출력단에 연결되고, 드레인이 제 3 래치부(510)의 출력단에 연결되며, 소오스가 접지에 연결된 NMOS 트랜지스터(561)로 이루어진다.

제 4 리셋부(570)는, 게이트가 리셋신호 발생부(550)의 부정논리합게이트(551)의 출력단에 연결되고, 드레인이 제 4 래치부(520)의 출력단에 연결되며, 소오스가 접지에 연결된 NMOS 트랜지스터(571)로 구성된다.

도 5b는 상기 도 5a의 위상 및 주파수 검출기의 입출력 타이밍도로서, 이를 참조하여 상기 도 5a에 도시된 본 발명의 다른 실시예에 따른 위상 및 주파수 검출기의 동작을 상세하게 설명한다.

도 5b를 참조하면, 제 3 래치부(510)로부터 출력단(OUT1)으로 전달되는 전압신호(C3)가 하이 상태이면, PMOS 트랜지스터(521)의 게이트로 인가되는 발진신호 차단부(540)의 출력신호가 로우 상태가 되므로, 제 4 래치부(520)에 입력되는 발진신호(B3)가 하강하는 시점에서 출력단(OUT2)으로 출력되는 전압신호(D3)가 로우 상태로 된다.

이에 따라, 제 3 및 제 4 래치부(510, 520)로부터 출력단(OUT1, OUT2)으로 출력되는 전압신호(C3, D3)가 동시에 하이 상태가 되어, 전체 위상동기루프에 미치는 잡음이 최대한 제거된다.

그리고, 출력단(OUT2)으로 전달되는 제 4 래치부(520)의 출력신호(D3)를 반전시켜 제 3 래치부(510)의 PMOS 트랜지스터(511)의 게이트로 전달하여, 레벨이 변화 상태에 있는 현재의 기준신호(A3)가 제 3 래치부(510)를 통해 출력단(OUT1)으로 출력되는 것을 방지하므로써, 출력단(OUT1, OUT2)들로 전달되는 전압신호(C3, D3)가 동시에 하이 상태가 되는 것을 방지하는 과정이 제 1 리셋 경로이다.

이때, 제 3 래치부(510)로부터 출력단(OUT1)으로 전달되는 전압신호(C3) 또는 제 4 래치부(520)로부터 출력단(OUT2)으로 전달되는 전압신호(D3)가 하강하는 시점에서, 다른 하나의 출력단으로 전달되는 전압신호를 로우 상태로 하강시키기 위하여, 리셋신호 발생부(550)의 부정논리합게이트(551)가 기준신호(A3)와 발진신호(B3)를 부정논리합하여 부정논리합한 리셋신호를 리셋부(560, 570)로 전달하는 것이 제 2 리셋 경로이다.

결론적으로, 전압신호(C3)가 하이 상태일 경우 상기 도 5b에 도시된 것처럼 전압신호(D3)는 위상 및 주파수 검출기의 다음단인 전하펌프 루프필터에 영향을 주기 전에 문턱전압 이하의 로우 상태로 감소하는 것을 알 수 있다.

따라서, 상기 도 4a에서와 마찬가지로 고주파 대역에서 안정적으로 동작하면서 전체 위상동기루프에 미치는 잡음을 최대로 제거할 수 있게 된다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명은 다음과 같은 효과들을 갖는다.

첫째, 복잡한 논리게이트로 구성된 기존의 D-플립플롭을 사용하지 않고 대신에 트랜지스터들로 구성된 다이내믹 D-래치회로를 채용하므로써, 구성을 간단하게 할 수 있고, 이에 따라 자체의 동작 주파수를 향상시키고 고속 위상동기루프의 동작 주파수 대역을 현저하게 증가 시킬 수 있다.

둘째, 위상 및 주파수 검출기의 리셋에 필요한 경로를 두 부분으로 나누므로써, 전하펌프 루프필터와 연동하여 사용되는 위상 및 주파수 검출기가 고속 위상동기루프의 전체에 미치는 잡음을 최소한으로 제거할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

고속 위상동기루프에 인가되는 기준신호와 고속 위상동기루프로부터 발진되는 발진신호 간의 위상 및 주파수 차를 검출하기 위한 위상 및 주파수 검출기에 있어서,

상기 기준신호를 래치하여 제 1 출력단으로 출력하는 제 1 래치수단;

상기 발진신호를 래치하여 제 2 출력단으로 출력하는 제 2 래치수단;

상기 기준신호와 발진신호를 입력받아, 상기 제 1 및 제 2 래치수단의 리셋 상태시 신호 레벨이 변화 상태에 있는 현재의 상기 기준신호와 발진신호가 출력되는 것을 방지하는 입력신호 차단수단;

상기 제 1 및 제 2 래치수단의 출력신호를 입력받아 리셋신호를 발생하기 위한 리셋신호 발생수단;

상기 리셋신호에 따라, 상기 제 1 래치수단을 리셋시키기 위한 제 1 리셋수단; 및

상기 리셋신호에 따라, 상기 제 2 래치수단을 리셋시키기 위한 제 2 리셋수단

을 포함하여 이루어진 위상 및 주파수 검출기.

청구항 2.

제 1 항에 있어서,

상기 입력신호 차단수단은,

상기 기준신호와 발진신호를 논리합하여 상기 제 1 및 제 2 래치수단으로 출력하는 논리합 연산수단

을 포함하여 이루어진 위상 및 주파수 검출기.

청구항 3.

제 1 항에 있어서,

상기 리셋신호 발생수단은,

상기 제 1 및 제 2 래치수단의 출력신호를 논리곱하여 상기 제 1 및 제 2 리셋수단으로 출력하는 논리곱 연산수단

을 포함하여 이루어진 위상 및 주파수 검출기.

청구항 4.

제 1 항에 있어서,

상기 제 1 리셋수단은,

게이트가 상기 리셋신호 발생수단의 출력단에 연결되고, 드레인이 상기 제 1 래치수단의 출력단에 연결되며, 소오스가 접지에 연결된 NMO S 트랜지스터

를 포함하여 이루어진 위상 및 주파수 검출기,

청구항 5.

제 1 항에 있어서,

상기 제 2 리셋수단은,

게이트가 상기 리셋신호 발생수단의 출력단에 연결되고, 드레인이 상기 제 2 래치수단의 출력단에 연결되며, 소오스가 접지에 연결된 NMO S 트랜지스터

를 포함하여 이루어진 위상 및 주파수 검출기,

청구항 6.

제 1 항 내지 제 5 항중 어느 한 항에 있어서,

상기 제 1 및 제 2 래치수단은 각각,

다이내믹(Dynamic) D-래치(Latch) 회로인 것을 특징으로 하는 위상 및 주파수 검출기,

청구항 7.

고속 위상동기루프에 인가되는 기준신호와 고속 위상동기루프로부터 발전되는 발전신호 간의 위상 및 주파수 차를 검출하기 위한 위상 및 주파수 검출기에 있어서,

상기 기준신호를 래치하여 제 1 출력단으로 출력하는 제 1 래치수단;

상기 발전신호를 래치하여 제 2 출력단으로 출력하는 제 2 래치수단;

상기 제 2 래치수단의 출력신호를 입력받아, 상기 제 1 래치수단의 리셋 상태시 신호 레벨이 변화 상태에 있는 현재의 상기 기준신호가 출력되는 것을 방지하는 기준신호 차단수단;

상기 제 1 래치수단의 출력신호를 입력받아, 상기 제 2 래치수단의 리셋 상태시 신호 레벨이 변화 상태에 있는 현재의 상기 발전신호가 출력되는 것을 방지하는 발전신호 차단수단;

상기 기준신호와 발전신호를 입력받아 리셋신호를 발생하기 위한 리셋신호 발생수단;

상기 리셋신호에 따라, 상기 제 1 래치수단을 리셋시키기 위한 제 1 리셋수단; 및

상기 리셋신호에 따라, 상기 제 2 래치수단을 리셋시키기 위한 제 2 리셋수단

를 포함하여 이루어진 위상 및 주파수 검출기,

청구항 8.

제 7 항에 있어서,

상기 기준신호 차단수단은,

상기 제 2 래치수단의 출력신호를 반전하여 상기 제 1 래치수단으로 출력하는 반전수단

를 포함하여 이루어진 위상 및 주파수 검출기,

청구항 9.

제 7 항에 있어서,

상기 발전신호 차단수단은,

상기 제 1 래치수단의 출력신호를 반전하여 상기 제 2 래치수단으로 출력하는 반전수단

를 포함하여 이루어진 위상 및 주파수 검출기,

청구항 10.

제 7 항에 있어서,

상기 리셋신호 발생수단은,

상기 기준신호와 발전신호를 부정논리합하여 상기 제 1 및 제 2 리셋수단으로 출력하는 부정논리합 연산수단

를 포함하여 이루어진 위상 및 주파수 검출기.

청구항 11.

제 7 항에 있어서,

상기 제 1 리셋수단은,

게이트가 상기 리셋신호 발생수단의 출력단에 연결되고, 드레인이 상기 제 1 래치수단의 출력단에 연결되며, 소오스가 접지에 연결된 NMOS 트랜지스터

를 포함하여 이루어진 위상 및 주파수 검출기.

청구항 12.

제 7 항에 있어서,

상기 제 2 리셋수단은,

게이트가 상기 리셋신호 발생수단의 출력단에 연결되고, 드레인이 상기 제 2 래치수단의 출력단에 연결되며, 소오스가 접지에 연결된 NMOS 트랜지스터

를 포함하여 이루어진 위상 및 주파수 검출기.

청구항 13.

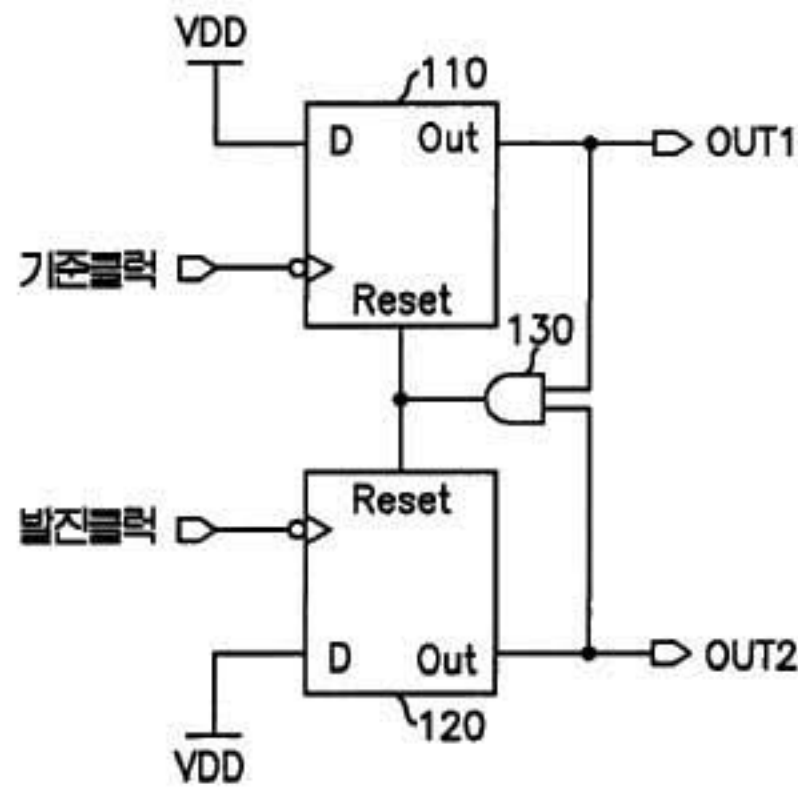
제 7 항 내지 제 12 항중 어느 한 항에 있어서,

상기 제 1 및 제 2 래치수단은 각각,

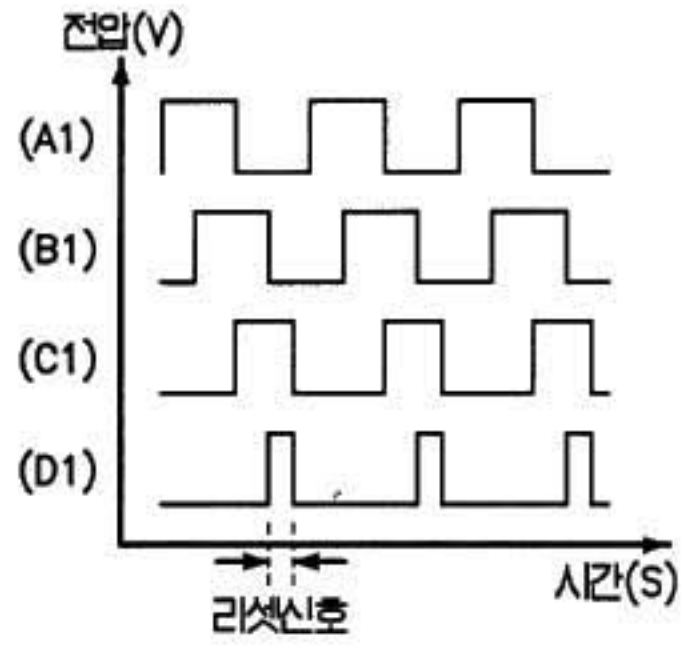
다이내믹(Dynamic) D-래치(Latch) 회로인 것을 특징으로 하는 위상 및 주파수 검출기.

도면

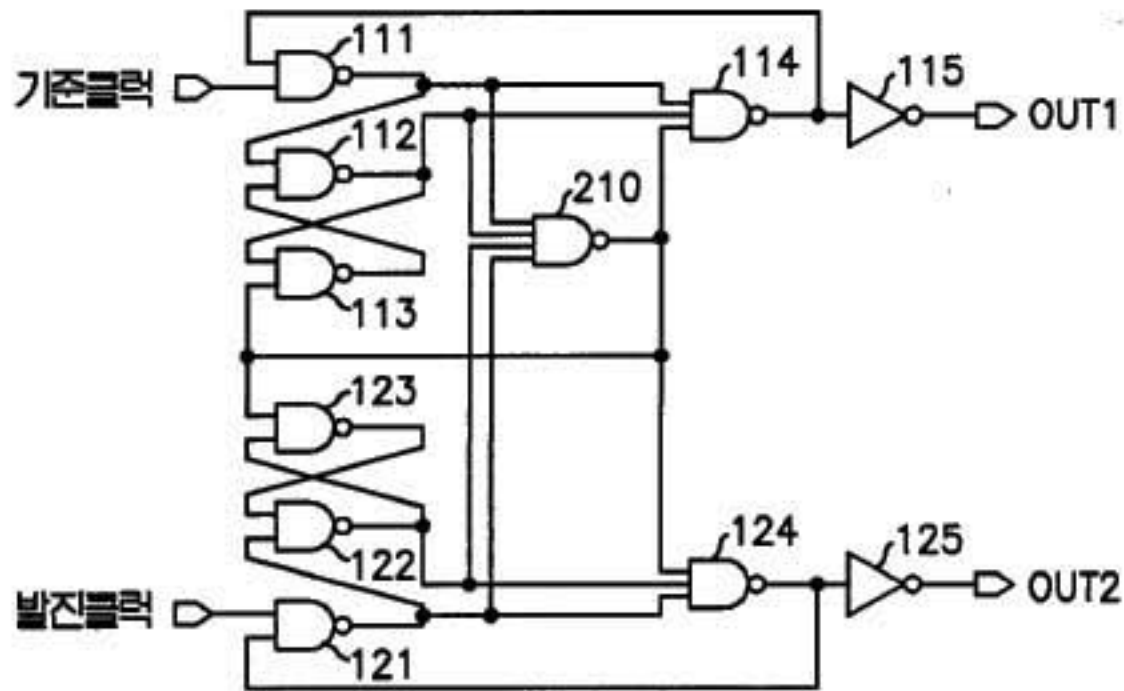
도면 1a



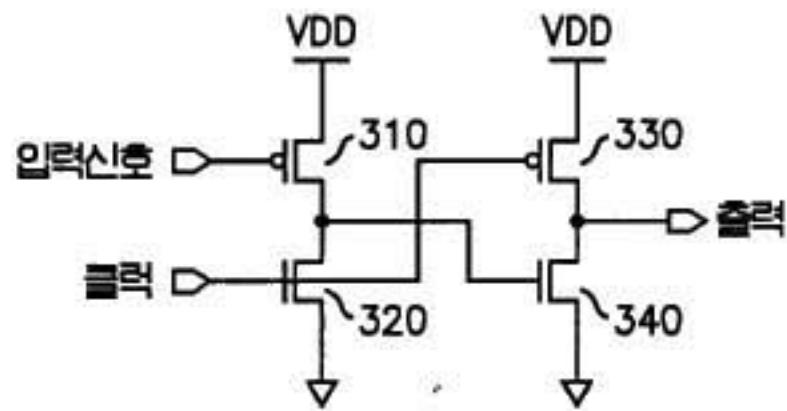
도면 1b



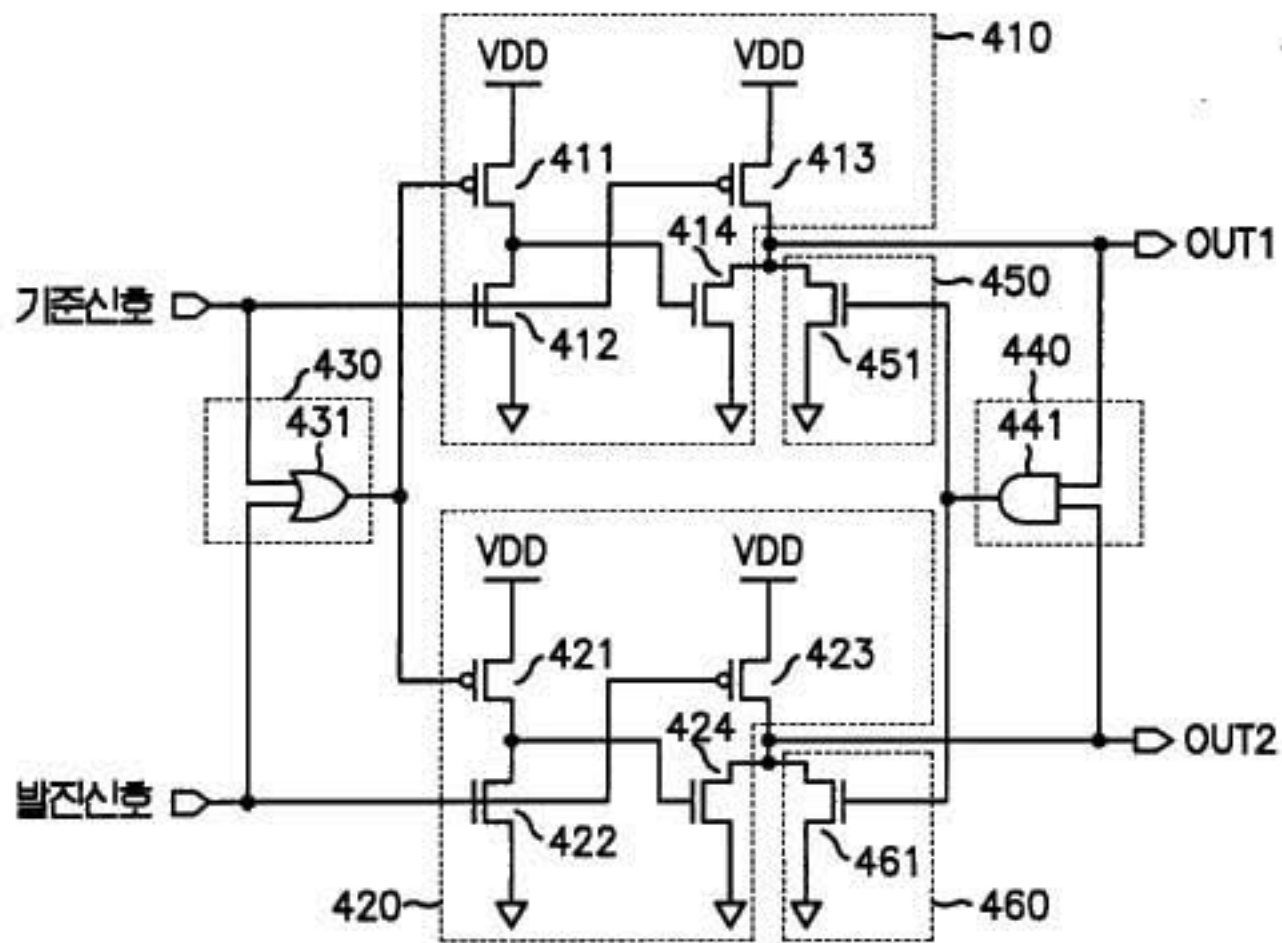
도면 2



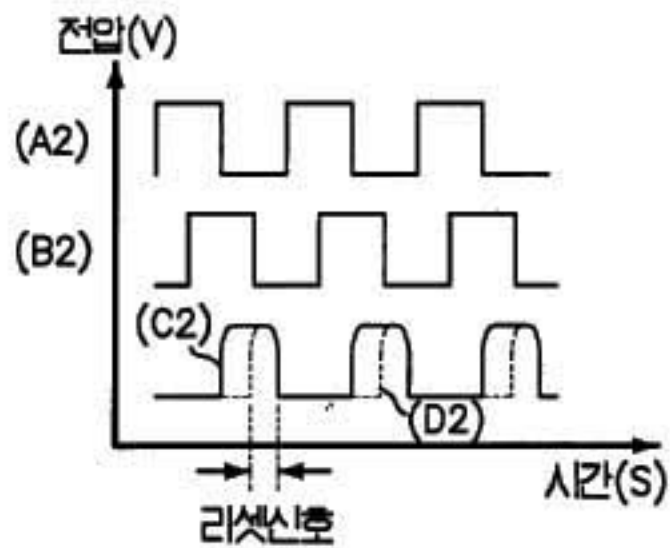
도면 3



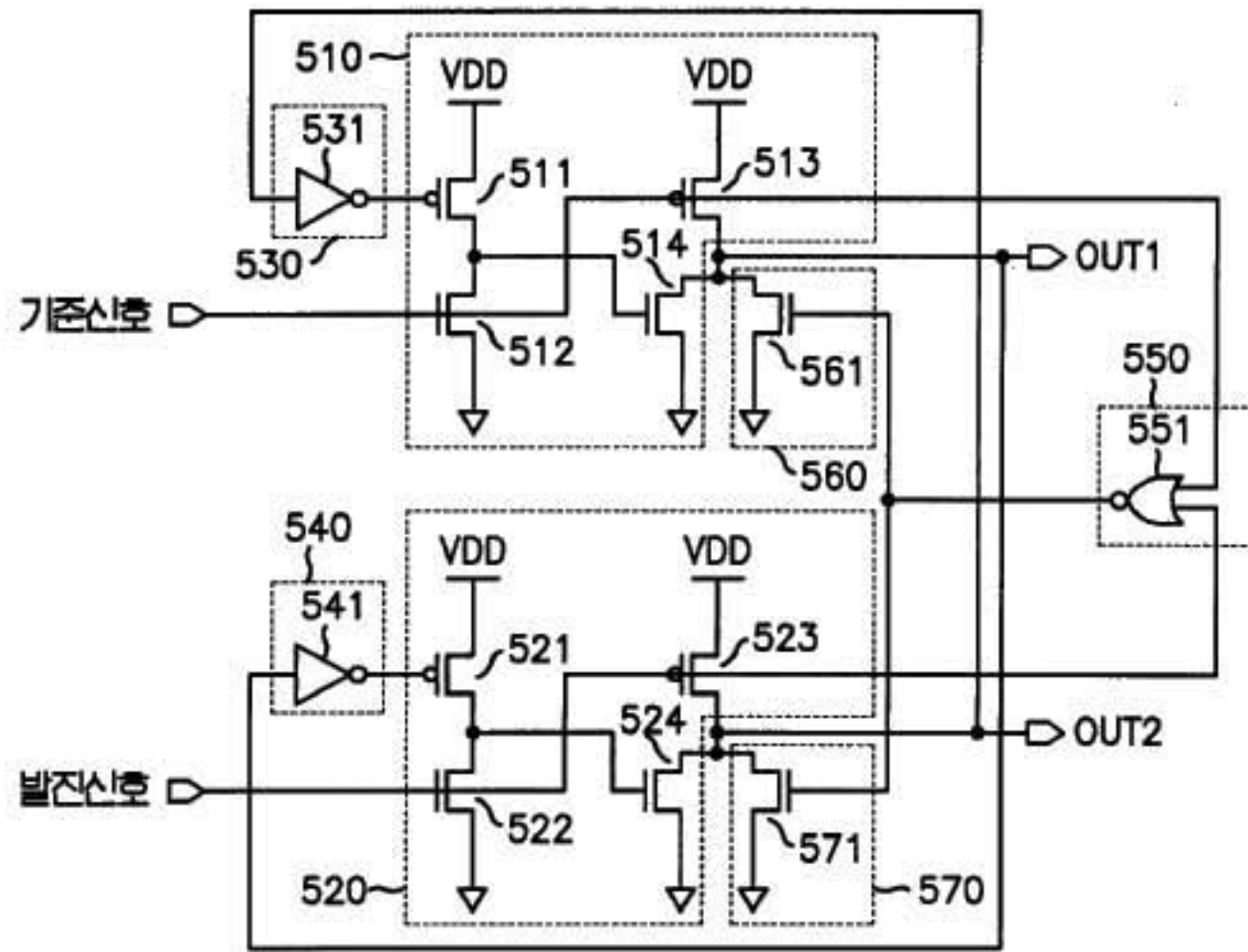
도면 4a



도면 4b



도면 5a



도면 5b

