

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H03L 7/08

(45) 공고일자 2003년09월19일
(11) 등록번호 10-0398326
(24) 등록일자 2003년09월02일

(21) 출원번호 10-2001-0029972
(22) 출원일자 2001년05월30일

(65) 공개번호 특2002-0091851
(43) 공개일자 2002년12월11일

(73) 특허권자 최우영

이재욱

(72) 발명자 최우영

이재욱

(74) 대리인 박승민

심사관 : 박재일

(54) 엔알젯 형태의 데이터를 복원하기 위한 클럭/데이터 복원회로

요약

본 발명은 수신된 데이터의 클럭과 데이터를 복원하는 회로에 관한 것으로서, 특히 NRZ 형태의 데이터를 복원하기 위한 회로에 관한 것이다.

본 발명은 NRZ 형태의 데이터를 복원하기 위해서, 채널을 통해 수신된 데이터로부터 동기클럭을 생성하는 클럭 복원 회로와, 클럭 복원회로에서 생성된 동기클럭과 수신된 데이터를 복원하기 위한 Decision 회로로 구성되는 종래의 클럭/데이터 복원 회로에 있어서,

종래의 클럭 복원회로를 기준클럭(reference clock)에 의해 VCO(voltage controlled oscillator)(11)를 주파수초기화 시키는 PFD(phase frequency detector)(13)를 사용한 제1루프와, 수신 데이터의 전이(transition)를 검출하여 UP과 DOWN 신호를 발생시키는 제2루프로 구성하여,

VCO(11)의 초기 발진주파수가 초기화될 때까지와 데이터가 수신되지 않을 경우에 제1루프를 통해 VCO(11)를 안정화시키고 데이터가 수신될 경우 제2루프를 동작시키는 것을 특징으로 한다.

대표도

도 2

색인어

데이터 복원, 클럭 복원, retime, reshape, recover, NRZ

명세서

도면의 간단한 설명

도1은 종래의 클럭/데이터 복원회로
 도2는 본 발명에 따른 클럭/데이터 복원회로
 도3a, 도3b는 지연부 및 로직부의 기능설명도와 파형도
 도4는 VCO의 구성도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 수신된 데이터의 클럭과 데이터를 복원하는 회로에 관한 것으로서, 특히 NRZ 형태의 데이터를 복원하기 위한 회로에 관한 것이다.
 데이터 전송시 발생하는 채널상의 잡음으로 인해서 신호는 많은 왜곡을 가지게 된다. 수신단에서는 전송된 신호를 깨끗이 재동기화(retiming) 또는 파형정형(reshaping)하기 위해서 수신된 데이터와 동기된 클럭을 생성하여 Retiming, Reshaping 과정을 수행하게 된다.
 이러한 과정을 수행하는 과정은 도1과 같다. 도1의 블록도에서, 채널을 통해 수신된 데이터는 클럭 복원회로에 입력되어 동기된 클럭을 생성하는데 사용된다. 클럭 복원회로에서 생성된 동기클럭과 수신된 데이터는 Retiming, Reshaping 되기 위해서 Decision 회로로 입력되고 이 회로를 통해서 잡음이 제거된 데이터가 생성되어 출력된다. Decision 회로는 클럭 복원회로에서 생성된 동기클럭(retimed clock)에 의해 동작하는 플립플롭으로 구성된다.
 그런데, 위와 같이 동기된 클럭을 생성시키는 과정에서는 데이터에 동기되고 안정된 클럭을 제공하는 것이 시스템의 성능을 좌우하게 되는데, 기존 방식의 클럭 복원회로는 NRZ(non-return-to-zero) 형태의 데이터에는 적합하지 않다. 수신된 데이터가 연속된 '0'과 '1'을 갖고 있을 경우 클럭 복원회로는 오동작을 일으켜 클럭에 잡음을 일으키게 되고 시스템의 성능을 떨어뜨리게 되기 때문이다. 즉, NRZ 형태의 데이터 복원에서 연속된 0과 1이 수신될 경우에도 안정적으로 동작할 수 있는 클럭 복원회로가 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명은 NRZ 형태의 데이터를 복원하기 위해서, 채널을 통해 수신된 데이터로부터 동기클럭을 생성하는 클럭 복원회로와, 클럭 복원회로에서 생성된 동기클럭과 수신된 데이터를 복원하기 위한 Decision 회로로 구성되는 종래의 클럭/데이터 복원 회로에 있어서,
 종래의 클럭 복원회로를 기준클럭(reference clock)에 의해 VCO(voltage controlled oscillator)(11)를 주파수초기화 시키는 PFD(phase frequency detector)(13)를 사용한 제1루프와, 수신 데이터의 전이(transition)를 검출하여 UP과 DOWN 신호를 발생시키는 제2루프로 구성하여,
 VCO(11)의 초기 발진주파수가 초기화될 때까지와 데이터가 수신되지 않을 경우에 제1루프를 통해 VCO(11)를 안정화시키고 데이터가 수신될 경우 제2루프를 동작시키는 것을 특징으로 한다.

발명의 구성 및 작용

본 발명의 복원회로는 도2와 같이 두 개의 루프 A와 B로 이루어진 클럭 복원회로와 플립플롭으로 이루어진 Decision 회로로 구성된다.
 클럭 복원회로는 낮은 주파수의 시스템 클럭(reference clock)에 의해 VCO(voltage controlled oscillator)(11)를 주파수초기화 시키는 일반적인 PFD(phase frequency detector)(13)를 사용한 루프 A와, 데이터가 수신될 경우 데이터의 전이(transition)를 검출하여 UP과 DOWN 신호를 발생시키는 루프 B로 이루어져 있다.
 루프 A의 각 구성과 기능을 설명하자면, VCO(11)는 클럭을 발생시키는 블록으로서 몇 개의 인버터를 연결하여 피드백시킴으로서 각 인버터에서 생기는 지연시간을 이용하여 발진을 일으키게 하고 지연시간을 조절함으로써 발진되는 클럭의 주기를 조절할 수 있도록 하는 블록이다. PFD(13)는 두 개의 입력신호(기준클럭과 VCO(11)의 출력)의 위상과 주파수를 비교하여 출력신호를 내보내는 블록이다. PFD(13)에서 나온 출력은 전하펌프(charge pump, CP)(15)를 통해서 루프 필터(17)를 충전·방전시키게 되고 루프 필터(17)를 통해 VCO(11)의 발진 위상 및 주파수를 제어하도록 한다. 이러한 동작을 수 차례 반복함으로써 내부의 VCO(11)에서 발진되는 클럭의 주파수와 위상을 조절할 수 있다.
 루프 B에 대해서 설명하면 다음과 같다. NRZ 형태의 데이터에서 클럭을 복원시키는 방식으로는 두 신호의 위상을 비교하기 위해 곱셈기(Multiplier)나 시퀀스로직(Sequential logic)을 사용한 방식이 많이 사용되어 왔으나 이러한 방식에서는 위상 에러가 없는 경우에도 UP/DOWN 신호가 발생되어 고주파 지터(high-frequency jitter)를 발생시킨다. 특히 연속된 0과 1이 전송되는 경우 전송되는 신호의 주파수가, 발생하는 클럭의 주파수보다 낮은 것으로 인식되어

발생되는 클럭의 주파수를 떨어뜨리려는 동작을 계속하게 된다. 이러한 동작을 막기 위해서 UP/DOWN 신호가 단지 데이터의 전이가 발생할 경우에만 동작하게 하여 고주파 지터를 줄일 수 있다.

데이터의 전이가 있을 경우에만 두 신호의 위상 비교를 하도록 하는 본 발명의 동작에 있어서는 도2의 지연부(Delay cell, 19)과 로직부(21)를 이용하여 도3a의 (a)에서와 같이 먼저 입력 데이터 A를 지연시켜 데이터 B 및 데이터 C의 신호를 만들어 낸 후, (b)에서와 같이 XOR 로직과 AND 로직을 이용하여

$$UP=(A \oplus C) \cdot CLOCK$$

$$DOWN=A \oplus B$$

의 방식으로 출력 신호인 UP/DOWN 신호를 얻는다.

이때, 도3b에서 보는 것과 같이 데이터 B의 에지에 클럭이 동기 되었을 때('lock' 상태) UP/DOWN 신호를 같은 시간만큼 생성시키고, 위상차가 있을 경우에는('early' 또는 'late' 상태) 데이터 B와 클럭의 위상차이에 비례한 출력을 발생시킨다. 이 경우 데이터의 지연을 통해 얻게 되는 데이터 B, 데이터 C의 시간지연의 크기에 의해서 위상검출기의 위상검출 능력이 한계를 갖게 되는데 최적의 시간지연은 클럭의 1/4 주기에 해당하게 된다. 이러한 최적의 지연시간을 갖기 위해서 지연소자의 지연시간을 외부의 제어신호를 사용하여 조절하여 최적의 지연시간을 갖도록 함으로서 시스템의 성능을 최적화할 수 있다.

지연소자가 클럭의 1/4 주기에 해당하는 지연을 갖게 하는 방법은 VCO(11)를 구성하는 인버터를 사용하여 지연소자를 구성하고 VCO(11)의 제어전압으로 지연소자를 제어하는 것이다. 예를 들어서 도4에서와 같이, 4 단의 차동인버터를 직렬연결해서(differential inverter chain) VCO를 형성하고 인버터 배열 2 단을 사용하여 지연소자를 만든다.

도4의 VCO의 동작은 인버터의 지연이 8 번 이루어진 후에 원래의 위치로 돌아오게 되기 때문에 8 번의 지연이 한 주기를 이루게 되며 2 번의 지연은 주기의 1/4의 값을 갖게 된다. 한편, 도4에서 지연소자는 4단의 VCO 단에 의해서만 구현되는 것은 아니다. VCO 단을 6단, 8단, 12단 등으로 늘려서 구성하여 지연소자를 만들 수도 있고, 반대로 VCO의 단수를 2단으로 줄여서 지연소자를 1단을 사용해서 만드는 방법도 당업자에게 가능하다.

이상과 같은 블록을 사용하여 클럭 복원회로를 구성하여 초기 VCO의 발진주파수가 초기화될 때까지와 데이터가 수신되지 않을 경우에 루프 A를 통해 VCO를 안정화시키고 데이터가 수신될 경우 외부신호에 의해 제어되는 멀티플렉서(MUX)를 통해 루프 B를 동작시킴으로서 안정적이고 빠른 동기시간을 갖도록 할 수 있다.

발명의 효과

이상에서와 같이 본 발명에 따르면, NRZ 형태의 데이터를 효율적으로 복원할 수 있어서 시스템의 성능을 크게 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

채널을 통해 수신된 데이터로부터 동기클럭을 생성하는 클럭 복원회로와, 클럭 복원회로에서 생성된 동기클럭과 수신된 데이터를 복원하기 위한 Decision 회로로 구성되는 클럭/데이터 복원 회로에 있어서, 상기 클럭 복원회로는 기준클럭(reference clock)에 의해 VCO(voltage controlled oscillator)(11)를 주파수초기화시키는 PFD(phase frequency detector)(13)를 사용한 제1루프와, 수신 데이터의 전이(transition)를 검출하여 UP과 DOWN 신호를 발생시키는 제2루프를 포함하여, VCO(11)의 초기 발진주파수가 초기화될 때까지와 데이터가 수신되지 않을 경우에 제1루프를 통해 VCO(11)를 안정화시키고 데이터가 수신될 경우 제2루프를 동작시키는 것을 특징으로 하는, NRZ 형태의 데이터를 복원하기 위한 클럭/데이터 복원 회로.

청구항 2.

청구항 1에서, 제1루프의 PFD(13)는 VCO(11)에서 출력된 신호와 기준클럭(reference clock)의 위상 및 주파수를 비교하여 출력신호를 내보내고 이 출력은 전하펌프(charge pump, CP)(15)를 통해서 루프 필터(17)를 충·방전시켜서 루프 필터(17)를 통해 VCO(11)의 발진 위상 및 주파수를 제어하는 것을 특징으로 하는, NRZ 형태의 데이터를 복원하기 위한 클럭/데이터 복원 회로.

청구항 3.

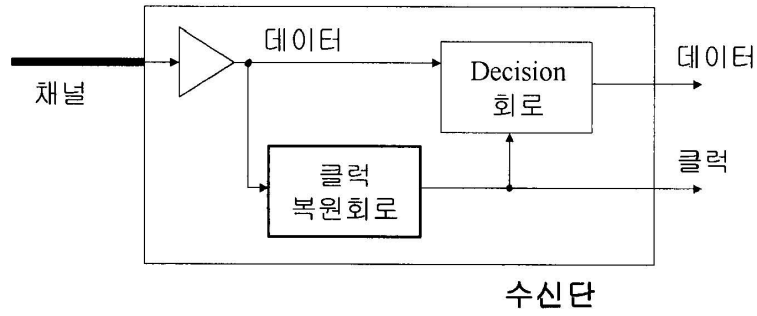
청구항 1에서, 제2루프는 입력 데이터 A를 지연시켜 데이터 B 및 데이터 C의 신호를 만드는 지연부(Delay cell, 19)와, 상기 데이터 A, B, C를 $UP=(A \oplus C) \cdot CLOCK$

$$DOWN=A \oplus B$$

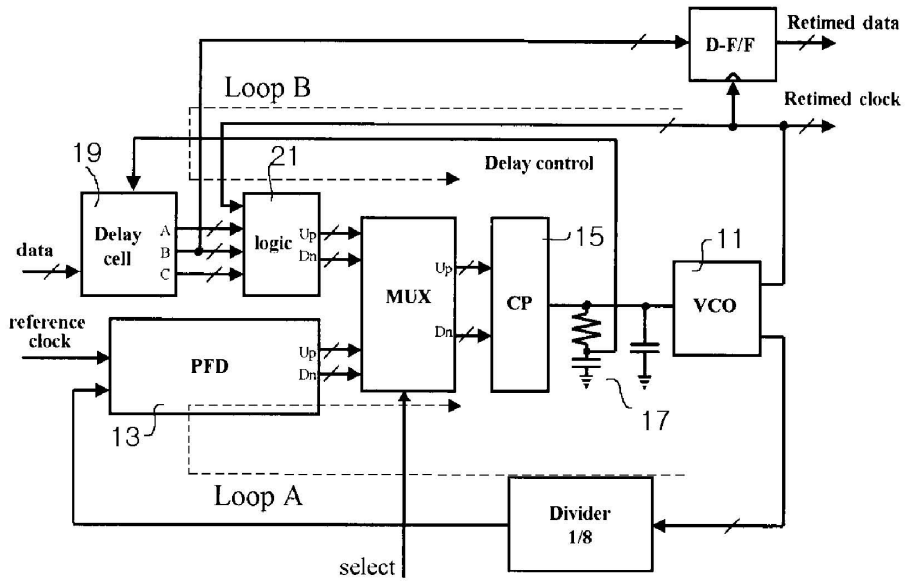
의 로직으로 처리하여 UP/DOWN 신호를 출력하는 로직부(21)를 포함하여, 데이터 B의 에지에 클럭이 동기 되었을 때 UP/DOWN 신호를 같은 시간만큼 생성시키고, 위상차가 있을 경우에는 데이터 B와 클럭의 위상차이에 비례한 출력을 발생함으로써 데이터의 전이가 있을 경우에 UP/DOWN 신호를 출력하는 것을 특징으로 하는, NRZ 형태의 데이터를 복원하기 위한 클럭/데이터 복원 회로.

도면

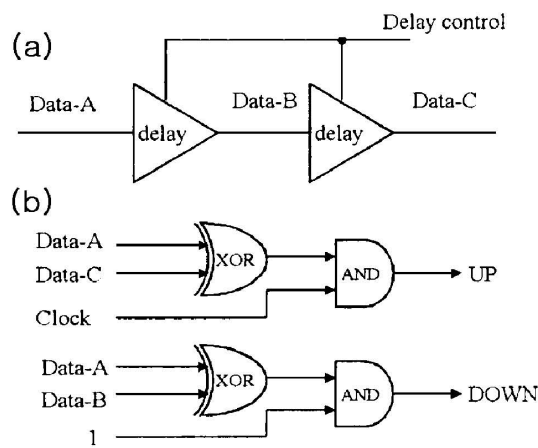
도면1



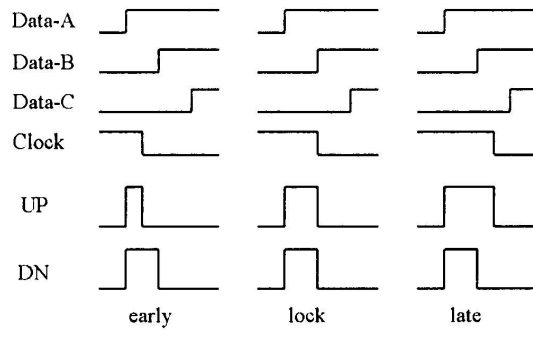
도면2



도면3a



도면3b



도면4

