

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

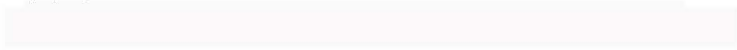
(51) Int. Cl.⁷
H04L 7/00

(45) 공고일자 2004년02월11일
(11) 등록번호 10-0418017
(24) 등록일자 2004년01월28일

(21) 출원번호 10-2001-0028553
(22) 출원일자 2001년05월24일

(65) 공개번호 10-2002-0090243
(43) 공개일자 2002년12월02일

(73) 특허권자 최우영



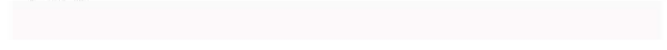
이승우



(72) 발명자 최우영



이승우



(74) 대리인 박승민

심사관 : 서진원

(54) 데이터 및 클럭 복원회로

요약

본 발명은 데이터 및 클럭 복원회로에 관한 것으로서, 위상동기회로(PLL)에서 발생된 전압제어신호를 이용하여 리셋신호를 발생시키되, 리셋신호는 입력되는 직렬 데이터(이하, "입력데이터")의 천이가 일어나는 시점마다 데이터비트율의 1/2의 펄스폭을 가지게 하는 리셋신호 발생부; N개의 클럭신호 발생블럭으로 구성되며, 위상동기회로에서 발생된 전압제어신호를 이용하여 N개의 클럭신호를 발생시키되, 제(N-1)번째 클럭(클럭[N-1])과 제(N)번째 클럭(클럭[N])사이의 지연시간은 입력데이터의 데이터비트율과 동일하게 하는 클럭신호 발생부; N개의 위상제어신호 발생블럭으로 구성되며, 상기 리셋신호 발생부에서 출력된 리셋신호와, 클럭신호 발생블럭[N-1] 및 클럭신호 발생블럭[N]에서 출력된 클럭[N-1]과 클럭[N]을 입력받아, 클럭[N]의 위상을 제어하는 위상제어신호(PC[N])를 발생하여 클럭신호 발생블럭[N]으로 입력시키는 위상제어신호 발생부; (N-1)개의 플립플롭으로 구성되며, 클럭[1]에서 클럭[N-1]까지의 (N-1)개의 클럭을 이용하여 (N-1)개의 병렬데이터를 (N-1)개의 플립플롭에 저장하는 플립플롭부를 포함하여 구성된다.

대표도

도 2a

색인어

데이터, 클럭, 복원회로, 위상동기회로, 리셋신호, 전압제어신호, 다중채널

명세서

도면의 간단한 설명

- 도1은 종래의 데이터 및 클럭 복원회로의 예시도
- 도2a는 본 발명에 따른 회로의 클럭신호 발생부와 위상제어신호 발생부
- 도2b는 본 발명에 따른 회로의 플립플롭부의 세부 구성도
- 도3은 본 발명에 따른 회로의 리셋신호 발생부의 세부 구성도
- 도4는 본 발명에 따른 회로의 위상제어신호 발생블록의 세부 구성도
- 도5는 본 발명에 따른 회로의 클럭신호 발생블록의 세부 구성도
- 도6은 본 발명에 따른 회로의 타이밍도
- 도7은 다중 채널을 통하여 데이터 입력시의 회로 구성도
- 도8은 분주기가 첨가된 회로의 구성도

<도면의 주요부호의 설명>

10 리셋신호 발생부, 20 클럭신호 발생부, 30 위상제어신호 발생부, 40 플립플롭부, 45 제2플립플롭부, 50 위상제어 회로(PLL)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 및 클럭 복원회로에 관한 것으로서, 보다 구체적으로는 고속의 데이터 전송 시스템에 있어서, 안정된 클럭을 제공할 수 있을 뿐만 아니라, 전송된 데이터를 오류 없이 복원할 수 있는 기능을 가진 데이터 및 클럭 복원 회로에 관한 것이다.

도1에 예시되어 있는 것처럼, 종래의 직렬 데이터 링크를 위한 클럭 및 데이터 복원 회로(clock and data recovery circuit)는 직렬 입력 데이터를 입력으로 갖는 위상동기회로(PLL; Phase Locked Loop)(11)를 이용하여 데이터에 동기된 복원된 클럭을 제공하고, 제공된 복원 클럭을 이용하여 직렬 입력 데이터를 플립플롭(13)에 저장하여 데이터를 복원한다. 또한, 고속의 직렬 데이터를 병렬 데이터로 변환하기 위해 직렬-병렬 변환기(15)를 사용하여 직렬 데이터를 N개의 병렬 데이터로 병렬화한다. 위상동기회로는 입력되는 데이터의 천이의 위상과 전압제어발전기에서 출력되는 클럭 펄스 천이의 위상을 직접 비교하는 주파수 위상 검출기를 이용한다.

그러나, 데이터를 입력으로 갖는 위상동기회로를 사용할 경우 직렬 입력 데이터가 로직 '0' 또는 '1'이 계속될 경우에 대해 데이터의 비트율과 동일한 주파수를 갖고, 직렬 입력 데이터에 동기된 위상을 갖는 복원 클럭을 제공하기 힘들다.

또한, 고속으로 전송된 데이터를 복원하기 위해서는, 입력 데이터의 지터가 생길 경우, 빠른 시간 내에 데이터에 동기된 클럭을 제공하는 위상동기회로가 필요하다. 종래기술의 경우 데이터를 위상동기회로의 입력으로 사용하기 때문에 데이터의 지터에 따른 동기된 클럭의 생성은 주파수 위상 검출기와 전하 펌프의 성능에 따라 좌우되어 빠른 시간내에 데이터에 동기된 클럭을 만들기 어렵다.

그리고, 다중 채널의 직렬 데이터 전송을 위한 시스템에서는 각 채널마다 위상동기회로가 필요하고, 고속의 데이터를 저속의 데이터로 병렬화하기 위한 직렬-병렬 변환기가 추가적으로 필요하기 때문에 칩 제작시 물리적 면적을 증가시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 종래의 데이터 및 클럭 복원회로에서의 상기한 문제점들을 극복하기 위하여 안출된 것으로서, 빠른 시간 내에 데이터에 동기된 클럭을 만들 수 있고, 다중 채널의 직렬 데이터 전송을 위한 시스템에서 각 채널 별로 위상동기 회로를 필요로 하지 않으며, 고속의 데이터를 저속의 데이터로 병렬화하기 위한 직렬-병렬 변환기가 추가적으로 필요로 하지 않아 칩 면적을 줄일 수 있는 데이터 및 클럭 복원회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

발명의 구성

이를 위하여, 데이터의 천이 시점 후에 데이터 비트율의 반만큼(T/2) 뒤에 데이터에 동기된 클럭을 발생시키는 회로를 만들고, 또한 이러한 동작을 수행하는 블록을 링 오실레이터 형태로 연결하였다. 이러한 동작을 수행하는 블록의 지연시간은 데이터 비트율과 동일하고 이를 링 구조로 N개를 연결할 경우, 데이터 비트율의 1/N만큼 느린 전압제어 발전기의 역할을 한다. 따라서, 고속의 데이터에 적합한 위상동기회로를 필요로 하지 않는다.

링 구조의 전압제어발전기의 출력을 클럭으로 사용하여 직렬 입력 데이터를 순차적으로 복원하면 직렬-병렬 변환기

의 역할을 수행한다. 이는 추가적인 직렬-병렬 변환기를 사용하지 않아도 됨을 의미한다. 다중 채널의 직렬 데이터 전송 때는 위상동기회로에서 전압제어신호만을 이용하였다. 이는 하나의 위상동기회로만을 이용하여 다중 채널의 직렬 데이터 전송이 가능하기 때문에 칩 제작시 면적을 줄일 수 있다. 그리고, 종래기술은 고속의 데이터 전송의 한계를 전압제어발진기와 플립플롭의 성능에 따라 정하지만, 새로운 회로는 데이터 전송 속도를 데이터 비트율의 반주기에 해당하는 속도를 한계로 갖는 XOR 로직에 따라 결정되기 때문에 고속의 위상동기회로에 필요한 고속의 위상검출기, 전하 펌프, 전압제어발진기, 플립플롭 등이 필요하지 않고, 저속의 회로로도 충분한 성능을 가질 수 있다.

본 발명의 기술적 구성요소를 보다 구체적으로 설명하면, 본 발명에 따른 데이터 및 클럭 복원회로는, 위상동기회로(PLL)에서 발생된 전압제어신호를 이용하여 리셋신호를 발생시키되, 리셋신호는 입력되는 직렬 데이터(이하, "입력데이터")의 천이가 일어나는 시점마다 데이터비트율의 1/2의 펄스폭을 가지게 하는 리셋신호 발생부, N개의 클럭신호 발생블럭으로 구성되며, 위상동기회로에서 발생된 전압제어신호를 이용하여 N개의 클럭신호를 발생시키되, 제(N-1)번째 클럭(클럭[N-1])과 제(N)번째 클럭(클럭[N])사이의 지연시간은 입력데이터의 데이터비트율과 동일하게 하는 클럭신호 발생부,

N개의 위상제어신호 발생블럭으로 구성되며, 상기 리셋신호 발생부에서 출력된 리셋신호와, 클럭신호 발생블럭[N-1] 및 클럭신호 발생블럭[N]에서 출력된 클럭[N-1]과 클럭[N]을 입력받아, 클럭[N]의 위상을 제어하는 위상제어신호(PC[N])를 발생하여 클럭신호 발생블럭[N]으로 입력시키는 위상제어신호 발생부, (N-1)개의 플립플롭으로 구성되며, 클럭[1]에서 클럭[N-1]까지의 (N-1)개의 클럭을 이용하여 (N-1)개의 병렬데이터를 (N-1)개의 플립플롭에 저장하는 플립플롭부를 포함하여 구성된다.

상기 플립플롭부에 저장된 (N-1)개의 병렬데이터는 다시 클럭[N]을 이용하여 입력데이터와 함께 N비트의 병렬데이터로 복원시키는 제1플립플롭부를 추가시킴으로써 N비트의 병렬데이터로 복원될 수 있다.

상기 리셋신호 발생부는, 입력데이터를 데이터 비트율의 반만큼 지연시킨 후, 입력데이터와 XOR을 취함으로써 리셋신호를 발생시키는 것을 특징으로 하고, 상기 클럭신호 발생부의 클럭신호 발생블럭[N]은 클럭[N-1]과 상기 전압제어신호 및 위상제어신호[N]를 입력으로 하여 클럭[N]을 발생시키는 것을 특징으로 한다.

또한, 본 발명에 따른 데이터 및 클럭 복원회로는 리셋신호 발생부, 클럭신호 발생부 및 위상제어신호 발생부로 구성된 다수의 데이터 복원회로와 모든 데이터 복원회로에 전압제어신호를 입력시키는 하나의 위상동기회로 및 상기 데이터 복원회로에 대응하는 다수의 플립플롭부로 구성되어 다중채널을 통하여 입력되는 다수의 직렬 데이터를 병렬 데이터로 변환시킬 수 있다.

본 발명은 직렬 데이터의 입력 부분에 분주기를 삽입하여 입력 데이터를 분 주하여 데이터 천이 시점을 변형시킬 수 있도록 구성하는 것도 가능하다.

발명의 작용 및 실시예

이하에서 본 발명에 따른 데이터 및 클럭 복원회로의 각 구성요소의 작용을 첨부된 도면을 참조하면서 구체적인 실시예를 통하여 설명한다.

도2a와 도2b는 본 발명에 따른 데이터 및 클럭 복원회로의 전체 구성도로서, 전체 회로는 전압제어신호를 공급하는 위상동기회로(PLL, 50), 리셋신호 발생부(10), 클럭신호 발생부(20), 위상제어신호 발생부(30) 및 플립플롭부(40)로 구성된다.

위상동기회로(50)는 시스템 클럭을 체배하는 일반적인 방식을 사용한다. 다만, 위상동기회로(50)에 들어가는 전압제어발진기 부분에는 클럭신호 발생부를 사용할 수 있다.

각 구성요소의 작용을 자세히 설명하면 다음과 같다.

먼저, 리셋신호 발생부(10)는 입력된 직렬 데이터(이하, "입력데이터")를 데이터 비트율(bit rate)의 반(T/2)만큼 지연시킨 후 입력데이터와 XOR을 취하여 리셋신호를 발생시킨다. 도3은 리셋신호 발생부(10)의 구체적인 구성을 나타낸다. 리셋신호 발생부(10)는 데이터의 천이(transition)가 일어나는 시점마다 데이터 비트율(T)의 반만큼의 펄스 폭을 갖는 신호를 발생시킨다.

위상제어신호 발생부(30)는 N개의 위상제어신호 발생블럭(PG[1], PG[2], ..., PG[N-1], PG[N])으로 구성되며, 도4는 N번째 위상제어신호 발생블럭(위상제어신호 발생블럭[N])을 나타낸다. 위상제어신호 발생블럭[N]은 리셋신호 발생부(10)에서 만들어진 리셋신호와 클럭신호 발생부(20)에서 만들어진 N-1번째 클럭(클럭[N-1], CLK[N-1])과 N번째 클럭(클럭[N], CLK[N])을 입력으로 갖는다. 클럭[N]과 클럭[N-1]의 두 신호를 XOR을 취한 후 다시 리셋신호와 AND를 취하여 위상제어신호[N]를 만든다. 위상제어신호[N]은 N번째 클럭의 위상을 제어하는 신호이다.

클럭신호 발생부(20)는 N개의 클럭신호 발생블럭(CG[1], CG[2], ..., CG[N-1], CG[N])으로 구성되며, 도5는 N번째 클럭신호 발생블럭(클럭신호 발생블럭[N])을 나타낸 것이다. 클럭[N-1]과 클럭[N] 사이의 지연 시간은 데이터 비트율(T)과 동일하다.

위상제어신호[N]는 두 개의 MUX(MUX1, MUX2)의 선택 신호이다. MUX1은 클럭[N-1]이 데이터 비트율의 반만큼 지연된 신호(ck10)와 클럭[N-1]의 비반전(non-inverting)신호(ck11)를 입력으로 갖는다. MUX2는 MUX1의 출력신호(ck2)를 데이터 비트율의 반만큼 지연된 신호(ck30)와 클럭[N-1]의 반전(inverting)된 신호(ck31)를 입력으로 갖는다.

위상제어신호[N]가 로직 '0'일 때는 MUX1과 MUX2는 각각 ck10 신호와 ck30 신호를 선택한다. 그러므로, 클럭[N-1]의 신호가 데이터 비트율만큼의 시간 후에 클럭[N]으로 전달된다. 위상제어신호[N]가 로직 '0'일 경우에는 클럭신호 발생부(20)는 링 구조를 이뤄서 일반적인 위상동기회로 내의 전압 제어 발진기 역할을 수행한다. 그러나, 위상제어신호[N]가 데이터 비트율의 반만큼의 펄스 폭을 갖는 신호일 때는 MUX1과 MUX2를 이용하여 ck2 신호는 클럭[N-1]의 비반전(non-inverting) 신호를 갖고, 클럭[N] 신호는 반전(inverting) 신호를 갖게 되어 클럭[N]의 위상을

제어한다.

도2a는 도5의 N개의 클럭신호 발생블록이 링 구조를 갖는 것과 N개의 위상제어신호 블록의 신호 관계를 나타낸다. 각각의 위상제어신호 발생블록은 클럭신호 발생블록의 클럭 출력을 입력으로 받아서 위상제어신호를 출력으로 내보낸다. 이 위상제어신호들은 각 클럭신호 발생블록의 출력 클럭의 위상을 제어한다.

도6a는 입력데이터와 리셋신호 및 클럭신호 발생부(20)의 출력인 각 클럭신호(클럭[1], 클럭[2], ..., 클럭[N-1], 클럭[N])들의 타이밍도이고, 도6b는 직렬 입력 데이터를 인가하였을 때 클럭의 위상상태를 나타낸 것이다.

먼저, 입력데이터의 천이가 일어나는 시점에서 리셋신호가 상승하고 데이터 비트율의 반만큼의 리셋신호가 생긴다. 이는 데이터가 하강하는 시점에서도 동일하게 생긴다. 만약, 리셋신호가 클럭[N-1]과 클럭[N] 사이에 생겼을 경우(도6b), 리셋신호는 위상제어신호 발생블록[N]의 입력으로 들어가서, 클럭[N-1]과 클럭[N]의 XOR된 신호와 AND를 거쳐 위상제어신호[N]를 만들어낸다.

위상제어신호[N]가 로직 '1'이 되는 시점에서 클럭[N-1] 신호를 MUX1의 출력으로 선택하고 MUX2의 출력은 클럭[N-1]의 반전된 값이 되어 클럭[N]은 위상제어신호[N]의 상승 시점의 값(로직 '0')이 유지된다. 그 후, 위상제어신호[N]가 하강하는 시점에는 MUX1의 선택 신호 SELN1이 로직 '0'일 때 MUX1의 출력은 클럭[N-1]의 값이 되고, MUX2의 선택 신호 SELN2이 로직 '0'일 때 MUX2의 출력은 MUX1의 출력인 클럭[N-1]의 값이 된다. 그러므로, 위상제어신호[N]의 하강 시점에서 클럭[N]은 클럭[N-1]의 값을 갖는다.

만약, 직렬 입력 데이터에 외부적 또는 내부적 환경에 의해 지터(jitter)가 발생할 경우 데이터의 위상은 변화가 생긴다. 이러한 변화는 데이터의 천이 시점의 위상 변화를 가져온다.

도6c는 입력 데이터의 지터로 인해 데이터의 위상에 변화가 생겨 데이터의 지터가 없는 경우보다 데이터의 천이가 d의 위상만큼 앞서서 발생한 경우를 나타낸다. 이 경우도 회로는 도6b와 동일한 동작을 수행한다. 입력 데이터의 천이가 일어나는 시점에서 리셋신호가 상승하면서 해당되는 클럭 범위(클럭[N-1] ~ 클럭[N] 사이)에서 위상제어신호[N]가 생긴다. 이 위상제어신호[N]은 클럭[N-1]의 신호를 미리 MUX1을 통해 출력으로 내보내고, 그동안 MUX2는 클럭[N-1]의 반전된 값을 유지한다.

그러므로, 클럭[N]은 위상제어신호[N]의 상승 시점의 값을 유지한다. 데이터 천이가 일어난 뒤 T/2후에는 위상제어신호가 하강하는 시점이 된다. MUX2의 선택 신호인 SELN2가 로직 '0'이 되고, MUX2의 출력은 MUX1의 출력 값이 전달되기 때문에 MUX2의 출력인 클럭[N]의 값은 클럭[N-1]의 값이 된다. 이와 같이 도6c의 경우에는 데이터의 천이 시점이 입력 데이터의 지터가 없는 경우보다 먼저 데이터의 천이가 발생하더라도 클럭[N]의 신호가 데이터 천이 후 반주기(T/2) 뒤에 상승 시점이 발생하여 가장 적합한 복원 클럭을 제공하게 된다.

또한, 도6d는 데이터의 천이 시점이 입력 데이터의 지터가 없는 경우보다 나중에 데이터의 천이가 발생할 경우를 나타낸다. 이 경우 리셋신호가 데이터의 천이 시점에 상승을 하고, MUX1의 출력은 클럭[N-1]의 값이 전달된 상태이다. 그러나, MUX2의 출력은 위상제어신호의 상승 시점의 값을 유지하기 위해 클럭[N-1]의 반전 값을 유지한다. 위상제어신호가 하강시에 클럭[N]의 값은 MUX1의 값, 즉 클럭[N-1]의 상태로 변환된다. 그러므로, 데이터의 천이 시점이 지터가 없는 상태보다 뒤늦게 일어나더라도 클럭[N]은 데이터 천이 후 반주기인 T/2만큼 후에 상승하여 최적의 복원 클럭을 제공한다. 결국, 도6b, 도6c, 도6d에서 알 수 있듯이 입력 데이터 지터가 있는 경우와 없는 경우 모두 데이터 천이 시점 후 반주기만큼 후에 복원 클럭이 상승하여 최적의 데이터를 플립플롭을 통해 복원한다.

도2b는 직렬 입력 데이터와 클럭신호 발생부(20)의 각 블록의 출력인 N개의 클럭을 이용하여 직렬 입력 데이터를 N개의 병렬 데이터로 변환하는 기능을 하는 회로를 나타낸다. 2N-1개의 플립플롭을 이용한다. 먼저, 클럭[1] 신호에서 클럭[N-1] 신호까지의 N-1개의 클럭을 이용하여 N-1개의 병렬 데이터를 N-1개의 플립플롭에 저장한 후, 다시 클럭[N]을 이용하여 N-1개의 병렬 데이터(PRD(1) ~ PRD(N-1))와 입력 데이터를 N개의 플립플롭을 이용하여 복원한다.

따라서, 직렬 입력 데이터는 시스템 클럭의 역할을 수행하는 클럭[N]에 동기된 N개의 병렬 데이터(RD(1), RD(2), ..., RD(N-1), RD(N))로 복원됨을 알 수 있다. 이는 복원된 클럭과 복원된 데이터를 다시 시스템 클럭에 동기된 데이터로 변환하기 위한 탄성 버퍼(elastic buffer)의 기능을 동시에 수행한다. 이에 대한 자세한 타이밍도는 도6e에 나타내었다.

도7은 다중 채널의 직렬 입력 데이터를 갖는 경우에 대한 회로도이다. 그림에서 알 수 있듯이 하나의 위상동기회로만을 이용하여 다중 채널의 직렬 데이터를 처리할 수 있기 때문에 칩 제작시 면적을 줄일 수 있다.

본 발명에 따른 데이터 및 클럭 복원회로는 도8에 나타나 있는 것과 같이 직렬 입력 데이터 부분에 분주기를 넣음으로써, 입력 데이터를 분주하여 데이터의 천이 시점을 변형시킬 수 있다.

발명의 효과

본 발명에 따른 데이터 및 클럭 복원회로에 의하면, 다음과 같은 효과를 갖는다.

첫째, 고속의 직렬 입력 데이터를 추가적인 직렬-병렬 변환기 회로 없이 N개의 병렬 데이터로 변환할 수 있다.

둘째, 탄성 버퍼(elastic buffer)의 기능을 가진 회로가 추가적으로 필요 없이 시스템 클럭과 동기된 데이터를 출력으로 내보낼 수 있다.

셋째, 하나의 위상동기회로만을 이용하여 다중 채널의 직렬 데이터를 입력으로 가질 수 있기 때문에 칩 제작시 면적을 감소시킬 수 있다.

넷째, 클럭신호 발생부 및 위상동기회로를 구성하는 회로는 고속의 데이터를 처리할 필요없이 N배만큼 느린 클럭을 이용하여 데이터를 복원하기 때문에 고속의 클럭을 발생시키기 위한 고속의 주파수 위상 검출기, 전하 펌프, 전압제어 발진기, 플립플롭 등의 회로가 필요 없다.

(57) 청구의 범위

청구항 1.

위상동기회로(PLL)에서 발생된 전압제어신호를 이용하여 리셋신호를 발생시키되, 리셋신호는 입력되는 직렬데이터(이하, "입력데이터")의 천이가 일어나는 시점마다 데이터비트율의 1/2의 펄스폭을 가지게 하는 리셋신호 발생부, N개의 클럭신호 발생블럭으로 구성되며, 위상동기회로에서 발생된 전압제어신호를 이용하여 N개의 클럭신호를 발생시키되, 제(N-1)번째 클럭(클럭[N-1])과 제(N)번째 클럭(클럭[N])사이의 지연시간은 입력데이터의 데이터비트율과 동일하게 하는 클럭신호 발생부,

N개의 위상제어신호 발생블럭으로 구성되며, 상기 리셋신호 발생부에서 출력된 리셋신호와, 클럭신호 발생블럭[N-1] 및 클럭신호 발생블럭[N]에서 출력된 클럭[N-1]과 클럭[N]을 입력받아, 클럭[N]의 위상을 제어하는 위상제어신호(PC[N])를 발생하여 클럭신호 발생블럭[N]으로 입력시키는 위상제어신호 발생부, (N-1)개의 플립플롭으로 구성되며, 클럭[1]에서 클럭[N-1]까지의 (N-1)개의 클럭을 이용하여 (N-1)비트의 병렬데이터를 (N-1)개의 플립플롭에 저장하는 플립플롭부로 구성된 데이터 및 클럭 복원회로.

청구항 2.

제1항에 있어서,

클럭[N]을 이용하여 상기 플립플롭부에 저장된 (N-1)개의 병렬데이터와 입력데이터를 N비트의 병렬데이터로 복원시키는 제2플립플롭부로 구성된 데이터 및 클럭 복원회로.

청구항 3.

제1항에 있어서,

상기 리셋신호 발생부는, 입력데이터를 데이터 비트율의 반만큼 지연시킨 후, 입력데이터와 XOR을 취함으로써 리셋신호를 발생시키는 것을 특징으로 하는 데이터 및 클럭 복원회로.

청구항 4.

제1항에 있어서,

상기 클럭신호 발생부의 클럭신호 발생블럭[N]은 클럭[N-1]과 상기 전압제어신호 및 위상제어신호[N]를 입력으로 하여 클럭[N]을 발생시키는 것을 특징으로 하는 데이터 및 클럭 복원회로.

청구항 5.

제1항 또는 제3항 또는 제4항에 의한 리셋신호 발생부, 클럭신호 발생부 및 위상제어신호 발생부로 구성된 다수의 데이터 복원회로와 모든 데이터 복원회로에 전압제어신호를 입력시키는 하나의 위상동기회로 및 상기 데이터 복원회로에 대응하는 다수의 플립플롭부로 구성되어 다중채널을 통하여 입력되는 다수의 직렬 데이터를 병렬 데이터로 변환시키는 것을 특징으로 하는 데이터 및 클럭 복원회로.

청구항 6.

제1항 내지 4항 중 어느 한 항에 있어서,

직렬 데이터의 입력 부분에 분주기를 삽입하여 입력 데이터를 분주하여 데이터 천이 시점을 변형시키는 것을 특징으로 하는 데이터 및 클럭 복원회로.

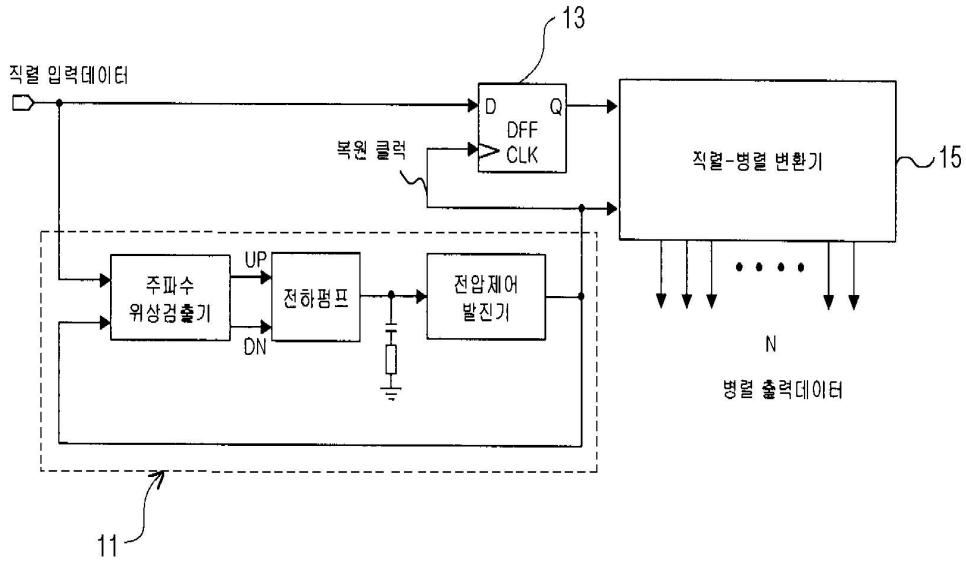
청구항 7.

제5항에 있어서,

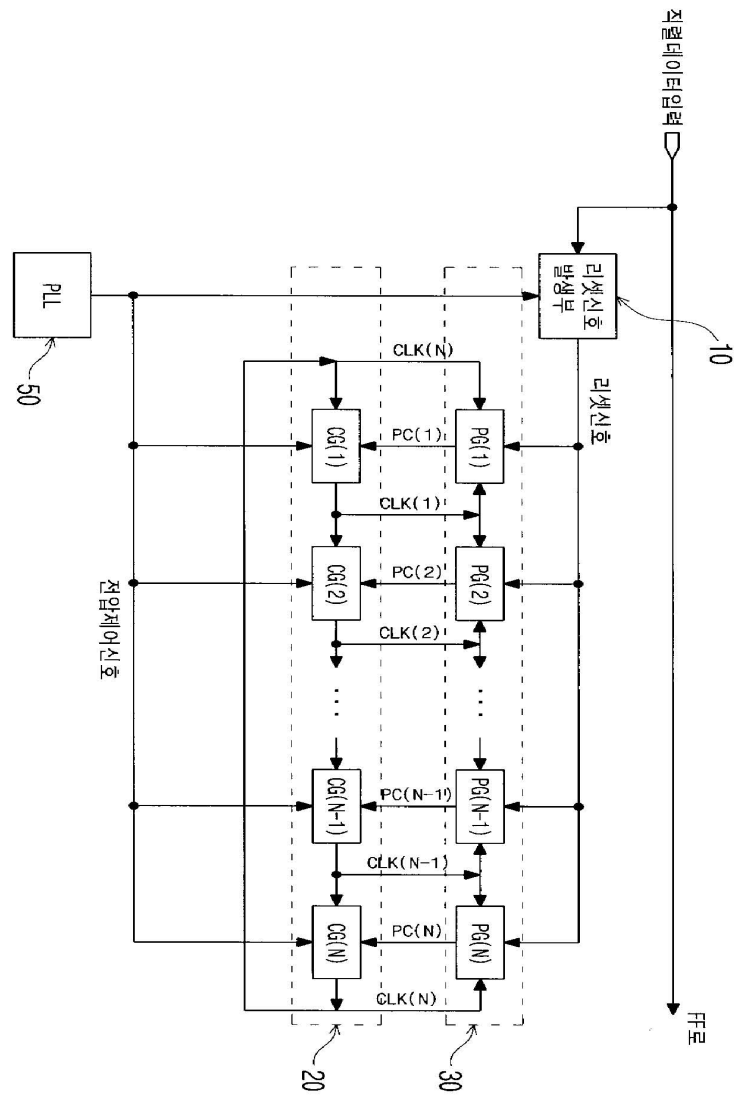
직렬 데이터의 입력 부분에 분주기를 삽입함으로써 입력 데이터를 분주하여 데이터 천이 시점을 변형시키는 것을 특징으로 하는 데이터 및 클럭 복원회로.

도면

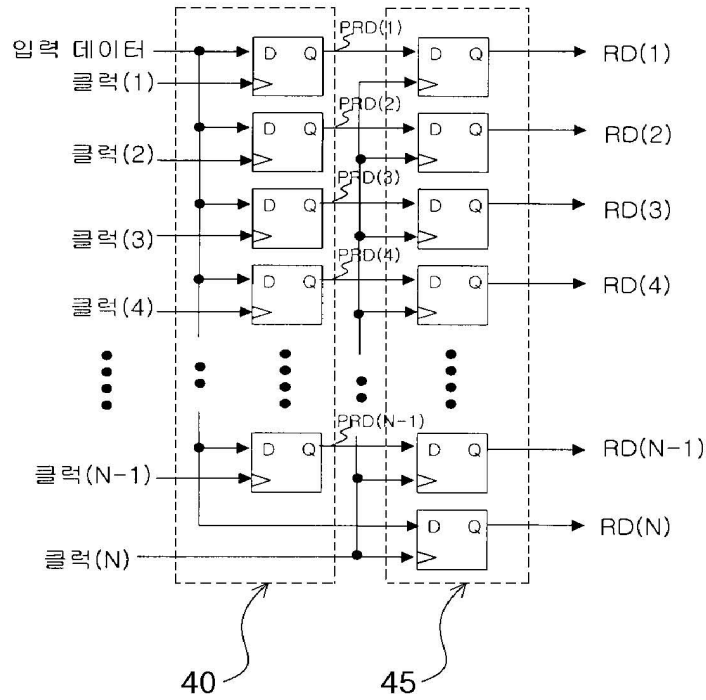
도면1



도면2a

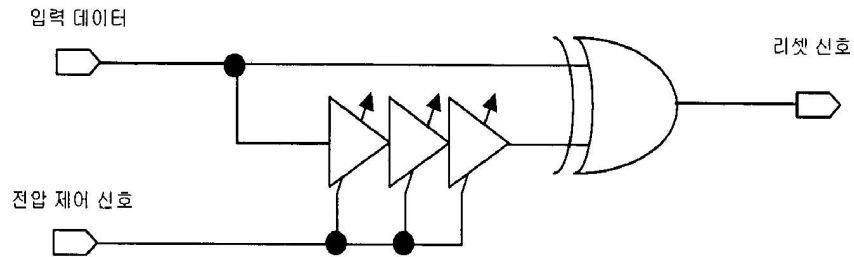


도면2b

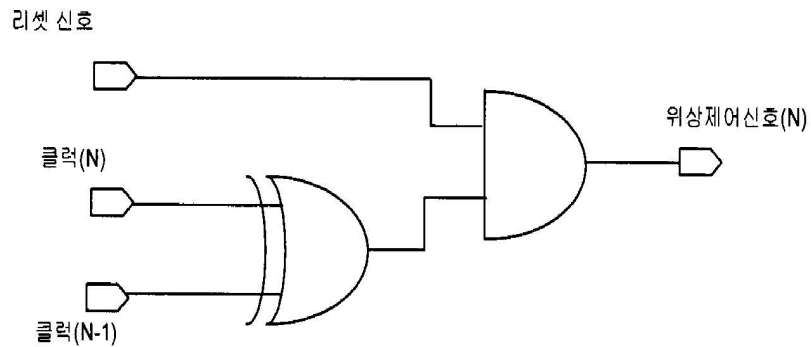


도면3

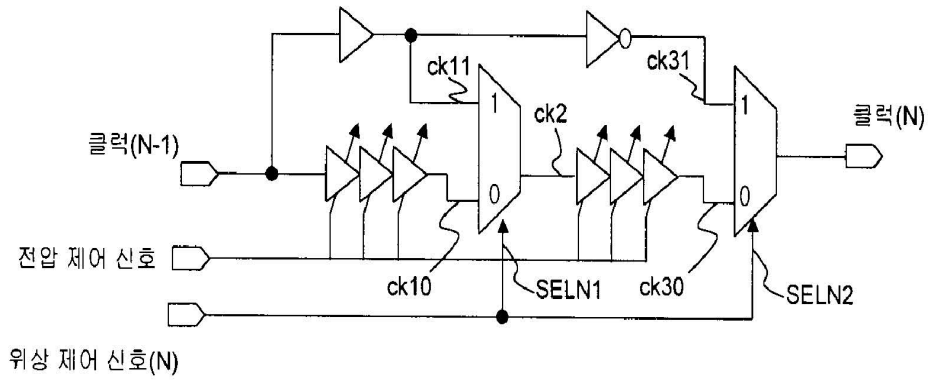
리셋 신호 발생부



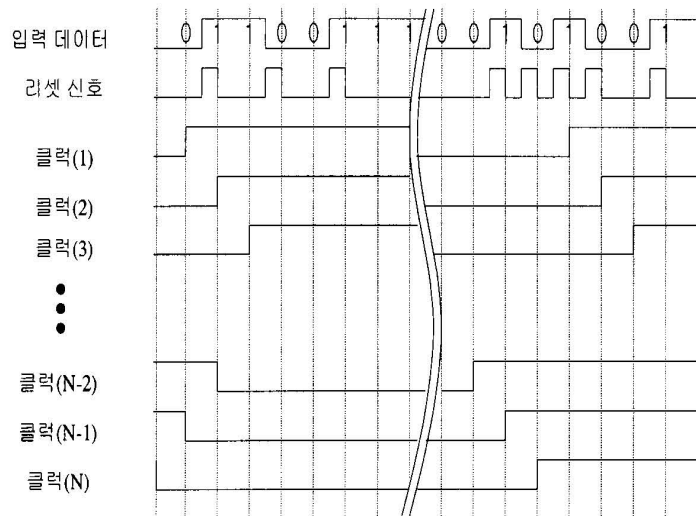
도면4



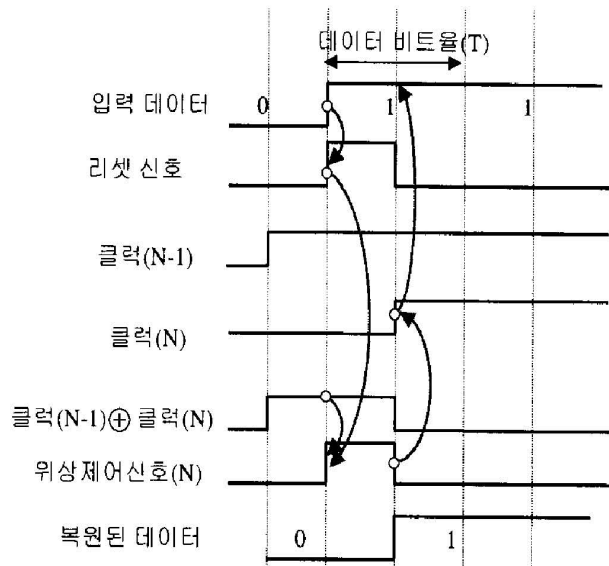
도면5



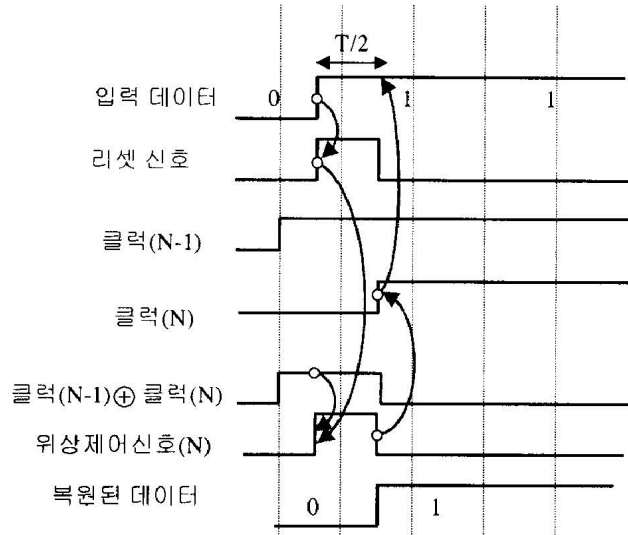
도면6a



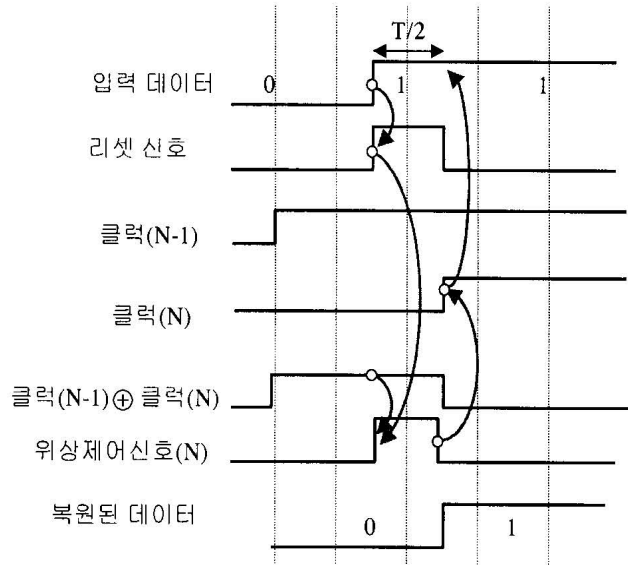
도면6b



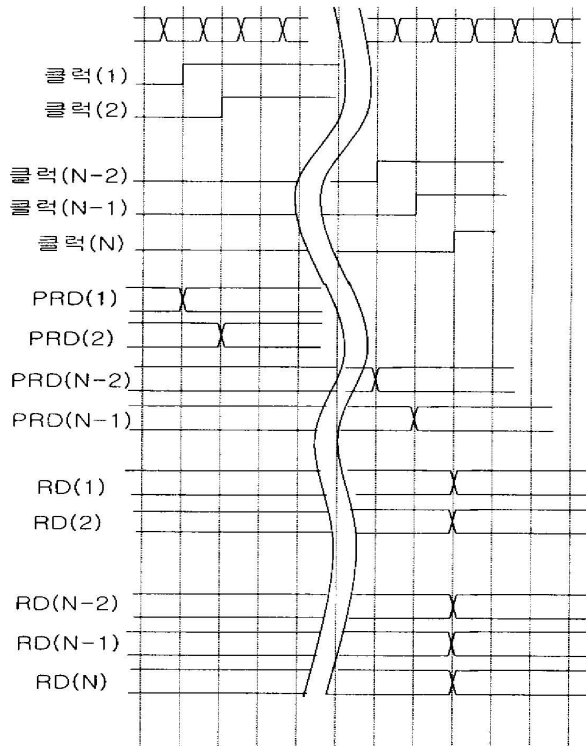
도면6c



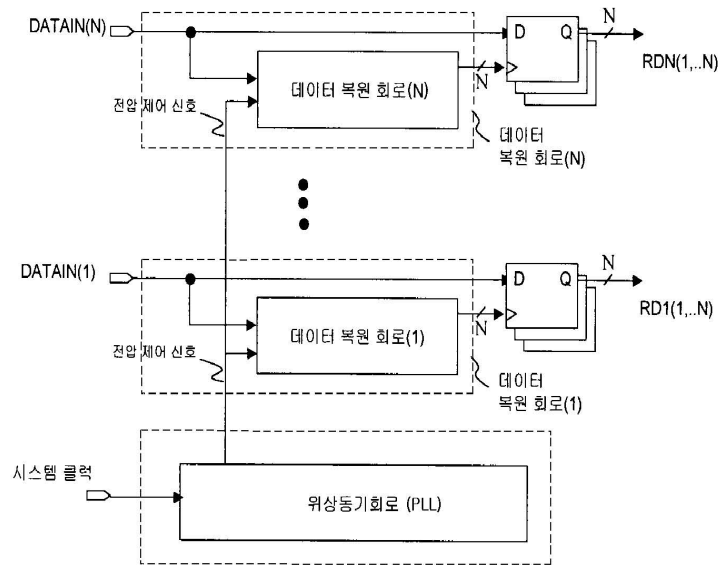
도면6d



도면6e



도면7



도면8

