



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월24일
 (11) 등록번호 10-0949211
 (24) 등록일자 2010년03월16일

(51) Int. Cl.

H03L 7/08 (2006.01) *H03K 5/13* (2006.01)

(21) 출원번호 10-2007-0084133

(22) 출원일자 2007년08월21일

심사청구일자 2007년08월21일

(65) 공개번호 10-2009-0019588

(43) 공개일자 2009년02월25일

(56) 선행기술조사문헌

KR1020070010729 A

KR1019927001979 A

JP07154165 A

JP04330809 A

전체 청구항 수 : 총 18 항

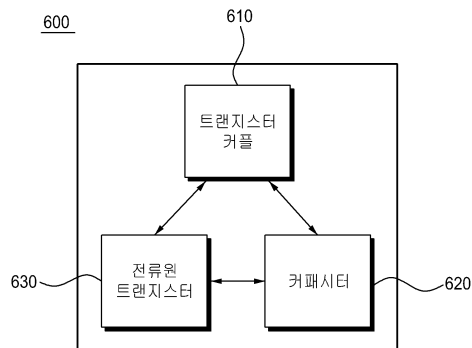
심사관 : 김기완

(54) 비제로 복귀 신호에서 비트의 천이점을 추출하는 회로와이를 이용한 위상 잠금 클록 복원 회로 및 상기 회로를 제어하는 방법.

(57) 요약

본 발명의 비트 천이점 추출회로장치는 소정의 전류원 트랜지스터, 상기 전류원트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 트랜지스터 쌍, 상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 커패시터를 포함한다.

대표도 - 도6



특허청구의 범위

청구항 1

비트 천이점 추출 회로 장치에 있어서,

소정의 전류원 트랜지스터; 그리고

상기 전류원 트랜지스터에 의하여 바이어스된 차동 비제로 복귀 입력 신호를 외부로부터 인가 받는 소스가 연결된 트랜지스터 쌍

을 포함하여 이루어 지는 것을 특징으로 하는 비트 천이점 추출 회로 장치.

청구항 2

비트 천이점 추출 회로 장치에 있어서,

소정의 전류원 트랜지스터;

상기 전류원 트랜지스터에 의하여 바이어스된 차동 비제로 복귀 입력 신호를 외부로부터 인가 받는 소스가 연결된 트랜지스터 쌍; 그리고

상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 캐패시터

를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로 장치.

청구항 3

제2항에 있어서,

상기 캐패시터는, 상기 트랜지스터 쌍의 VGS 및 IDS 그래프가 비선형구간에서 동작하는 범위의 용량을 가지는 것을 특징으로 하는 비트 천이점 추출 회로 장치.

청구항 4

클록 복원 회로 장치에 있어서,

소정의 전류원 트랜지스터;

상기 전류원 트랜지스터에 의하여 바이어스된 차동 비제로 복귀 입력 신호를 외부로부터 인가 받는 소스가 연결된 트랜지스터 쌍;

상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 캐패시터; 그리고,

상기 트랜지스터 쌍에 의하여 발생된 전류 펄스를 소정의 차동 출력 단자로 입력하는 LC 전압 조정 발진기

를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치.

청구항 5

클록 복원 회로 장치에 있어서,

소정의 제1 전류원 트랜지스터;

상기 제1 전류원 트랜지스터에 의하여 바이어스된 차동 비제로 복귀 입력신호를 외부로부터 인가 받는 소스가 연결된 제1 트랜지스터 쌍;

상기 제1 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 제1 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 제1 캐패시터;

소정의 제2 전류원 트랜지스터;

상기 제2 전류원 트랜지스터로 바이어스된, 한쪽의 게이트 단자가 전원 전압에 연결되고 다른 한 쪽의 게이트

단자는 접지 전압에 연결된 제2 트랜지스터 쌍;

상기 제2 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 제2 트랜지스터 쌍 및 상기 제2 전류원 트랜지스터와 연결된 제2 캐패시터; 그리고,

상기 제1 트랜지스터 쌍의 출력과 상기 제2 트랜지스터 쌍의 출력을 차동 신호의 형태로 입력 받는 LC 전압 조정 발진기

를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치.

청구항 6

클록 복원 회로 장치에 있어서,

소정의 전류원 트랜지스터;

상기 전류원 트랜지스터에 의하여 바이어스된 차동 비제로 복귀 입력 신호를 외부로부터 인가 받는 소스가 연결된 트랜지스터 쌍;

상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 캐패시터; 그리고,

상기 트랜지스터 쌍에 의해서 발생된 전류 펄스를 바이어스 전류원 트랜지스터의 출력단에 입력받는 LC 전압 조정 발진기

를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치.

청구항 7

클록 복원 회로 장치에 있어서,

소정의 전류원 트랜지스터;

상기 전류원 트랜지스터에 의하여 바이어스된 차동 비제로 복귀 입력 신호를 외부로부터 인가 받는 소스가 연결된 트랜지스터 쌍;

상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 캐패시터; 그리고,

상기 트랜지스터 쌍에 의해서 발생된 전류 펄스를, 커플드 인덕터를 사용하여 인덕터에 발생하는 유도 전류의 형태로 입력 받는 LC 전압 조정 발진기

를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치.

청구항 8

제4항 내지 제7항의 어느 한 항에 있어서,

상기 캐패시터는, 상기 트랜지스터 쌍의 VGS 및 IDS 그래프가 비선형구간에서 동작하는 범위의 용량을 가지는 것을 특징으로 하는 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치.

청구항 9

제4항 내지 제7항의 어느 한 항에 있어서,

상기 LC 전압 조정 발진기는,

소정의 발진하는 신호의 주파수를 조정하는 가변 캐패시터를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치.

청구항 10

제1항 또는 제2항의 어느 한 항에 있어서,

상기 차동 비제로 복귀 입력 신호는,

상기 트랜지스터 쌍 중, 제1 트랜지스터 측에 인가되는 일정한 수치의 플러스 전압을 의미하고, 제2 트랜지스터 측에 인가되는 상기 일정한 수치의 마이너스 전압을 의미하는 것을 특징으로 하는 비트 천이점 추출 회로 장치.

청구항 11

제1항 또는 제2항의 어느 한 항에 있어서,
상기 트랜지스터 쌍은, NMOS 트랜지스터를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로 장치.

청구항 12

제1항 또는 제2항의 어느 한 항에 있어서,
상기 비트 천이점 추출 회로 장치는,
입력 신호로부터 재생된 클록이 동기 되어야 하는 지점에서 펄스 신호를 발생시키는 회로를 의미하는 것을 특징으로 하는 비트 천이점 추출 회로 장치.

청구항 13

비트 천이점 추출 회로 장치를 제어하는 방법에 있어서,
소정의 전류원 트랜지스터와 소스 단자가 공통으로 연결되며, 외부로부터 차동 비제로 복귀 입력 신호를 소정의 트랜지스터 쌍을 통하여 인가 받는 단계;
상기 전류원 트랜지스터와 상기 트랜지스터 쌍을 연결하는 노드의 전압이 일정하도록 유지하는 단계; 그리고,
상기 노드의 일정한 전압 및 기설정된 게이트 전압에 의해 정해진 바이어스 전류가 출력하는 단계를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로 장치를 제어하는 방법.

청구항 14

제13항에 있어서,
상기 차동 비제로 복귀 입력 신호는,
상기 트랜지스터 쌍 중, 제1 트랜지스터 측에 인가되는 일정한 수치의 플러스 전압을 의미하고, 제2 트랜지스터 측에 인가되는 상기 일정한 수치의 마이너스 전압을 의미하는 것을 특징으로 하는 비트 천이점 추출 회로 장치를 제어하는 방법.

청구항 15

제13항에 있어서,
상기 트랜지스터 쌍은, NMOS 트랜지스터를 포함하는 것을 특징으로 하는 비트 천이점 추출 회로 장치를 제어하는 방법.

청구항 16

제13항에 있어서,
상기 비트 천이점 추출 회로 장치는,
입력 신호로부터 재생된 클록이 동기 되어야 하는 지점에서 펄스 신호를 발생시키는 회로를 의미하는 것을 특징으로 하는 비트 천이점 추출 회로 장치를 제어하는 방법.

청구항 17

제13항에 있어서,
상기 전류원 트랜지스터와 상기 트랜지스터 쌍을 연결하는 노드의 전압이 일정하도록 유지하는 단계는,
트랜지스터 쌍의 VGS 및 IDS의 그래프가 비선형구간에서 동작하는 범위의 용량을 가지도록 하는 단계인 것을 특징으로 하는 비트 천이점 추출 회로 장치를 제어하는 방법.

청구항 18

제13항 내지 제17항의 어느 한 항의 방법을 실행하기 위한 프로그램이 기록되어 있는 것을 특징으로 하는 컴퓨터에서 판독 가능한 기록 매체.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 비제로 복귀 신호에서 비트의 천이점을 추출하는 회로와 이를 이용한 위상 잠금 클록 복원 회로 및 상기 회로를 제어하는 방법에 관한 것으로서, 보다 상세하게는 고속 동작이 가능한 간단한 구조의 비트 천이점 추출 장치를 제공함으로써 비제로 복귀 입력 신호로부터 비트의 천이점을 추출하는 회로와 이를 이용한 위상 잠금 클록 복원 회로 및 상기 회로를 제어하는 방법에 관한 것이다.

배경기술

[0002] 비제로복귀 코드 등으로 변조된 신호를 입력으로 하는 직렬 링크 수신기 (Serial-link receiver)는 입력신호에 동기된 클록을 재생하여 재생된 클록을 기준으로 변조되기 전의 비트열을 복원해 내는데, 이러한 역할을 하는 장치를 클록 복원 회로라고 한다.

[0003] 대표적인 클록 복원 회로로는 위상동기루프 (Phase-locked loop) 를 사용하는 클록 복원 회로, 오버샘플링 클록 복원 회로 (Over-sampled clock recovery circuit), 주입 잠금 발진기를 사용하는 클록 복원 회로 (이하, 주입 잠금 클록 복원 회로라 한다.) 등이 있다.

[0004] 앞서 언급한 클록 복원 회로 중에서, 주입 잠금 클록 복원 회로는 크게 비트 천이점 추출 회로와 주입 잠금 발진기로 구성된다.

[0005] 기존의 비트 천이점 추출 회로는 지연 회로와 배타적 논리합 회로로 구성되며, 입력 신호는 비제로 복귀 코드로 변조된 신호이며, 상기 신호는 지연 회로를 거친 신호와 함께 배타적 논리합 회로의 입력으로 사용된다.

[0006] 이때, 두 입력이 다른 경우에는 1을, 같은 경우에는 0을 출력하므로 결과적으로 입력 신호의 비트의 천이가 있는 지점에서 지연 회로에서 신호가 지연된 시간만큼의 폭을 가지는 펄스를 출력하게 된다.

[0007] 이러한 비트 천이점 추출 회로의 지연 회로는 일반적으로 한 비트 시간 폭의 약 절반에 해당하는 지연값을 가지도록 설계된다. 이를 위해서, 일반적으로는 지연회로에 정제환 (Positive feedback) 을 써서 구성된 환형 발진기(Ring oscillator)로 클록을 생성하고 환형 발진기에 사용한 것과 동일한 지연 회로를 비트 천이점 추출 회로에 사용하여 필요한 지연값을 얻는 방법이 널리 사용된다.

[0008] 그러나 환형 발진기는 고속 동작에 적합하지 않으므로 고속으로 동작하는 주입잠금 클록 복원회로의 경우에는 일반적으로 환형 발진기보다 높은 주파수의 클록을 생성할 수 있는 LC 전압 조정 발진기를 사용하게 되는데, 이 경우에는 비트 천이점 추출회로에 필요한 지연회로의 지연 값을 제어하여 한 비트 시간 폭의 절반을 가지도록 하는 조정이 필요하며, 또한 배타적 논리합 회로는 짧은 시간 폭을 가지는 펄스를 출력할 수 있어야 하므로 결국 기존의 비트 천이점 추출회로는 고속의 주입잠금 클록 복원 회로에서 속도향상의 병목으로 작용하게 된다.

발명의 내용

해결하고자하는 과제

[0009] 본 발명은 상술한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, 고속으로 동작할 수 있는 구조의 CMOS 비트 천이점 추출 회로를 제공하는데 그 목적이 있다.

[0010] 또한, 본 발명은 구조가 간단한 비트 천이점 추출 회로를 제공하는데 그 목적이 있다.

[0011] 또한, 본 발명은 고속으로 동작할 수 있는 구조의 비트 천이점 추출 회로를 제공하여 고속에서도 정확한 클록을 복원 할 수 있는 주입 잠금 클록 복원 회로를 제공하는데 그 목적이 있다.

과제 해결수단

- [0012] 상기의 목적을 달성하고, 상술한 종래기술의 문제점을 해결하기 위하여, 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치는, 소정의 전류원 트랜지스터, 상기 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 트랜지스터 쌍을 포함한다.
- [0013] 또한, 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로 장치는, 소정의 전류원 트랜지스터, 상기 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력 신호를 인가 받는 소스가 연결된 트랜지스터 쌍, 상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 커패시터를 포함한다.
- [0014] 이때, 상기 커패시터는, 트랜지스터 쌍의 VGS 및 IDS 그래프가 비선형구간에서 동작하는 범위의 용량을 가진다.
- [0015] 또한, 본 발명의 일실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치는, 소정의 전류원 트랜지스터, 상기 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 트랜지스터 쌍, 상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 커패시터 및 상기 트랜지스터 쌍에 의하여 발생된 전류 펄스를 소정의 차동 출력 단자로 입력하는 LC 전압 조정 발진기를 포함한다.
- [0016] 또한, 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치는, 소정의 제1 전류원 트랜지스터, 상기 제1 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 제1 트랜지스터 쌍, 상기 제1 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 제1 트랜지스터 쌍 및 상기 제1 전류원 트랜지스터와 연결된 제1 커패시터, 소정의 제2 전류원 트랜지스터, 상기 제2 전류원 트랜지스터로 바이어스된, 한쪽의 게이트 단자가 전원전압에 연결되고 다른 한 쪽의 게이트 단자는 접지 전압에 연결된 제2 트랜지스터 쌍, 상기 제2 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 제2 트랜지스터 쌍 및 전류원 트랜지스터와 연결된 제2 커패시터, 상기 제1 트랜지스터 쌍의 출력과 상기 제2 트랜지스터 쌍의 출력을 차동 신호의 형태로 입력 받는 LC 전압 조정 발진기를 포함한다.
- [0017] 또한, 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치는, 소정의 전류원 트랜지스터, 상기 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 트랜지스터 쌍, 상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 커패시터, 상기 트랜지스터 쌍에 의해서 발생된 전류 펄스를 바이어스 전류원 트랜지스터의 출력단에 입력 받는 LC 전압 조정 발진기를 포함한다.
- [0018] 또한, 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치는, 소정의 전류원 트랜지스터, 상기 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 트랜지스터 쌍, 상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 커패시터, 상기 트랜지스터 쌍에 의해서 발생된 전류 펄스를, 커플드 인덕터를 사용하여 인덕터에 발생하는 유도전류의 형태로 입력 받는 LC 전압 조정 발진기를 포함한다.
- [0019] 이때, 상기 LC 전압 조정 발진기는, 소정의 발진하는 신호의 주파수를 조정하는 가변 커패시터를 포함한다.
- [0020] 또한, 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치를 제어하는 방법은, 소정의 전류원 트랜지스터와 소스 단자가 공통으로 연결되며, 외부로부터 차동 비제로 복귀 입력 신호를 소정의 트랜지스터 쌍을 통하여 인가 받는 단계, 상기 전류원 트랜지스터와 상기 트랜지스터 쌍을 연결하는 노드의 전압이 일정하도록 유지하는 단계 및 상기 노드의 일정한 전압 및 기설정된 게이트 전압에 의해 정해진 바이어스 전류가 출력하는 단계를 포함한다.

효 과

- [0021] 본 발명에 따르면 고속으로 동작할 수 있는 구조의 CMOS 비트 천이점 추출 회로를 제공할 수 있다.
- [0022] 또한, 본 발명에 따르면 구조가 간단한 비트 천이점 추출 회로를 제공할 수 있다.
- [0023] 또한, 본 발명에 따르면 고속으로 동작할 수 있는 구조의 비트 천이점 추출 회로를 제공하여 고속에서도 정확한 클록을 복원 할 수 있는 주입 잠금 클록 복원 회로를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0024] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하지

만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

- [0025] 도 1은 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치의 구성을 도시한 블록도이고, 도 2는 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치의 트랜지스터 구성도이고, 도 3은 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치의 트랜지스터 전압-전류 특성 그래프를 도시한 도면이다.
- [0026] 본 발명은 트랜지스터를 이용하여 외부로부터 인가되는 차동 비제로 복귀 입력 신호를 수신하여 초기의 클록을 복원하는데 제공되는 상기 신호의 비트 천이점을 추출할 수 있는 비트 천이점 추출 회로 장치를 기초로 한다.
- [0027] 또한, 도 2와 도3에 도시된 바와 같이, 본 발명의 비트 천이점 추출 회로 장치는 일반적인 NMOS 트랜지스터의 구동 원리를 이용한 것으로서, 도 3의 그래프에 보여지듯이 NMOS 트랜지스터는 VGS의 제공에 비례하는 IDS를 흘리게 된다.
- [0028] 상기와 같은 트랜지스터의 특성을 기초로 하여 상기 비트 천이점 추출 회로 장치(100)의 각 구성을 동작하는 순서에 따라 순차적으로 설명하기로 한다.
- [0029] 먼저, 전류원 트랜지스터(120)로 바이어스 되는 차동 비제로 복귀 입력 신호를 인가한다.
- [0030] 다음으로, 트랜지스터 쌍(110)은 전류원 트랜지스터(120)로 바이어스된, 외부로부터 차동 비제로 복귀 입력 신호를 인가 받는 소스와 서로 연결되어 외부로부터 인가되는 차동 비제로 복귀 입력 신호에 따라 전류원 트랜지스터(120)와 연결된 노드의 전압이 변화하도록 제어한다.
- [0031] 이때, 상기 차동 비제로 복귀 입력 신호는, 트랜지스터 쌍(110) 중, 제1 트랜지스터 측에 인가되는, 1과 0을 뜻하는 특정 두 전압 사이를 움직이는 전압과, 제2 트랜지스터 측에 인가되는, 상기한 두 전압 사이를 움직이되 제1 트랜지스터에 인가되는 전압과는 반대 방향으로 움직이는 전압의 쌍을 의미한다.
- [0032] 또한, 본 발명에서는 앞서 언급한 바와 같이 트랜지스터 쌍(110)로 NMOS 트랜지스터를 주로 이용하나, 이는 NMOS 트랜지스터에 국한된 것은 아니다.
- [0033] 도 4는 본 발명의 일실시예에 따른 비트 천이점 추출 회로의 구성을 도시한 블록도이고, 도 5는 본 발명의 일실시예에 따른 비트 천이점 추출 회로의 특정 데이터 값을 그래프로 도시한 도면이다.
- [0034] 즉, 트랜지스터 쌍(110)은 0에서 1로, 1에서 0으로 천이하는 차동 비제로 복귀 입력신호 Vin+, Vin- 에 따라 NMOS 트랜지스터의 드레인 전류(IDS+, IDS-)가 변화함을 알 수 있다. 이상적으로는 두 드레인 전류의 합은 일정해야 한다. 그러나 NMOS 트랜지스터가 소스 팔로워(Source Follower)와 같은 동작을 하여 VX 노드의 전압은 Vin+, Vin- 중 높은 전압을 따라 움직이게 되고, 이는 전류원 트랜지스터의 유한한 출력 저항(Output Resistance)에 따라 바이어스 전류(IBIAS)를 변조시킨다.
- [0035] 이때, 비트 천이점 추출 회로 장치(100)는, 입력 신호로부터 재생된 클록이 동기 되어야 하는 지점에서 펄스 신호를 발생시키는 회로를 의미한다.
- [0036] 즉, 트랜지스터 쌍(110)의 드레인 전류의 합은 전류원 트랜지스터(120)의 바이어스 전류(IBIAS)와 같으므로, 비트 천이점 추출 회로 장치(100)는 결국 두 전류의 합을 구하면 입력으로 사용된 차동 비제로 복귀 신호가 0에서 1로, 혹은 1에서 0으로 천이하는 지점을 검출할 수 있다.
- [0037] 도 6은 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로 장치의 구성을 도시한 블록도이다.
- [0038] 앞서 도 1과 함께 설명한 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치(100)는 두 개의 NMOS 트랜지스터가 소스 팔로워의 동작을 하여 움직이는 VX 노드의 전압이 전류를 변조하였으나, 이 경우 두 NMOS 트랜지스터는 도 3의 그래프의 선형 구간에서 동작하게 되어 변조되는 전류의 양이 작을 수도 있다.
- [0039] 따라서, 본 발명은 상기 실시된 비트 천이점 추출 회로 장치(100)만으로도 비트가 천이된 지점을 검출할 수 있지만, VX 노드에 캐패시터(Capacitor)를 추가하여 전압을 안정화하고, 트랜지스터 쌍(610)을 도 3의 그래프의 비선형 구간에서 동작하게 함으로써, 바이어스 전류의 변조되는 양을 극대화 할 수도 있다.
- [0040] 앞서 설명한 내용을 기반으로 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로 장치를 각 구성을 구동하는 방법에 따라 순차적으로 설명하기로 한다.
- [0041] 먼저, 트랜지스터 쌍(610)은 전류원 트랜지스터(630)와 소스 단자가 공통으로 연결되며, 외부로부터 차동 비제로 복귀 입력 신호를 인가 받는다.

- [0042] 이때, 상기 차동 비제로 복귀 입력 신호는, 트랜지스터 쌍(610) 중, 제1 트랜지스터 측에 인가되는 일정한 수치의 플러스 전압을 의미하고, 제2 트랜지스터 측에 인가되는 상기 일정한 수치의 마이너스 전압을 의미한다.
- [0043] 또한, 본 발명에서는 앞서 언급한 바와 같이 트랜지스터 쌍(610)로 NMOS 트랜지스터를 주로 이용하나, 이는 NMOS 트랜지스터에 국한된 것은 아니다.
- [0044] 도 7는 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로의 구성을 도시한 블록도이고, 도 8는 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로의 특정 데이터 값을 그래프로 도시한 도면이다.
- [0045] 다음으로, 캐패시터(620)는 전류원 트랜지스터(630)와 트랜지스터 쌍(610)을 연결하는 노드의 전압이 일정하도록 트랜지스터 쌍(610) 및 전류원 트랜지스터(630)와 연결된다.
- [0046] 이때, 캐패시터(620)는 트랜지스터 쌍(610)의 VGS 및 IDS 그래프가 비선형구간에서 동작하는 범위의 용량을 가지도록 유도하는 역할을 하는 구성 요소이다.
- [0047] 다음으로, 전류원 트랜지스터(620)는 상기 노드의 일정한 전압 및 기설정된 출력 저항에 따라 변조된 바이어스 전류를 출력한다.
- [0048] 이때, 비트 천이점 추출 회로 장치(100)는, 입력 신호로부터 재생된 클록이 동기 되어야 하는 지점에서 펄스 신호를 발생시키는 회로를 의미한다.
- [0049] 그러므로, 본 발명은 VX 노드의 전압이 전류원 트랜지스터(630)의 바이어스 전류를 변조하는 대신, VX 노드에 캐패시터(620)를 추가하여 VX 노드의 전압을 안정시키고, 결과적으로 트랜지스터 쌍(610)을 도 3의 그래프에서의 비선형 구간에서 동작하도록 하여 바이어스 전류의 변조되는 양을 극대화할 수도 있다.
- [0050] 도 3과 도 8의 그래프를 비교하여 보면, 변조된 전류의 양이 약 두 배 이상 차이가 나는 것을 확인할 수 있다.
- [0051] 즉, 본 발명의 회로에서 전류 펄스를 발생시키는 것은 입력신호의 비트의 천이이다. 결국 발생된 전류 펄스의 폭은 입력 신호의 천이 시간과 같아진다.
- [0052] 고속으로 동작하는 회로의 경우, 비트의 천이 시간이 한 비트에 해당하는 시간의 절반 이상을 차지하는 경우가 흔하며, 이러한 특성은 별도의 지연 소자를 사용하지 않고도 주입 잠금에 적합한 회로를 구성할 수 있다.
- [0053] 도 9는 본 발명의 일실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원회로 장치의 구성을 도시한 블록도이다.
- [0054] 본 발명의 클록 복원 회로는 앞서 설명한 비트 천이점 추출 회로(600)와 LC 전압 조정 발진기를 결합하여 구성할 수 있다.
- [0055] 도 10은 본 발명의 일실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로의 구성을 도시한 도면이다.
- [0056] 본 발명은 트랜지스터를 이용하여 외부로부터 인가되는 차동 비제로 복귀 입력 신호를 수신하여 초기의 클록을 복원하는데 제공되는 상기 신호의 비트 천이점을 추출할 수 있는 비트 천이점 추출 회로 장치를 기초로 한다.
- [0057] 상기와 같은 비트 천이점 추출 회로 장치(600)의 각 구성과 LC 전압 조정 발진기(900)의 관계에 유념하여 순차적으로 설명하기로 한다.
- [0058] 본 발명의 클록 복원 회로는 비트 천이점 추출 회로 장치(600)을 이용하여 구동할 수 있는 바, 비트 천이점 추출 회로 장치(600)의 상세한 구성 내용은 아래에서 간단히 설명하기로 한다.
- [0059] 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치(600)는, 전류원 트랜지스터(630), 전류원 트랜지스터(630)로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 트랜지스터 쌍(610), 전류원 트랜지스터(630)의 출력 노드의 전압이 일정하도록 트랜지스터 쌍(610) 및 전류원 트랜지스터(620)와 연결된 캐패시터로 구성된다.
- [0060] 본 발명의 클록 복원 회로 장치는 상기와 같이 구성된 천이점 추출 회로 장치(600)와 트랜지스터 쌍(610)에 의하여 비트가 천이된 전류 펄스를 소정의 차동 출력 단자로 입력하는 LC 전압 조정 발진기(900)를 결합하여 구성된다.
- [0061] 이때, LC 전압 조정 발진기(900)는, 발진하는 신호의 주파수를 조정하는 가변 캐패시터(910)를 포함한다.

- [0062] 즉, LC 전압 조정 발진기(900)는 가변 캐패시터(910)를 조정함으로써 발진하는 신호의 주파수를 조정할 수 있는데, 이를 조정하여 발진기(900)가 입력 신호의 비트율과 근접한 주파수의 클록을 발진하도록 하면 LC 전압조정 발진기(900)는 전류 펄스에 주입 잠금 되어 입력 신호에 동기된 클록을 발생하게 된다.
- [0063] 도 11은 본 발명의 일실시예에 따른 클록 복원 회로의 특정 데이터 값을 그래프로 도시한 도면이다.
- [0064] 이러한 원리는 주입 잠금 클록 복원 회로로 표현 될 수 있는 바, 본 발명의 클록 복원 회로 또한 비트 0과 1을 각각 낮은 전압과 높은 전압에 대응시키는 비제로 복귀 코드를 사용하여 변조한 후 송신한다. 상기 신호는 클록 복원 회로의 입력 신호로 사용된다.
- [0065] 도 11에 도시된 바와 같이, 비트 천이점 추출 회로(600)는 입력 신호로부터 재생될 클록이 동기 되어야 하는 지점, 즉 비트가 0에서 1로, 혹은 1에서 0으로 변하는 지점에서 펄스를 발생시킨다.
- [0066] 이때, 주입 잠금 발진기인 LC 전압 조정 발진기(900)는 클록을 발생시키는 발진기이며, 발생된 클록의 주파수에 근접한 주파수를 가지는 신호를 입력으로 받아 발생된 클록을 상기 입력신호에 동기 시키는 기능이 있다.
- [0067] 상기 주입 잠금 발진기를 사용한 클록 복원 회로에서는 입력 신호의 비트율과 비슷한 주파수로 발진하는 주입 잠금 발진기에 비트 천이점 추출 회로로부터 추출된 펄스열을 입력하여 결과적으로 입력 신호의 비트열에 동기된 클록을 재생한다.
- [0068] 즉, NRZ 입력 신호 이외에, 주기적으로 클록을 발생하는 입력 신호가 인가되는 경우, 상기 주입 잠금 발진기를 이용한 클록 복원 회로는 주파수 체배기 또는 주파수 배율기 등으로 사용할 수도 있다.
- [0069] 또한, 본 발명은 앞서 설명한 비트 천이점 추출 회로 장치(600)를 LC 전압 조정 발진기(900)의 차동 출력의 한 쪽에만 연결할 수도 있지만, LC 전압 조정 발진기(900)의 차동 출력의 양쪽에 각각 하나씩 연결하여, 일측은 전류 펄스를 발생하는 비트 천이점 추출 회로 장치로, 타측은 정전류 바이어스 회로의 역할을 하도록 하여 보다 안정적인 클록 복원 회로를 구성할 수도 있다.
- [0070] 도 12는 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치의 구성을 도시한 블록도이다.
- [0071] 도시된 바와 같이 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로의 구성은 다음과 같다.
- [0072] 소정의 제1 전류원 트랜지스터, 상기 제1 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력 신호를 인가 받는 소스가 연결된 제1 트랜지스터 쌍, 상기 제1 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 제1 트랜지스터 쌍 및 전류원 트랜지스터와 연결된 제1 캐패시터로 구성된 제1 비트 천이점 추출 회로 장치(1210)와 소정의 제2 전류원 트랜지스터, 상기 제2 전류원 트랜지스터로 바이어스된, 한쪽의 게이트 단자가 전원 전압에 연결되고 다른 한 쪽의 게이트 단자는 접지 전압에 연결된 제2 트랜지스터 쌍, 상기 제2 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 제2 트랜지스터 쌍 및 상기 제2 전류원 트랜지스터와 연결된 제2 캐패시터로 구성된 제2 비트 천이점 추출 회로 장치(1230) 그리고, 상기 제1 트랜지스터 쌍의 출력과 상기 제2 트랜지스터 쌍의 출력을 차동 신호의 형태로 입력 받는 LC 전압 조정 발진기(1220)로 구성된다.
- [0073] 상기 클록 복원 회로 장치 또한, 앞서 설명한 비트 천이점 추출 회로(600)와 LC 전압 조정 발진기(1220)로 구성되므로, 각 구성 요소에 대한 상세한 설명은 생략하기로 한다.
- [0074] 도 13은 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로의 구성을 도시한 도면이다.
- [0075] 즉, 도 13에 도시된 바와 같이, 첫번째 비트 천이점 추출 회로 장치(1210)는 차동 비제로복귀 신호를 입력으로 비트가 천이하는 지점에서 전류 펄스를 발생시켜 LC 전압 조정 발진기(1220)의 차동 출력의 한 쪽에 입력하며, 두번째 비트 천이점 추출 회로(1230)는 LC 전압 조정 발진기(1220)의 다른 한 쪽의 출력에 연결하여 정전류 바이어스 회로의 역할을 한다.
- [0076] 이때, LC 전압조정 발진기(1220)는 캐패시터(1221)를 조정함으로써 발진하는 신호의 주파수를 조정할 수 있는데, 이를 조정하여 발진기가 입력 신호의 비트율과 근접한 주파수의 클록을 발진하도록 하면 LC 전압 조정 발진기(1220)는 전류 펄스에 주입 잠금 되어 입력 신호에 동기된 클록을 발생할 수 있다.
- [0077] 도 14는 본 발명의 또 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치의 구성을 도시

한 회로도이다.

- [0078] 도시된 바와 같이, .본 발명의 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치(1400)는 LC 전압 조정 발진기의 일측에 바이어스 전압으로 일정하게 유지하는 클록 복원 회로를 구성할 수도 있으며, 상기 구성은 다음과 같다.
- [0079] 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치(1400)는, 소정의 전류원 트랜지스터, 상기 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 트랜지스터 쌍, 상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 캐패시터, 상기 트랜지스터 쌍에 의해서 발생된 전류 펄스를 바이어스 전류원 트랜지스터의 출력단에 입력 받는 LC 전압 조정 발진기로 구성된다.
- [0080] 도 15는 본 발명의 또 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치의 구성을 도시한 회로도이다.
- [0081] 또한, 도 15에 도시된 바와 같이, 본 발명의 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치(1400)는 LC 전압 조정 발진기에 커플드 인덕터(Coupled Inductor)를 추가 구성하는 형태로도 제작 가능하며, 상기 구성은 다음과 같다.
- [0082] 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치(1500)는, 소정의 전류원 트랜지스터, 상기 전류원 트랜지스터로 바이어스된, 외부로부터 차동 비제로 복귀 입력신호를 인가 받는 소스가 연결된 트랜지스터 쌍, 상기 전류원 트랜지스터의 출력 노드의 전압이 일정하도록 상기 트랜지스터 쌍 및 상기 전류원 트랜지스터와 연결된 캐패시터, 상기 트랜지스터 쌍에 의해서 발생된 전류 펄스를, 커플드 인덕터를 사용하여 인덕터에 발생하는 유도 전류의 형태로 입력 받는 LC 전압 조정 발진기로 구성된다.
- [0083] 도 16은 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치를 제어하는 방법을 도시한 흐름도이다.
- [0084] 본 발명의 비트 천이점 추출 회로 장치를 제어하는 방법은 비트 천이점 추출 회로 장치(600)을 이용하여 수행할 수 있으며, 이를 비트 천이점 추출 회로 장치(600)의 구동 방식에 따라 순차적으로 설명하기로 한다.
- [0085] 먼저, 전류원 트랜지스터(630)는 외부로부터 차동 비제로 복귀 입력 신호를 인가 받는다(S1610).
- [0086] 다음으로, 트랜지스터 쌍(610)은 전류원 트랜지스터(630)로 바이어스된 외부로부터 차동 비제로 복귀 입력 신호를 인가 받는 소스와 연결되어 상기 입력 신호를 인가 받는다. (S1620).
- [0087] 이때, 상기 차동 비제로 복귀 입력 신호는, 트랜지스터 쌍(610) 중, 제1 트랜지스터 측에 인가되는 일정한 수치의 플러스 전압을 의미하고, 제2 트랜지스터 측에 인가되는 상기 일정한 수치의 마이너스 전압을 의미한다.
- [0088] 또한, 트랜지스터 쌍(610)은 NMOS 트랜지스터를 주로 이용하나, 이는 NMOS 트랜지스터에 국한된 것은 아니다.
- [0089] 다음으로, 캐패시터(620)는 트랜지스터 쌍(610) 및 전류원 트랜지스터(630)와 연결하여 전류원 트랜지스터(630)의 출력 노드의 전압이 일정하도록 한다(S1630).
- [0090] 캐패시터(620)는, 트랜지스터 쌍(610)의 VGS 및 IDS 그래프가 비선형구간에서 동작하는 범위의 용량을 가지도록 한다.
- [0091] 이때, 비트 천이점 추출 회로 장치(600)는, 입력 신호로부터 재생된 클록이 동기 되어야 하는 지점에서 펄스 신호를 발생시키는 회로를 의미하기도 한다.
- [0092] 본 발명에 따른 실시예들은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(Floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록

구성될 수 있으며, 그 역도 마찬가지이다.

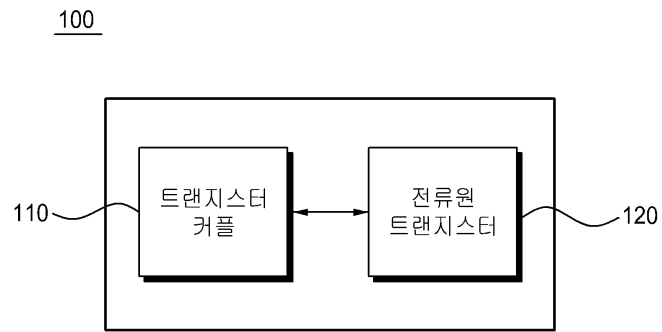
[0093] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

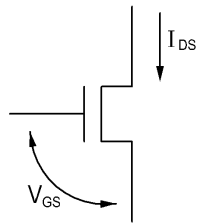
- [0094] 도 1은 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치의 구성을 도시한 블록도이다.
- [0095] 도 2는 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치의 트랜지스터 구성도이다.
- [0096] 도 3은 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치의 트랜지스터 전압-전류 특성 그래프를 도시한 도면이다.
- [0097] 도 4는 본 발명의 일실시예에 따른 비트 천이점 추출 회로의 구성을 도시한 블록도이다.
- [0098] 도 5는 본 발명의 일실시예에 따른 비트 천이점 추출 회로의 특정 데이터 값을 그래프로 도시한 도면이다.
- [0099] 도 6은 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로 장치의 구성을 도시한 블록도이다.
- [0100] 도 7는 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로의 구성을 도시한 블록도이다.
- [0101] 도 8는 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로의 특정 데이터 값을 그래프로 도시한 도면이다.
- [0102] 도 9는 본 발명의 일실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치의 구성을 도시한 블록도이다.
- [0103] 도 10은 본 발명의 일실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로의 구성을 도시한 도면이다.
- [0104] 도 11은 본 발명의 일실시예에 따른 클록 복원 회로의 특정 데이터 값을 그래프로 도시한 도면이다.
- [0105] 도 12는 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치의 구성을 도시한 블록도이다.
- [0106] 도 13은 본 발명의 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로의 구성을 도시한 도면이다.
- [0107] 도 14는 본 발명의 또 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치의 구성을 도시한 회로도이다.
- [0108] 도 15는 본 발명의 또 다른 실시예에 따른 비트 천이점 추출 회로를 이용한 클록 복원 회로 장치의 구성을 도시한 회로도이다.
- [0109] 도 16는 본 발명의 일실시예에 따른 비트 천이점 추출 회로 장치를 제어하는 방법을 도시한 흐름도이다.
- [0110] <도면의 주요 부분에 대한 부호의 설명>
- [0111] 600: 비트 천이점 추출 회로
- [0112] 610: 트랜지스터 쌍
- [0113] 620: 캐패시터
- [0114] 630: 전류원 트랜지스터
- [0115] 900: LC 전압 조정 발진기

도면

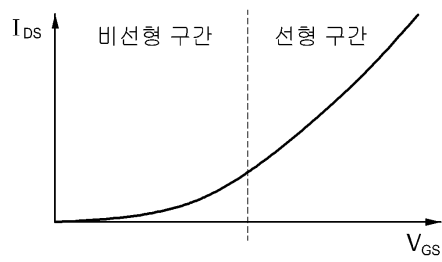
도면1



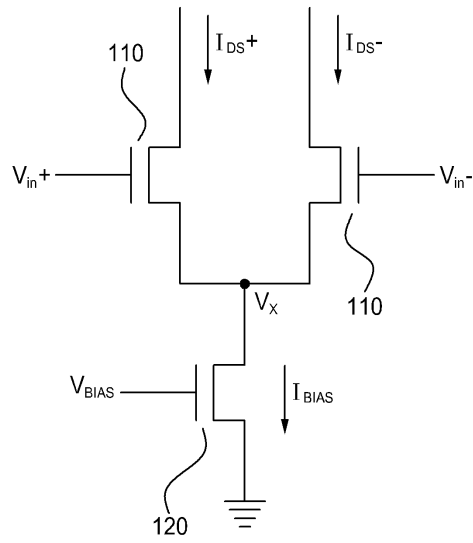
도면2



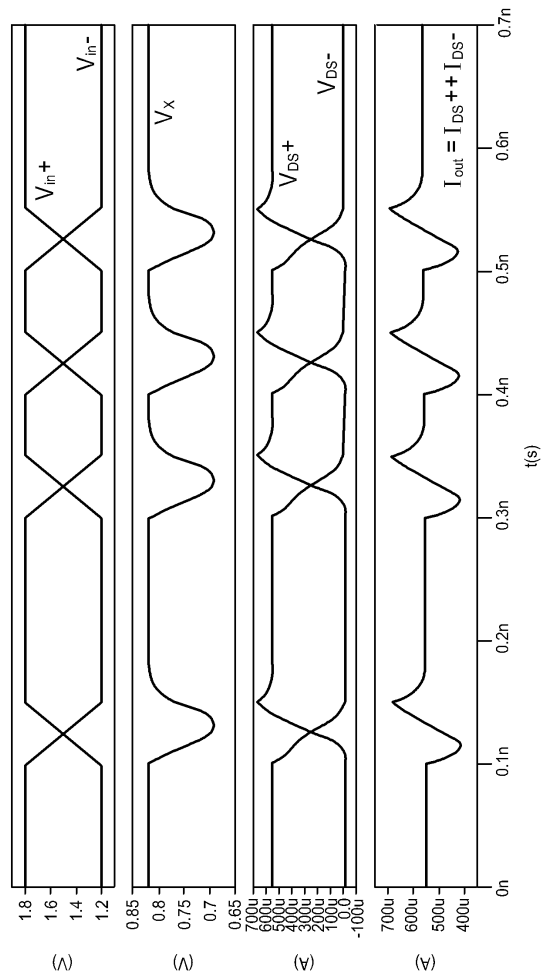
도면3



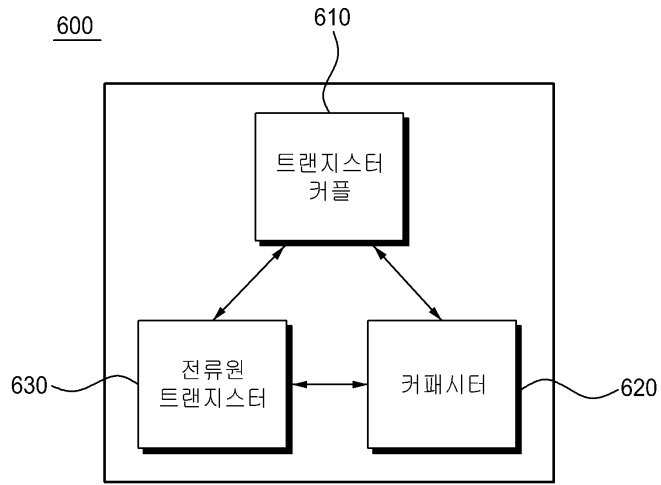
도면4



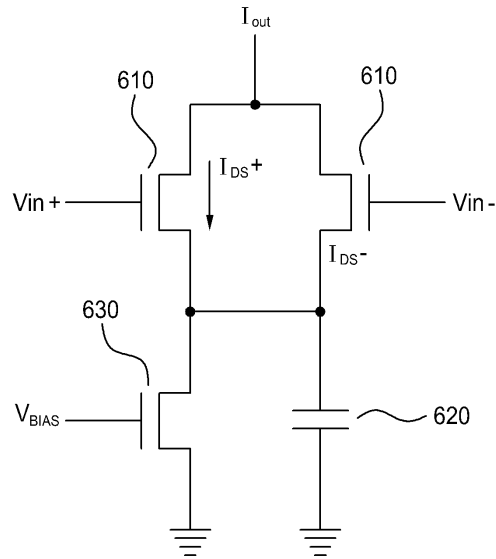
도면5



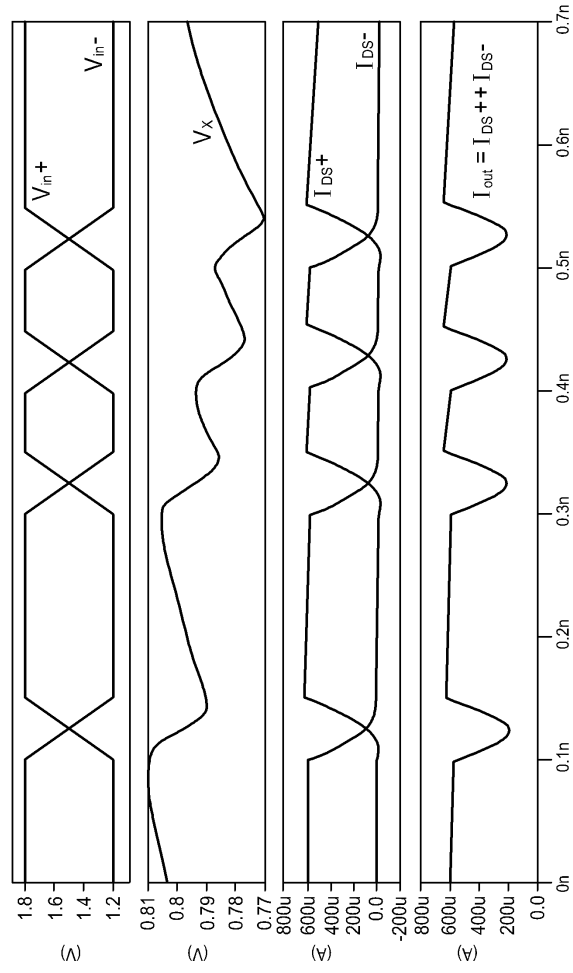
도면6



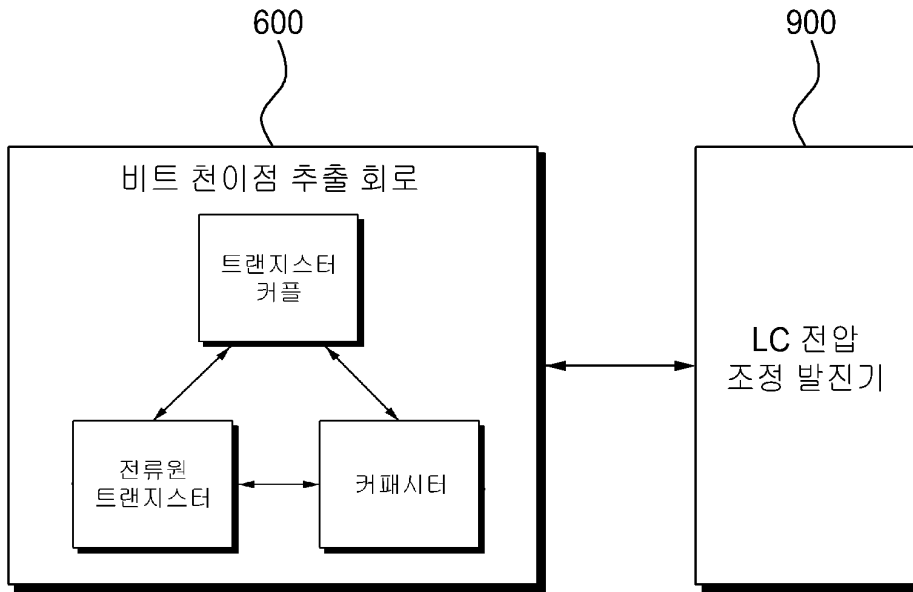
도면7



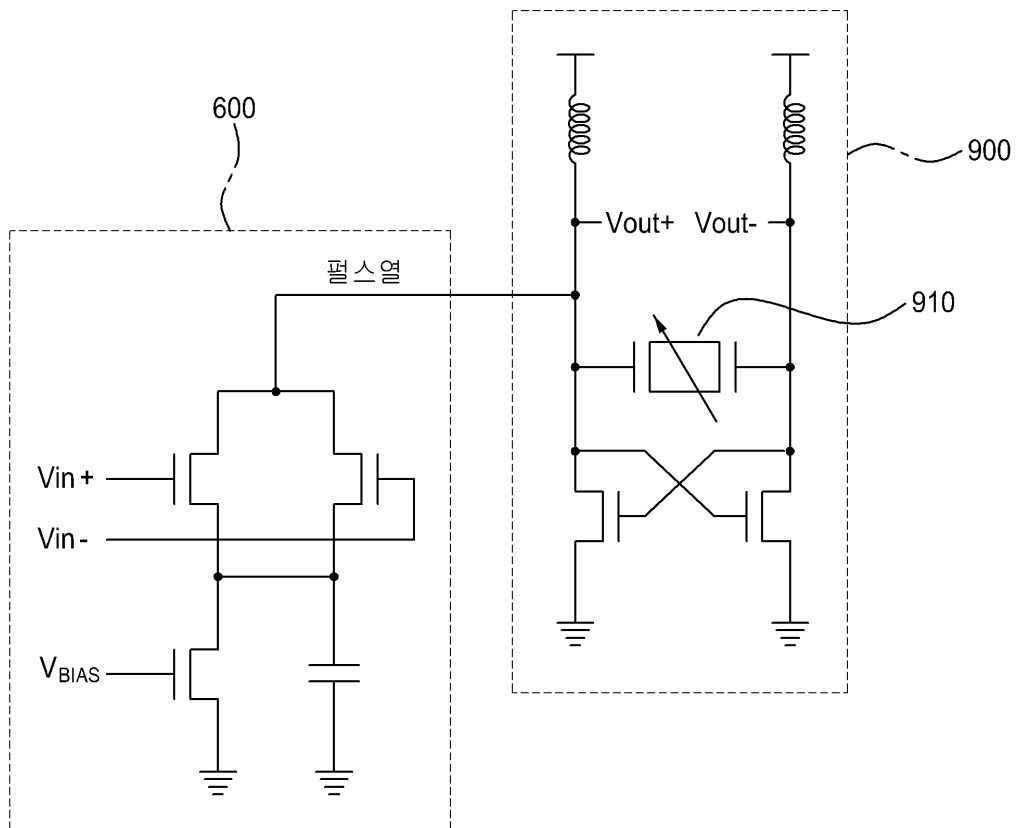
도면8



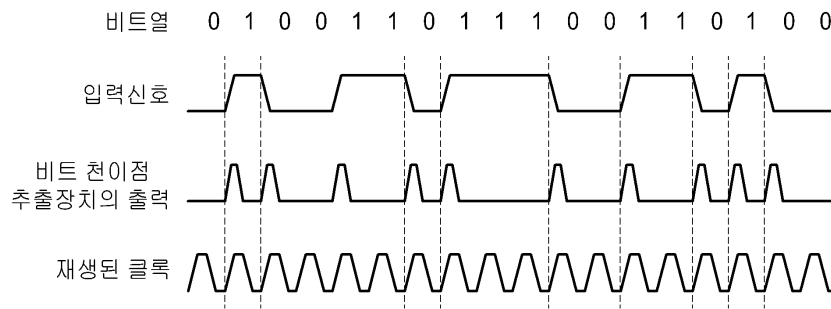
도면9



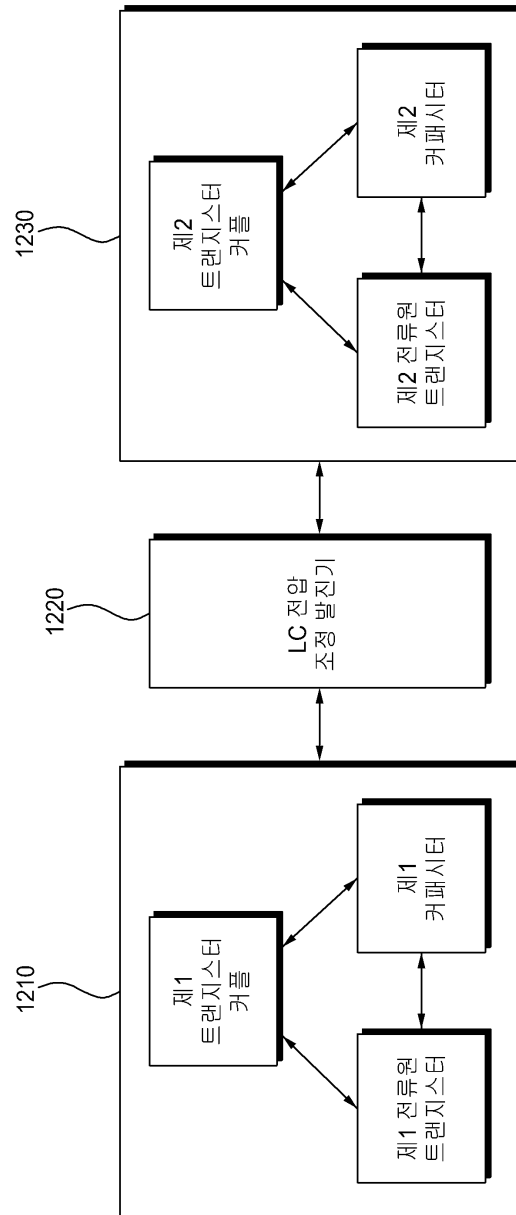
도면10



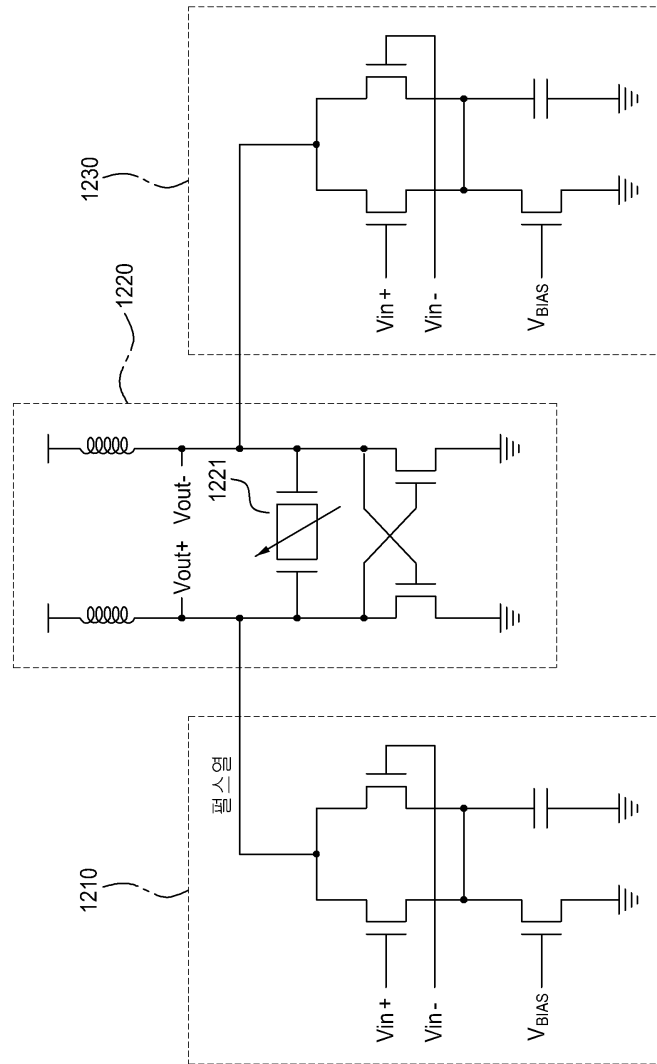
도면11



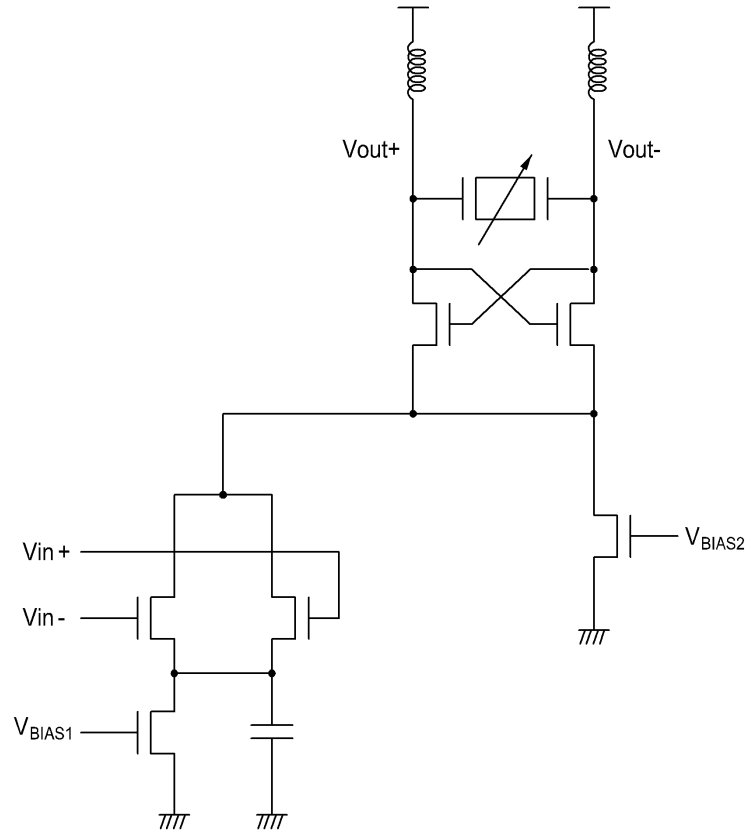
도면12



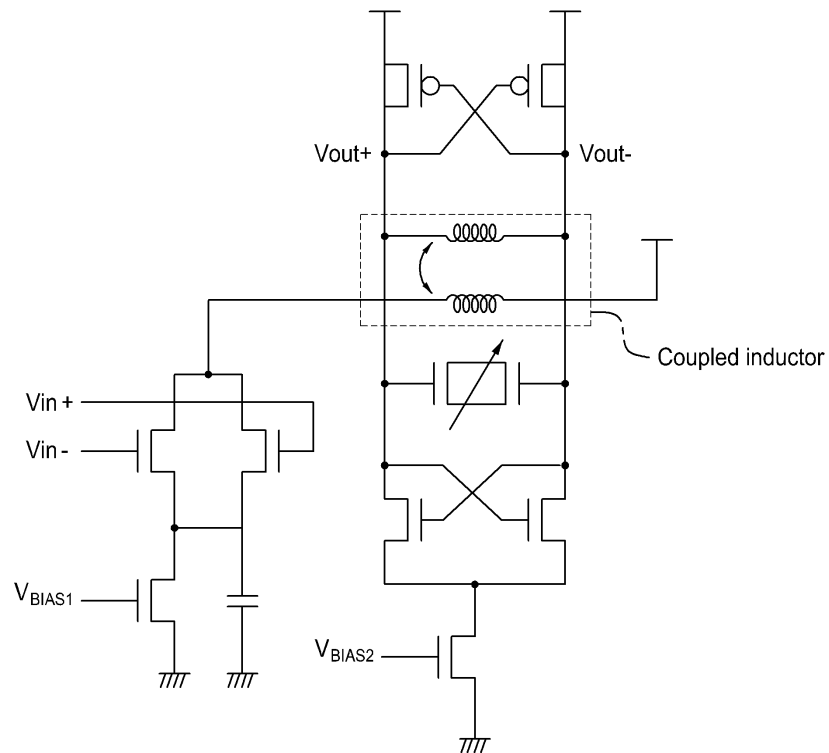
도면13



도면14



도면15



도면16

