

특허증

CERTIFICATE OF PATENT



특허

Patent Number

제 10-1543704 호

출원번호

Application Number

제 10-2014-0177594 호

출원일

Filing Date

2014년 12월 10일

등록일

Registration Date

2015년 08월 05일

발명의 명칭 Title of the Invention

직렬 변환기 및 그를 포함한 데이터 송신 장치

특허권자 Patentee

연세대학교 산학협력단(274171-0*****)

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

발명자 Inventor

등록사항란에 기재

위의 발명은 「특허법」에 따라 특허등록원부에 등록되었음을 증명합니다.

This is to certify that, in accordance with the Patent Act, a patent for the invention has been registered at the Korean Intellectual Property Office.



2015년 08월 05일

특허청장

COMMISSIONER,

KOREAN INTELLECTUAL PROPERTY OFFICE

최동규

등 록 사 항

특 허

Patent Number

등록 제 10-1543704 호

발명자 Inventors

최우영

김성근



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년08월12일
(11) 등록번호 10-1543704
(24) 등록일자 2015년08월05일

(51) 국제특허분류(Int. Cl.)
H03M 9/00 (2006.01) H04L 25/03 (2006.01)
(21) 출원번호 10-2014-0177594
(22) 출원일자 2014년12월10일
심사청구일자 2014년12월10일
(56) 선행기술조사문헌
KR1019970004794 B1

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
최우영

김성근

(74) 대리인
권혁수, 송윤호

전체 청구항 수 : 총 27 항

심사관 : 조춘근

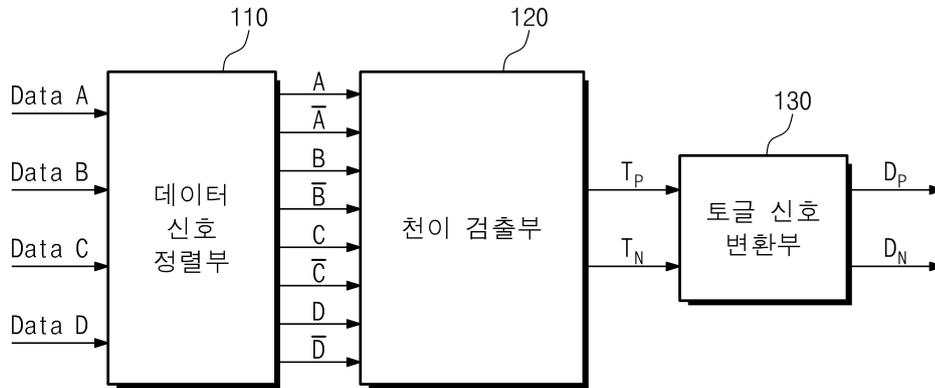
(54) 발명의 명칭 직렬 변환기 및 그를 포함한 데이터 송신 장치

(57) 요약

본 발명은 직렬 변환기 및 그를 포함한 데이터 송신 장치에 관한 것이다. 본 발명의 일 실시예에 따른 직렬 변환기는, 복수의 데이터 신호들을 기 결정된 위상 간격으로 정렬하는 데이터 신호 정렬부; 상기 정렬된 데이터 신호들 간 논리 레벨의 차이를 검출하여 상기 논리 레벨의 차이 시 토글 신호를 생성하는 차이 검출부; 및 상기 토글 신호를 상기 데이터 신호들을 직렬화한 직렬 데이터 신호로 변환하는 토글 신호 변환부;를 포함할 수 있다.

대표도 - 도1

100



명세서

청구범위

청구항 1

복수의 데이터 신호들을 기 결정된 위상 간격으로 정렬하는 데이터 신호 정렬부;

상기 정렬된 데이터 신호들 간 논리 레벨의 차이를 검출하여 상기 논리 레벨의 차이 시 토글 신호를 생성하는 차이 검출부; 및

상기 토글 신호를 상기 데이터 신호들을 직렬화한 직렬 데이터 신호로 변환하는 토글 신호 변환부;

를 포함하는 직렬 변환기.

청구항 2

제 1 항에 있어서,

상기 데이터 신호 정렬부는:

상기 복수의 데이터 신호들을 360° 를 상기 데이터 신호들의 개수로 나눈 위상 차만큼 이격시켜 정렬하는 직렬 변환기.

청구항 3

제 1 항에 있어서,

상기 데이터 신호 정렬부는:

상기 복수의 데이터 신호들을 RZ(Return to Zero) 방식으로 변환하면서 상기 위상 간격으로 정렬하는 직렬 변환기.

청구항 4

제 3 항에 있어서,

상기 데이터 신호 정렬부는:

각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 상기 RZ 방식으로 변환한 RZ 데이터 신호, 및 상기 RZ 데이터 신호를 반전시킨 반전 RZ 데이터 신호를 출력하는 복수의 플립플롭들을 포함하며,

상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 서로 간에 상기 위상 간격에 해당하는 위상 차를 가지며,

상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 서로 간에 상기 위상 간격에 해당하는 위상 차를 갖는 직렬 변환기.

청구항 5

제 3 항에 있어서,

상기 차이 검출부는:

상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에서 비교하여,

위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 양의 토글 신호를 생성하고,

위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 음의 토글 신호를 생성하는 직렬 변환기.

청구항 6

제 4 항에 있어서,

상기 천이 검출부는:

각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 1 NAND 게이트들;

각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 2 NAND 게이트들;

상기 제 1 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 3 NAND 게이트; 및

상기 제 2 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 4 NAND 게이트;

를 포함하는 직렬 변환기.

청구항 7

제 5 항에 있어서,

상기 토글 신호 변환부는:

상기 양의 토글 신호 및 상기 음의 토글 신호를 입력받아 상기 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NOR 게이트 SR 래치를 포함하는 직렬 변환기.

청구항 8

제 1 항에 있어서,

상기 데이터 신호 정렬부는:

상기 복수의 데이터 신호들을 RO(Return to One) 방식으로 변환하면서 상기 위상 간격으로 정렬하는 직렬 변환기.

청구항 9

제 8 항에 있어서,

상기 데이터 신호 정렬부는:

각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 상기 RO 방식으로 변환한 RO 데이터 신호, 및 상기 RO 데이터 신호를 반전시킨 반전 RO 데이터 신호를 출력하는 복수의 플립플롭들을 포함하며,

상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 각각 상기 위상 간격에 해당하는 위상 차를 가지며,

상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 각각 상기 위상 간격에 해당하는 위상 차를 갖는 직렬 변환기.

청구항 10

제 8 항에 있어서,

상기 천이 검출부는:

상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에서 비교하여,

위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 양의 토글 신호를 생성하고,

위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 음의 토글 신호를 생성하고,

호를 생성하는 직렬 변환기.

청구항 11

제 9 항에 있어서,

상기 천이 검출부는:

각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 1 NOR 게이트들;

각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 2 NOR 게이트들;

상기 제 1 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 3 NOR 게이트; 및

상기 제 2 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 4 NOR 게이트;

를 포함하는 직렬 변환기.

청구항 12

제 10 항에 있어서,

상기 토글 신호 변환부는:

상기 양의 토글 신호 및 상기 음의 토글 신호를 입력받아 상기 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NAND 게이트 SR 래치를 포함하는 직렬 변환기.

청구항 13

각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 RZ 방식으로 변환한 RZ 데이터 신호, 및 상기 RZ 데이터 신호를 반전시킨 반전 RZ 데이터 신호를 출력하는 복수의 플립플롭들;

각각이 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 1 NAND 게이트들;

각각이 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 2 NAND 게이트들;

상기 제 1 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 3 NAND 게이트;

상기 제 2 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 4 NAND 게이트; 및

상기 제 3 NAND 게이트의 출력 신호 및 상기 제 4 NAND 게이트의 출력 신호를 입력받아 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NOR 게이트 SR 래치를 포함하며,

상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 서로 간에 기 결정된 위상 차를 가지며,

상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 서로 간에 상기 기 결정된 위상 차를 갖는 직렬 변환기.

청구항 14

각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 RO 방식으로 변환한 RO 데이터 신호, 및 상기 RO 데이터 신호를 반전시킨 반전 RO 데이터 신호를 출력하는 복수의 플립플롭들;

각각이 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 1 NOR 게이트들;

각각이 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 2 NOR 게이트들;

상기 제 1 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 3 NOR 게이트;

상기 제 2 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 4 NOR 게이트; 및

상기 제 3 NOR 게이트의 출력 신호 및 상기 제 4 NOR 게이트의 출력 신호를 입력받아 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NAND 게이트 SR 래치를 포함하며,

상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 서로 간에 기 결정된 위상 차를 가지며,

상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 서로 간에 상기 기 결정된 위상 차를 갖는 직렬 변환기.

청구항 15

복수의 데이터 신호들을 기 결정된 위상 간격으로 정렬하는 데이터 신호 정렬부, 상기 정렬된 데이터 신호들 간 논리 레벨의 차이를 검출하여 상기 논리 레벨의 차이 시 토글 신호를 생성하는 차이 검출부, 및 상기 토글 신호를 상기 데이터 신호들을 직렬화한 직렬 데이터 신호로 변환하는 토글 신호 변환부를 포함하는 직렬 변환기;

상기 직렬 데이터 신호의 채널 손실을 보상하는 출력 드라이버; 및

상기 토글 신호를 입력받아 상기 토글 신호가 인가되는 구간에서 강조 신호를 생성하고, 상기 강조 신호를 상기 출력 드라이버로부터 출력되는 출력 신호에 중첩시키는 프리-엠퍼시스부;

를 포함하는 데이터 송신 장치.

청구항 16

제 15 항에 있어서,

상기 데이터 신호 정렬부는:

상기 복수의 데이터 신호들을 RZ(Return to Zero) 방식으로 변환하면서 상기 위상 간격으로 정렬하는 데이터 송신 장치.

청구항 17

제 16 항에 있어서,

상기 데이터 신호 정렬부는:

각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 상기 RZ 방식으로 변환한 RZ 데이터 신호, 및 상기 RZ 데이터 신호를 반전시킨 반전 RZ 데이터 신호를 출력하는 복수의 플립플롭들을 포함하며,

상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 서로 간에 상기 위상 간격에 해당하는 위상 차를 가지며,

상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 서로 간에 상기 위상 간격에 해당하는 위상 차를 갖는 데이터 송신 장치.

청구항 18

제 16 항에 있어서,

상기 차이 검출부는:

상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에서 비교하여,

위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 양의 토글 신호를 생성하고,

위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 음의 토글 신호를 생성하고,

호를 생성하는 데이터 송신 장치.

청구항 19

제 17 항에 있어서,

상기 천이 검출부는:

각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 1 NAND 게이트들;

각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 2 NAND 게이트들;

상기 제 1 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 3 NAND 게이트; 및

상기 제 2 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 4 NAND 게이트;

를 포함하는 데이터 송신 장치.

청구항 20

제 18 항에 있어서,

상기 토글 신호 변환부는:

상기 양의 토글 신호 및 상기 음의 토글 신호를 입력받아 상기 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NOR 게이트 SR 래치를 포함하는 데이터 송신 장치.

청구항 21

제 15 항에 있어서,

상기 데이터 신호 정렬부는:

상기 복수의 데이터 신호들을 RO(Return to One) 방식으로 변환하면서 상기 위상 간격으로 정렬하는 데이터 송신 장치.

청구항 22

제 21 항에 있어서,

상기 데이터 신호 정렬부는:

각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 상기 RO 방식으로 변환한 RO 데이터 신호, 및 상기 RO 데이터 신호를 반전시킨 반전 RO 데이터 신호를 출력하는 복수의 플립플롭들을 포함하며,

상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 각각 상기 위상 간격에 해당하는 위상 차를 가지며,

상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 각각 상기 위상 간격에 해당하는 위상 차를 갖는 데이터 송신 장치.

청구항 23

제 21 항에 있어서,

상기 천이 검출부는:

상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에서 비교하여,

위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 양의 토글 신호를 생성하고,

위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 음의 토글 신호를 생성하는 데이터 송신 장치.

청구항 24

제 22 항에 있어서,

상기 천이 검출부는:

각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 1 NOR 게이트들;

각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 2 NOR 게이트들;

상기 제 1 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 3 NOR 게이트; 및

상기 제 2 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 4 NOR 게이트;

를 포함하는 데이터 송신 장치.

청구항 25

제 23 항에 있어서,

상기 토글 신호 변환부는:

상기 양의 토글 신호 및 상기 음의 토글 신호를 입력받아 상기 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NAND 게이트 SR 래치를 포함하는 데이터 송신 장치.

청구항 26

제 18 항에 있어서,

상기 프리-엠펙시스는:

논리 레벨 1에 대응하는 전위를 갖는 제 1 전원단과 논리 레벨 0에 대응하는 전위를 갖는 제 2 전원단 사이에서 서로 직렬로 연결된 제 1 NMOS 및 제 2 NMOS; 및

상기 제 1 전원단과 상기 제 2 전원단 사이에서 서로 직렬로 연결된 제 3 NMOS 및 제 4 NMOS를 포함하며,

상기 제 1 NMOS 및 상기 제 4 NMOS는 상기 양의 토글 신호를 입력받아 개폐가 제어되고,

상기 제 2 NMOS 및 상기 제 3 NMOS는 상기 음의 토글 신호를 입력받아 개폐가 제어되는 데이터 송신 장치.

청구항 27

제 23 항에 있어서,

상기 프리-엠펙시스는:

논리 레벨 1에 대응하는 전위를 갖는 제 1 전원단과 논리 레벨 0에 대응하는 전위를 갖는 제 2 전원단 사이에서 서로 직렬로 연결된 제 1 PMOS 및 제 2 PMOS; 및

상기 제 1 전원단과 상기 제 2 전원단 사이에서 서로 직렬로 연결된 제 3 PMOS 및 제 4 PMOS를 포함하며,

상기 제 1 PMOS 및 상기 제 4 PMOS는 상기 양의 토글 신호를 입력받아 개폐가 제어되고,

상기 제 2 PMOS 및 상기 제 3 PMOS는 상기 음의 토글 신호를 입력받아 개폐가 제어되는 데이터 송신 장치.

발명의 설명

기술 분야

[0001] 본 발명은 직렬 변환기 및 그를 포함한 데이터 송신 장치에 관한 것이다.

배경 기술

[0002] 최근 들어 시스템이 다루는 데이터의 양이 증가함에 따라 원활한 데이터 전송을 위해 고속의 저전력 I/O에 대한 요구가 커지고 있으며, 이에 송신 장치도 고속으로 데이터를 전송하면서 전력소모를 감소시키려는 시도가 이루어지고 있다. 일반적으로 데이터를 송신하는 송신 장치는 직렬 변환기를 구비하여 복수의 병렬 데이터 신호들을 하나의 직렬 데이터 스트림으로 변환한 뒤 수신 장치로 전송한다.

[0003] 기존의 직렬 변환기는 병렬로 입력된 복수의 데이터 신호들에 클럭 및 그를 통해 생성된 펄스 신호를 적용하여 데이터 신호들을 하나의 스트림으로 직렬화시켰다. 예를 들어, 4:1 직렬 변환기는 쿼드러처 클럭(quadrature clock)을 이용하여 펄스 신호를 생성하고, 이 펄스 신호를 데이터 신호와 동기화시켜 4 개의 병렬 데이터 신호들을 하나의 데이터 스트림으로 직렬화시킨다.

[0004] 따라서, 종래의 직렬 변환기는 펄스 신호를 생성하기 위한 회로 블록, 펄스 신호의 위상을 조절하기 위한 회로 블록, 펄스 신호를 데이터 신호와 동기화시키기 위한 회로 블록 등을 필요로 하였다. 그러나, 직렬화에 클럭을 이용하는 회로 블록은 클럭의 속도가 높아질수록 전력소모량도 커지며, 칩 내 회로 블록이 많아질수록 전체 전력소모량이 증가하게 되어, 고속의 데이터 송신 장치는 전송 속도의 증가와 함께 전력소모량도 커지는 단점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 데이터 직렬화에 있어서 클럭의 사용을 배제하여 종래에 비해 전력소모량을 낮출 수 있는 직렬 변환기 및 그를 포함하는 데이터 송신 장치를 제공하는 것을 목적으로 한다.

[0006] 본 발명의 실시예는 데이터 직렬화에 필요한 회로 블록을 표준 셀을 이용한 논리 게이트로 구성함으로써 설계의 복잡도를 낮출 수 있는 직렬 변환기 및 그를 포함하는 데이터 송신 장치를 제공하는 것을 목적으로 한다.

[0007] 본 발명의 실시예는 데이터 직렬화 과정에서 생성되는 토글 신호를 활용하여 직렬 데이터 신호를 프리-엠퍼시스(pre-emphasis)함으로써 간단한 회로 블록으로 프리-엠퍼시스를 가능하게 하는 직렬 변환기 및 그를 포함하는 데이터 송신 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 직렬 변환기는, 복수의 데이터 신호들을 기 결정된 위상 간격으로 정렬하는 데이터 신호 정렬부; 상기 정렬된 데이터 신호들 간 논리 레벨의 천이를 검출하여 상기 논리 레벨의 천이 시 토글 신호를 생성하는 천이 검출부; 및 상기 토글 신호를 상기 데이터 신호들을 직렬화한 직렬 데이터 신호로 변환하는 토글 신호 변환부;를 포함할 수 있다.

[0009] 상기 데이터 신호 정렬부는: 상기 복수의 데이터 신호들을 360° 를 상기 데이터 신호들의 개수로 나눈 위상 차만큼 이격시켜 정렬할 수 있다.

[0010] 상기 데이터 신호 정렬부는: 상기 복수의 데이터 신호들을 RZ(Return to Zero) 방식으로 변환하면서 상기 위상 간격으로 정렬할 수 있다.

[0011] 상기 데이터 신호 정렬부는: 각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 상기 RZ 방식으로 변환한 RZ 데이터 신호, 및 상기 RZ 데이터 신호를 반전시킨 반전 RZ 데이터 신호를 출력하는 복수의 플립플롭들을 포함하며, 상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 서로 간에 상기 위상 간격에 해당하는 위상 차를 가지며, 상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 서로 간에 상기 위상 간격에 해당하는 위상 차를 가질 수 있다.

[0012] 상기 천이 검출부는: 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에서 비교하여, 위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 양의 토글 신호를 생성하고, 위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 음의 토글 신호를 생성할 수 있다.

- [0013] 상기 천이 검출부는: 각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 1 NAND 게이트들; 각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 2 NAND 게이트들; 상기 제 1 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 3 NAND 게이트; 및 상기 제 2 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 4 NAND 게이트;를 포함할 수 있다.
- [0014] 상기 토글 신호 변환부는: 상기 양의 토글 신호 및 상기 음의 토글 신호를 입력받아 상기 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NOR 게이트 SR 래치를 포함할 수 있다.
- [0015] 상기 데이터 신호 정렬부는: 상기 복수의 데이터 신호들을 RO(Return to One) 방식으로 변환하면서 상기 위상 간격으로 정렬할 수 있다.
- [0016] 상기 데이터 신호 정렬부는: 각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 상기 RO 방식으로 변환한 RO 데이터 신호, 및 상기 RO 데이터 신호를 반전시킨 반전 RO 데이터 신호를 출력하는 복수의 플립플롭들을 포함하며, 상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 각각 상기 위상 간격에 해당하는 위상 차를 가지며, 상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 각각 상기 위상 간격에 해당하는 위상 차를 가질 수 있다.
- [0017] 상기 천이 검출부는: 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에서 비교하여, 위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 양의 토글 신호를 생성하고, 위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 음의 토글 신호를 생성할 수 있다.
- [0018] 상기 천이 검출부는: 각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 1 NOR 게이트들; 각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 2 NOR 게이트들; 상기 제 1 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 3 NOR 게이트; 및 상기 제 2 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 4 NOR 게이트;를 포함할 수 있다.
- [0019] 상기 토글 신호 변환부는: 상기 양의 토글 신호 및 상기 음의 토글 신호를 입력받아 상기 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NAND 게이트 SR 래치를 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 따른 직렬 변환기는, 각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 RZ 방식으로 변환한 RZ 데이터 신호, 및 상기 RZ 데이터 신호를 반전시킨 반전 RZ 데이터 신호를 출력하는 복수의 플립플롭들; 각각이 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 1 NAND 게이트들; 각각이 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 2 NAND 게이트들; 상기 제 1 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 3 NAND 게이트; 상기 제 2 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 4 NAND 게이트; 및 상기 제 3 NAND 게이트의 출력 신호 및 상기 제 4 NAND 게이트의 출력 신호를 입력받아 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NOR 게이트 SR 래치를 포함하며, 상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 서로 간에 기 결정된 위상 차를 가지며, 상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 서로 간에 상기 기 결정된 위상 차를 가질 수 있다.
- [0021] 본 발명의 일 실시예에 따른 직렬 변환기는, 각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 RO 방식으로 변환한 RO 데이터 신호, 및 상기 RO 데이터 신호를 반전시킨 반전 RO 데이터 신호를 출력하는 복수의 플립플롭들; 각각이 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 1 NOR 게이트들; 각각이 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RO

데이터 신호를 입력받아 NOR 연산하는 복수의 제 2 NOR 게이트들; 상기 제 1 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 3 NOR 게이트; 상기 제 2 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 4 NOR 게이트; 및 상기 제 3 NOR 게이트의 출력 신호 및 상기 제 4 NOR 게이트의 출력 신호를 입력받아 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NAND 게이트 SR 래치를 포함하며, 상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 서로 간에 기 결정된 위상 차를 가지며, 상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 서로 간에 상기 기 결정된 위상 차를 가질 수 있다.

[0022] 본 발명의 일 실시예에 따른 데이터 송신 장치는, 복수의 데이터 신호들을 기 결정된 위상 간격으로 정렬하는 데이터 신호 정렬부, 상기 정렬된 데이터 신호들 간 논리 레벨의 천이를 검출하여 상기 논리 레벨의 천이 시 토글 신호를 생성하는 천이 검출부, 및 상기 토글 신호를 상기 데이터 신호들을 직렬화한 직렬 데이터 신호로 변환하는 토글 신호 변환부를 포함하는 직렬 변환기; 상기 직렬 데이터 신호의 채널 손실을 보상하는 출력 드라이버; 및 상기 토글 신호를 입력받아 상기 토글 신호가 인가되는 구간에서 강조 신호를 생성하고, 상기 강조 신호를 상기 출력 드라이버로부터 출력되는 출력 신호에 중첩시키는 프리-엠퍼시스부;를 포함할 수 있다.

[0023] 상기 데이터 신호 정렬부는: 상기 복수의 데이터 신호들을 RZ(Return to Zero) 방식으로 변환하면서 상기 위상 간격으로 정렬할 수 있다.

[0024] 상기 데이터 신호 정렬부는: 각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 상기 RZ 방식으로 변환한 RZ 데이터 신호, 및 상기 RZ 데이터 신호를 반전시킨 반전 RZ 데이터 신호를 출력하는 복수의 플립플롭들을 포함하며, 상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 서로 간에 상기 위상 간격에 해당하는 위상 차를 가지며, 상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 서로 간에 상기 위상 간격에 해당하는 위상 차를 가질 수 있다.

[0025] 상기 천이 검출부는: 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에서 비교하여, 위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 양의 토글 신호를 생성하고, 위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 음의 토글 신호를 생성할 수 있다.

[0026] 상기 천이 검출부는: 각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 1 NAND 게이트들; 각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 2 NAND 게이트들; 상기 제 1 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 3 NAND 게이트; 및 상기 제 2 NAND 게이트들의 출력 신호를 입력받아 NAND 연산하는 제 4 NAND 게이트;를 포함할 수 있다.

[0027] 상기 토글 신호 변환부는: 상기 양의 토글 신호 및 상기 음의 토글 신호를 입력받아 상기 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NOR 게이트 SR 래치를 포함할 수 있다.

[0028] 상기 데이터 신호 정렬부는: 상기 복수의 데이터 신호들을 RO(Return to One) 방식으로 변환하면서 상기 위상 간격으로 정렬할 수 있다.

[0029] 상기 데이터 신호 정렬부는: 각각이 데이터 신호, 클럭 신호 및 리셋 신호를 입력받고, 상기 클럭 신호 및 상기 리셋 신호의 타이밍에 따라 상기 데이터 신호를 상기 RO 방식으로 변환한 RO 데이터 신호, 및 상기 RO 데이터 신호를 반전시킨 반전 RO 데이터 신호를 출력하는 복수의 플립플롭들을 포함하며, 상기 복수의 플립플롭들에 입력되는 복수의 클럭 신호들은 각각 상기 위상 간격에 해당하는 위상 차를 가지며, 상기 복수의 플립플롭들에 입력되는 복수의 리셋 신호들은 각각 상기 위상 간격에 해당하는 위상 차를 가질 수 있다.

[0030] 상기 천이 검출부는: 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에서 비교하여, 위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 양의 토글 신호를 생성하고, 위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 음의 토글 신호를 생성할 수 있다.

[0031] 상기 천이 검출부는: 각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 반전 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 1 NOR 게이트들; 각각이 상기 정렬된 데이터 신호들 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 상기 반전 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 상기 RO

데이터 신호를 입력받아 NOR 연산하는 복수의 제 2 NOR 게이트들; 상기 제 1 NOR 게이트들의 출력 신호를 입력 받아 NOR 연산하는 제 3 NOR 게이트; 및 상기 제 2 NOR 게이트들의 출력 신호를 입력받아 NOR 연산하는 제 4 NOR 게이트;를 포함할 수 있다.

[0032] 상기 토글 신호 변환부는: 상기 양의 토글 신호 및 상기 음의 토글 신호를 입력받아 상기 직렬 데이터 신호 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호를 출력하는 NAND 게이트 SR 래치를 포함할 수 있다.

[0033] 상기 프리-엠퍼시스부는: 논리 레벨 1에 대응하는 전위를 갖는 제 1 전원단과 논리 레벨 0에 대응하는 전위를 갖는 제 2 전원단 사이에서 서로 직렬로 연결된 제 1 NMOS 및 제 2 NMOS; 및 상기 제 1 전원단과 상기 제 2 전원단 사이에서 서로 직렬로 연결된 제 3 NMOS 및 제 4 NMOS를 포함하며, 상기 제 1 NMOS 및 상기 제 4 NMOS는 상기 양의 토글 신호를 입력받아 개폐가 제어되고, 상기 제 2 NMOS 및 상기 제 3 NMOS는 상기 음의 토글 신호를 입력받아 개폐가 제어될 수 있다.

[0034] 상기 프리-엠퍼시스부는: 논리 레벨 1에 대응하는 전위를 갖는 제 1 전원단과 논리 레벨 0에 대응하는 전위를 갖는 제 2 전원단 사이에서 서로 직렬로 연결된 제 1 PMOS 및 제 2 PMOS; 및 상기 제 1 전원단과 상기 제 2 전원단 사이에서 서로 직렬로 연결된 제 3 PMOS 및 제 4 PMOS를 포함하며, 상기 제 1 PMOS 및 상기 제 4 PMOS는 상기 양의 토글 신호를 입력받아 개폐가 제어되고, 상기 제 2 PMOS 및 상기 제 3 PMOS는 상기 음의 토글 신호를 입력받아 개폐가 제어될 수 있다.

발명의 효과

[0035] 본 발명의 실시예에 따르면, 데이터 직렬화에 있어서 클럭의 사용을 배제하여 전력소모량을 낮출 수 있다.

[0036] 본 발명의 실시예에 따르면, 데이터 직렬화에 필요한 회로 블록을 표준 셀을 이용한 논리 게이트로 구성할 수 있어 설계의 복잡도를 낮출 수 있다.

[0037] 본 발명의 실시예에 따르면, 데이터 직렬화 과정에서 생성되는 토글 신호를 활용하여 직렬 데이터 신호를 프리-엠퍼시스함으로써 간단한 회로 블록으로 프리-엠퍼시스를 제공할 수 있다.

도면의 간단한 설명

[0038] 도 1은 본 발명의 일 실시예에 따른 직렬 변환기의 예시적인 블록도이다.

도 2는 본 발명의 일 실시예에 따라 데이터 신호 정렬부가 데이터 신호들을 RZ 방식으로 변환하면서 정렬하는 과정을 설명하기 위한 예시적인 도면이다.

도 3은 본 발명의 일 실시예에 따른 데이터 신호 정렬부의 구성을 나타내는 예시적인 도면이다.

도 4는 본 발명의 일 실시예에 따라 천이 검출부가 데이터 신호들 간의 논리 레벨의 천이를 검출하여 토글 신호를 생성하는 과정을 설명하기 위한 예시적인 도면이다.

도 5는 본 발명의 일 실시예에 따른 천이 검출부의 구성을 나타내는 예시적인 회로도이다.

도 6은 본 발명의 일 실시예에 따라 토글 신호 변환부가 토글 신호를 직렬 데이터 신호로 변환하는 과정을 설명하기 위한 예시적인 도면이다.

도 7 및 도 8은 본 발명의 일 실시예에 따른 토글 신호 변환부의 구성을 나타내는 예시적인 회로도이다.

도 9 및 도 10은 본 발명의 또 다른 실시예에 따른 토글 신호 변환부의 구성을 나타내는 예시적인 회로도이다.

도 11은 본 발명의 다른 실시예에 따라 데이터 신호 정렬부가 데이터 신호들을 RO 방식으로 변환하면서 정렬하는 과정을 설명하기 위한 예시적인 도면이다.

도 12는 본 발명의 다른 실시예에 따라 천이 검출부가 데이터 신호들 간의 논리 레벨의 천이를 검출하여 토글 신호를 생성하는 과정을 설명하기 위한 예시적인 도면이다.

도 13은 본 발명의 다른 실시예에 따른 천이 검출부의 구성을 나타내는 예시적인 회로도이다.

도 14는 본 발명의 다른 실시예에 따라 토글 신호 변환부가 토글 신호를 직렬 데이터 신호로 변환하는 과정을 설명하기 위한 예시적인 도면이다.

도 15 및 도 16은 본 발명의 다른 실시예에 따른 토글 신호 변환부의 구성을 나타내는 예시적인 회로도이다.

도 17 및 도 18은 본 발명의 또 다른 실시예에 따른 토글 신호 변환부의 구성을 나타내는 예시적인 회로도이다.

도 19는 본 발명의 일 실시예에 따른 데이터 송신 장치의 예시적인 블록도이다.

도 20은 본 발명의 일 실시예에 따른 프리-엠퍼시스부의 예시적인 회로도이다.

도 21은 본 발명의 다른 실시예에 따른 프리-엠퍼시스부의 예시적인 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0039] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0040] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 가진다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다.

[0041] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 본 명세서에서 '및/또는' 이라는 용어는 나열된 구성들 각각 또는 이들의 다양한 조합을 가리킨다.

[0042] 본 발명의 실시예에 따르면, 직렬 변환기는 클럭을 이용하여 데이터를 직렬화하는 종래의 방식과 달리 데이터 신호의 정렬에만 클럭을 이용하고 직렬화에는 클럭의 사용을 배제하여 전력소모를 줄일 수 있다.

[0043] 구체적으로, 본 발명의 실시예에 따른 직렬 변환기는 복수의 병렬 데이터 신호들을 정렬한 뒤, 정렬된 데이터 신호들 간의 논리 레벨의 천이를 검출하여 토글 신호를 생성하고, 이 토글 신호를 직렬 데이터 신호로 변환하여 병렬 데이터들을 직렬화한다.

[0044] 특히, 본 발명의 실시예에서 데이터의 직렬화에 사용되는 회로는 논리 게이트로 구성되므로 그 설계가 용이하며, 종래와 달리 클럭을 이용한 펄스 생성, 펄스의 위상 조정 및 펄스와 데이터 신호 간의 동기화를 위한 회로 블록들을 필요로 하지 않기 때문에 저전력의 데이터 직렬화가 가능하다.

[0045] 나아가, 본 발명의 실시예에 따르면, 데이터의 직렬화 과정에서 데이터 신호들 간의 논리 레벨의 천이를 나타내는 토글 신호가 생성되므로, 이 토글 신호를 활용하여 직렬 데이터 신호를 프리-엠퍼시스함으로써 간단한 회로 블록으로 프리-엠퍼시스를 구현할 수 있다.

[0046] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세하게 설명한다.

[0047] 도 1은 본 발명의 일 실시예에 따른 직렬 변환기(100)의 예시적인 블록도이다.

[0048] 도 1에 도시된 바와 같이, 상기 직렬 변환기(100)는 데이터 신호 정렬부(110), 천이 검출부(120) 및 토글 신호 변환부(130)를 포함할 수 있다.

[0049] 상기 데이터 신호 정렬부(110)는 복수의 데이터 신호들(Data A 내지 D)을 기 결정된 위상 간격으로 정렬할 수 있다. 상기 천이 검출부(120)는 상기 정렬된 데이터 신호들(Data A 내지 D) 간 논리 레벨의 천이를 검출하여 상기 논리 레벨의 천이 시 토글 신호(T_p , T_n)를 생성할 수 있다. 상기 토글 신호 변환부(130)는 상기 토글 신호(T_p , T_n)를 상기 데이터 신호들을 직렬화한 직렬 데이터 신호(D_p)로 변환할 수 있다.

[0050] 상기 데이터 신호 정렬부(110)는 상기 복수의 데이터 신호들(Data A 내지 D)을 일정한 위상 차만큼 이격시켜 정렬할 수 있다. 이 실시예에 따르면, 상기 데이터 신호 정렬부(110)는 상기 복수의 데이터 신호들(Data A 내지 D)을 360° 를 상기 데이터 신호들의 개수로 나눈 위상 차만큼 이격시켜 정렬할 수 있다.

- [0051] 예를 들어, 도 1에 도시된 바와 같이, 4 개의 데이터 신호들(Data A 내지 D)을 하나의 데이터 스트림으로 직렬화하는 경우, 상기 데이터 신호 정렬부(110)는 상기 복수의 데이터 신호들(Data A 내지 D)을 90° 간격으로 이격시켜 정렬할 수 있다.
- [0052] 참고로, 본 명세서는 4:1 직렬화를 위한 회로 구성 및 그 동작을 위주로 본 발명의 실시예를 설명하나, 상기 직렬 변환기(100)의 데이터 직렬화는 이에 제한되지 않고 2:1을 비롯한 각종 직렬화로 확장될 수 있다.
- [0053] 본 발명의 일 실시예에 따르면, 상기 데이터 신호 정렬부(110)는 복수의 데이터 신호들(Data A 내지 D)을 RZ(Return to Zero) 방식으로 변환하면서 상기 위상 간격으로 정렬할 수 있다.
- [0054] 여기서, RZ 방식이란 데이터 신호를 구성하는 펄스가 항상 논리 레벨 0에 해당하는 전압으로 되돌아가는 방식으로, 논리 레벨 0에 해당하는 전압으로 되돌아갈 필요가 없는 NRZ(None Return to Zero) 방식과 반대되는 신호 구현 방식이다.
- [0055] 마찬가지로, RO(Return to One) 방식은 데이터 신호를 구성하는 펄스가 항상 논리 레벨 1에 해당하는 전압으로 되돌아가는 방식으로, 논리 레벨 0에 해당하는 전압을 기준으로 데이터를 표현하는 RZ 또는 NRZ 방식과 달리 논리 레벨 1에 해당하는 전압을 기준으로 데이터를 표현한다.
- [0056] 도 2는 본 발명의 일 실시예에 따라 데이터 신호 정렬부(110)가 데이터 신호들(Data A 내지 D)을 RZ 방식으로 변환하면서 정렬하는 과정을 설명하기 위한 예시적인 도면이다.
- [0057] 도 2에 도시된 바와 같이, 상기 데이터 신호 정렬부(110)는 복수의 데이터 신호들(Data A 내지 D)을 기 결정된 위상 간격, 즉 90° 간격으로 순서대로 정렬하되, NRZ 방식으로 표현된 상기 데이터 신호들(Data A 내지 D)을 RZ 방식으로 변환할 수 있다.
- [0058] 그 결과, 상기 복수의 데이터 신호들(Data A 내지 D)은 제 1 데이터 신호(Data A), 제 2 데이터 신호(Data B), 제 3 데이터 신호(Data C) 그리고 제 4 데이터 신호(Data D)의 순서대로 90° 씩 위상 차를 가지면서 배열될 수 있다.
- [0059] 도 3은 본 발명의 일 실시예에 따른 데이터 신호 정렬부(110)의 구성을 나타내는 예시적인 도면이다.
- [0060] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따르면, 상기 데이터 신호 정렬부(110)는 복수의 플립플롭들(111 내지 114)을 포함하되, 각각의 플립플롭은 데이터 신호(D), 클럭 신호(CLK) 및 리셋 신호(RST)를 입력받고, 상기 클럭 신호(CLK) 및 상기 리셋 신호(RST)의 타이밍에 따라 상기 데이터 신호(D)를 상기 RZ 방식으로 변환한 RZ 데이터 신호(A, B, C, D), 및 상기 RZ 데이터 신호를 반전시킨 반전 RZ 데이터 신호(/A, /B, /C, /D)를 출력할 수 있다.
- [0061] 즉, 각각의 플립플롭은 데이터 신호(D)를 입력받고 나서 클럭 신호(CLK)가 입력될 때 상기 데이터 신호를 출력하고, 리셋 신호(RST)가 입력되면 논리 레벨 0에 해당하는 신호를 출력하여 데이터 신호를 NRZ 방식에서 RZ 방식으로 변환할 수 있다.
- [0062] 또한, 상기 복수의 데이터 신호들(Data A 내지 D)을 기 결정된 위상 간격으로 정렬하기 위해, 상기 복수의 플립플롭들(111 내지 114)에 입력되는 복수의 클럭 신호들(CLK)은 서로 간에 상기 위상 간격에 해당하는 위상 차(예컨대, 도 3의 경우 90°)를 가지며, 상기 복수의 플립플롭들(111 내지 114)에 입력되는 복수의 리셋 신호들(RST)은 서로 간에 상기 위상 간격에 해당하는 위상 차(예컨대, 도 3의 경우 90°)를 가질 수 있다.
- [0063] 상기 천이 검출부(120)는 상기 정렬된 데이터 신호들(Data A 내지 D) 간 논리 레벨의 천이를 검출하여 상기 논리 레벨의 천이 시 토글 신호(T_p , T_n)를 생성할 수 있다.
- [0064] 본 발명의 일 실시예에 따르면, 상기 천이 검출부(120)는 상기 정렬된 데이터 신호들(Data A 내지 D) 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에 비교하여, 위상이 앞선 데이터 신호의 논리 레벨이 0 이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 양의 토글 신호(T_p)를 생성하고, 위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 음의 토글 신호(T_n)를 생성할 수 있다.
- [0065] 도 4는 본 발명의 일 실시예에 따라 천이 검출부(120)가 데이터 신호들(Data A 내지 D) 간의 논리 레벨의 천이를 검출하여 토글 신호(T_p , T_n)를 생성하는 과정을 설명하기 위한 예시적인 도면이다.

- [0066] 일 실시예에 따르면, 상기 천이 검출부(120)는 기 결정된 위상 간격으로 정렬된 RZ 방식의 데이터 신호들(Data A 내지 D) 중에서 위상 순서대로 동일한 타이밍에 두 신호씩 논리 레벨을 비교할 수 있다.
- [0067] 예를 들어, 도 4를 참조하면, 상기 천이 검출부(120)는 먼저 제 4 데이터 신호(Data D)와 제 1 데이터 신호(Data A)의 논리 레벨을 비교하고, 그 다음으로 제 1 데이터 신호(Data A)와 제 2 데이터 신호(Data B)의 논리 레벨을 비교하고, 그 다음으로 제 2 데이터 신호(Data B)와 제 3 데이터 신호(Data C)의 논리 레벨을 비교하고, 그 다음으로 제 3 데이터 신호(Data C)와 제 4 데이터 신호(Data D)의 논리 레벨을 비교하는 식으로 상기 정렬된 데이터 신호들(Data A 내지 D) 중 위상 순서대로 두 데이터 신호들의 논리 레벨을 동일한 타이밍에 비교할 수 있다.
- [0068] 그리고, 상기 천이 검출부(120)는 위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 양의 토글 신호(T_p)를 생성하고, 위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 음의 토글 신호(T_n)를 생성할 수 있다.
- [0069] 예를 들어, 도 4를 참조하면, 맨 처음 비교되는 제 4 데이터 신호(Data D) 및 제 1 데이터 신호(Data A)는 논리 레벨이 각각 0 및 1이므로, 상기 천이 검출부(120)는 양의 토글 신호(T_p)를 생성할 수 있다.
- [0070] 그리고 나서, 두 번째로 비교되는 제 1 데이터 신호(Data A) 및 제 2 데이터 신호(Data B)는 논리 레벨이 모두 1이므로, 상기 천이 검출부(120)는 토글 신호를 생성하지 않는다. 마찬가지로, 세 번째 및 네 번째로 비교되는 제 2 데이터 신호(Data B), 제 3 데이터 신호(Data C) 및 제 4 데이터 신호(Data D) 역시 논리 레벨이 모두 1이므로 토글 신호는 생성되지 않는다.
- [0071] 그 뒤, 다섯 번째로 비교되는 제 4 데이터 신호(Data D) 및 제 1 데이터 신호(Data A)는 논리 레벨이 각각 1 및 0이므로, 상기 천이 검출부(120)는 음의 토글 신호(T_n)를 생성할 수 있다.
- [0072] 이와 같은 방식으로 상기 천이 검출부(120)는 상기 정렬된 데이터 신호들(Data A 내지 D)에 대하여 위상 순서대로 두 개씩 논리 레벨을 비교하여 논리 레벨의 천이를 나타내는 양 및 음의 토글 신호(T_p , T_n)를 생성할 수 있다.
- [0073] 도 5는 본 발명의 일 실시예에 따른 천이 검출부(120)의 구성을 나타내는 예시적인 회로도이다.
- [0074] 본 발명의 일 실시예에 따르면, 상기 천이 검출부(120)는 NAND 게이트들의 조합으로 구성될 수 있다.
- [0075] 예를 들어, 도 5에 도시된 바와 같이, 상기 천이 검출부(120)는 각각이 상기 정렬된 데이터 신호들(Data A 내지 D) 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 반전 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 1 NAND 게이트들(121), 각각이 상기 정렬된 데이터 신호들(Data A 내지 D) 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 반전 RZ 데이터 신호 및 위상이 뒤선 데이터 신호의 RZ 데이터 신호를 입력받아 NAND 연산하는 복수의 제 2 NAND 게이트들(122), 상기 제 1 NAND 게이트들(121)의 출력 신호를 입력받아 NAND 연산하는 제 3 NAND 게이트(123), 및 상기 제 2 NAND 게이트들(122)의 출력 신호를 입력받아 NAND 연산하는 제 4 NAND 게이트(124)를 포함할 수 있다.
- [0076] 이와 같이, 상기 천이 검출부(120)는 상기 데이터 신호 정렬부(110)로부터 복수의 정렬된 데이터 신호들(Data A 내지 D)의 RZ 데이터 신호(A, B, C, D) 및 반전 RZ 데이터 신호(/A, /B, /C, /D)를 입력받아 논리 레벨의 천이를 검출하여 토글 신호(T_p , T_n)를 생성할 수 있다.
- [0077] 상기 토글 신호 변환부(130)는 상기 토글 신호(T_p , T_n)를 데이터 신호들(Data A 내지 D)을 직렬화한 직렬 데이터 신호(D_p)로 변환할 수 있다.
- [0078] 도 6은 본 발명의 일 실시예에 따라 토글 신호 변환부(130)가 토글 신호(T_p , T_n)를 직렬 데이터 신호(D_p)로 변환하는 과정을 설명하기 위한 예시적인 도면이다.
- [0079] 도 6에 도시된 바와 같이, 상기 토글 신호 변환부(130)는 상기 천이 검출부(120)로부터 토글 신호(T_p , T_n)를 입력받아 복수의 병렬 데이터 신호들(Data A 내지 D)을 직렬화한 직렬 데이터 신호(D_p)를 출력할 수 있다.
- [0080] 전술한 바와 같이, 양의 토글 신호(T_p)는 위상이 연속된 두 데이터 신호들 간의 논리 레벨이 0에서 1로 천이되

는 타이밍 정보를 가지며, 음의 토글 신호(T_N)는 위상이 연속된 두 데이터 신호들 간의 논리 레벨이 1에서 0으로 천이되는 타이밍 정보를 가지므로, 상기 토글 신호 변환부(130)는 상기 양 및 음의 토글 신호(T_P , T_N)를 기초로 직렬 데이터 신호(D_P) 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호(D_N)를 생성할 수 있다.

- [0081] 본 발명의 일 실시예에 따르면, 상기 토글 신호 변환부(130)는 SR 래치를 이용하여 양 및 음의 토글 신호(T_P , T_N)로부터 직렬 데이터 신호 및 반전 직렬 데이터 신호(D_P , D_N)를 생성할 수 있다.
- [0082] 도 7 및 도 8은 본 발명의 일 실시예에 따른 토글 신호 변환부(130)의 구성을 나타내는 예시적인 회로도이다.
- [0083] 상기 토글 신호 변환부(130)는 양 및 음의 토글 신호(T_P , T_N)를 입력받아 직렬 데이터 신호 및 반전 직렬 데이터 신호(D_P , D_N)를 출력하는 SR 래치를 포함할 수 있다.
- [0084] 일 예로, 도 7에 도시된 바와 같이, 상기 토글 신호 변환부(130)는 NOR 게이트들로 구성된 SR 래치를 포함할 수 있으며, 이 NOR 게이트 SR 래치를 PMOS 및 NMOS로 표현하면 도 8의 회로와 같이 구현될 수 있다.
- [0085] 도 9 및 도 10은 본 발명의 또 다른 실시예에 따른 토글 신호 변환부(130)의 구성을 나타내는 예시적인 회로도이다.
- [0086] 도 9 및 도 10에 도시된 토글 신호 변환부(130)는 도 7 및 도 8에 도시된 3-스택 구조의 NOR 게이트 SR 래치와 달리, 2-스택 구조로 구성되며 NMOS로만 토글 신호(T_P , T_N)를 입력받고 두 개의 인버터들을 포함한다.
- [0087] 이와 같이, 상기 토글 신호 변환부(130)는 다양한 회로 구조의 SR 래치를 통해 양 및 음의 토글 신호(T_P , T_N)를 입력받아, 병렬 데이터 신호들(Data A 내지 D) 간 논리 레벨의 천이에 관한 정보를 기초로 직렬 데이터 신호 및 반전 직렬 데이터 신호(D_P , D_N)를 생성할 수 있다.
- [0088] 전술한 바와 같이, 본 발명의 실시예에 따른 직렬 변환기(100)는 병렬 데이터 신호들(Data A 내지 D)의 위상 정렬에만 클럭을 이용하고, 직렬화에는 논리 게이트로 구성된 회로를 사용하여 클럭의 사용을 배제함으로써 회로의 면적 및 복잡도를 감소시키고 전력소모량을 줄일 수 있다.
- [0089] 앞서 설명한 본 발명의 일 실시예에 따른 직렬 변환기(100)는 복수의 병렬 데이터 신호들(Data A 내지 D)을 RZ 방식으로 변환하면서 위상 정렬한 뒤, 이 위상 정렬된 RZ 방식의 데이터 신호들(Data A 내지 D)을 기초로 양 및 음의 토글 신호(T_P , T_N)를 생성하고, 이 토글 신호(T_P , T_N)를 직렬 데이터 신호 및 반전 직렬 데이터 신호(D_P , D_N)로 변환하였다.
- [0090] 그러나, 후술하는 본 발명의 다른 실시예에 따르면, 상기 직렬 변환기(100)는 복수의 병렬 데이터 신호들(Data A 내지 D)을 RZ 방식이 아닌 RO 방식으로 변환하면서 위상 정렬하고, 이 위상 정렬된 RO 방식의 데이터 신호들(Data A 내지 D)을 기초로 양 및 음의 토글 신호(T_P , T_N)를 생성하고, 이 토글 신호(T_P , T_N)를 직렬 데이터 신호 및 반전 직렬 데이터 신호(D_P , D_N)로 변환할 수 있다.
- [0091] 도 11은 본 발명의 다른 실시예에 따라 데이터 신호 정렬부(110)가 데이터 신호들을 RO 방식으로 변환하면서 정렬하는 과정을 설명하기 위한 예시적인 도면이다.
- [0092] 본 발명의 다른 실시예에 따르면, 상기 데이터 신호 정렬부(110)는 도 2의 실시예와 마찬가지로 복수의 데이터 신호들(Data A 내지 D)을 기 결정된 위상 간격, 즉 90° 간격으로 순서대로 정렬하되, NRZ 방식으로 표현된 상기 데이터 신호들(Data A 내지 D)을 RO 방식으로 변환할 수 있다.
- [0093] 그 결과, 도 11에 도시된 바와 같이, 상기 데이터 신호들(Data A 내지 D)은 제 1 내지 제 4 데이터 신호(Data A 내지 D)의 순서대로 90° 씩 위상 차를 가지면서 배열되며, 논리 레벨 1에 해당하는 전압을 기준으로 하여 펄스가 구현된다.
- [0094] 이 실시예에서, 상기 데이터 신호 정렬부(110)는 복수의 플립플롭들(111 내지 114)을 포함할 수 있으나, 이 때 상기 플립플롭은 기준 전압이 논리 레벨 0에 해당하는 전압이 아니라 논리 레벨 1에 해당하는 전압으로 설계되어야 한다.
- [0095] 예를 들어, 상기 데이터 신호 정렬부(110)는 복수의 플립플롭들(111 내지 114)을 포함하되, 각각이 데이터 신호(D), 클럭 신호(CLK) 및 리셋 신호(RST)를 입력받고, 상기 클럭 신호(CLK) 및 상기 리셋 신호(RST)의 타이밍에

따라 상기 데이터 신호(D)를 RO 방식으로 변환한 RO 데이터 신호, 및 상기 RO 데이터 신호를 반전시킨 반전 RO 데이터 신호를 출력할 수 있다.

- [0096] 이 경우에도, 상기 복수의 플립플롭들(111 내지 114)에 입력되는 복수의 클럭 신호들(CLK)은 각각 상기 위상 간격(예컨대, 도 11의 경우 90°)에 해당하는 위상 차를 가지며, 상기 복수의 플립플롭들(111 내지 114)에 입력되는 복수의 리셋 신호들(RST) 역시 각각 상기 위상 간격(예컨대, 도 11의 경우 90°)에 해당하는 위상 차를 가질 수 있다.
- [0097] 이 실시예에서도, 상기 천이 검출부(120)는 정렬된 데이터 신호들(Data A 내지 D) 중 위상이 연속된 두 데이터 신호들의 논리 레벨을 동일한 타이밍에 비교하여 토글 신호(T_P , T_N)를 생성할 수 있다. 그러나, 전술한 본 발명의 일 실시예에 따른 천이 검출부(120)와 달리, 다른 실시예에 따른 천이 검출부(120)는 위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 양의 토글 신호(T_P)를 생성하고, 위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 음의 토글 신호(T_N)를 생성한다.
- [0098] 도 12는 본 발명의 다른 실시예에 따라 천이 검출부(120)가 데이터 신호들(Data A 내지 D) 간의 논리 레벨의 천이를 검출하여 토글 신호(T_P , T_N)를 생성하는 과정을 설명하기 위한 예시적인 도면이다.
- [0099] 도 12에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 천이 검출부(120)는 기 결정된 위상 간격으로 정렬된 RO 방식의 데이터 신호들(Data A 내지 D) 중에서 위상 순서대로 동일한 타이밍에 두 신호씩 논리 레벨을 비교할 수 있다.
- [0100] 그리고, 상기 천이 검출부(120)는 위상이 앞선 데이터 신호의 논리 레벨이 1이고 위상이 뒤선 데이터 신호의 논리 레벨이 0인 경우, 양의 토글 신호(T_P)를 생성하고, 위상이 앞선 데이터 신호의 논리 레벨이 0이고 위상이 뒤선 데이터 신호의 논리 레벨이 1인 경우, 음의 토글 신호(T_N)를 생성할 수 있다.
- [0101] 예를 들어, 도 12를 참조하면, 맨 처음 비교되는 제 4 데이터 신호(Data D) 및 제 1 데이터 신호(Data A)는 논리 레벨이 각각 1 및 0이므로, 상기 천이 검출부(120)는 양의 토글 신호(T_P)를 생성할 수 있다. 그와 반대로, 다섯 번째로 비교되는 제 4 데이터 신호(Data D) 및 제 1 데이터 신호(Data A)는 논리 레벨이 각각 0 및 1이므로, 상기 천이 검출부(120)는 음의 토글 신호(T_N)를 생성할 수 있다.
- [0102] 이 실시예에 따르면, 도 12에 도시된 바와 같이, 상기 양 및 음의 토글 신호(T_P , T_N) 역시 논리 레벨 1에 해당하는 전압을 기준으로 펄스가 구성된다.
- [0103] 도 13은 본 발명의 다른 실시예에 따른 천이 검출부(120)의 구성을 나타내는 예시적인 회로도이다.
- [0104] 전술한 본 발명의 일 실시예에 따른 천이 검출부(120)는 NAND 게이트들의 조합으로 구성되었으나, 다른 실시예에 따른 천이 검출부(120)는 NOR 게이트들의 조합으로 구성될 수 있다.
- [0105] 예를 들어, 도 13에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 천이 검출부(120)는, 각각이 상기 정렬된 데이터 신호들(Data A 내지 D) 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 반전 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 1 NOR 게이트들(125), 각각이 상기 정렬된 데이터 신호들(Data A 내지 D) 중 위상이 연속된 두 데이터 신호들을 입력받되, 위상이 앞선 데이터 신호의 반전 RO 데이터 신호 및 위상이 뒤선 데이터 신호의 RO 데이터 신호를 입력받아 NOR 연산하는 복수의 제 2 NOR 게이트들(126), 상기 제 1 NOR 게이트들(125)의 출력 신호를 입력받아 NOR 연산하는 제 3 NOR 게이트(127), 및 상기 제 2 NOR 게이트들(126)의 출력 신호를 입력받아 NOR 연산하는 제 4 NOR 게이트(128)를 포함할 수 있다.
- [0106] 이와 같이, 본 발명의 다른 실시예에 따른 천이 검출부(120)는 상기 데이터 신호 정렬부(110)로부터 복수의 정렬된 데이터 신호들(Data A 내지 D)의 RO 데이터 신호(A, B, C, D) 및 반전 RO 데이터 신호(/A, /B, /C, /D)를 입력받아 논리 레벨의 천이를 검출하여 토글 신호(T_P , T_N)를 생성할 수 있다.
- [0107] 도 14는 본 발명의 다른 실시예에 따라 토글 신호 변환부(130)가 토글 신호(T_P , T_N)를 직렬 데이터 신호(D_P)로 변환하는 과정을 설명하기 위한 예시적인 도면이다.

- [0108] 도 14에 도시된 바와 같이, 상기 토글 신호 변환부(130)는 논리 레벨 1에 해당하는 전압을 기준으로 펄스가 구현된 양 및 음의 토글 신호(T_p , T_N)를 기초로 다시 논리 레벨 0에 해당하는 전압을 기준으로 펄스가 구현되는 직렬 데이터 신호(D_p) 및 상기 직렬 데이터 신호를 반전시킨 반전 직렬 데이터 신호(D_N)를 생성할 수 있다.
- [0109] 도 15 및 도 16은 본 발명의 다른 실시예에 따른 토글 신호 변환부(130)의 구성을 나타내는 예시적인 회로도이다.
- [0110] 전술한 일 실시예와 같이, 이 실시예에 따른 토글 신호 변환부(130)도 SR 래치를 이용하여 양 및 음의 토글 신호(T_p , T_N)로부터 직렬 데이터 신호 및 반전 직렬 데이터 신호(D_p , D_N)를 생성할 수 있다.
- [0111] 그러나, NOR 게이트로 구성된 SR 래치를 사용하는 일 실시예와 달리, 본 발명의 다른 실시예는 NAND 게이트로 구성된 SR 래치를 사용할 수 있으며, 이 NAND 게이트 SR 래치를 PMOS 및 NMOS로 표현하면 도 16의 회로와 같이 구현될 수 있다.
- [0112] 도 17 및 도 18은 본 발명의 또 다른 실시예에 따른 토글 신호 변환부(130)의 구성을 나타내는 예시적인 회로도이다.
- [0113] 도 17 및 도 18에 도시된 토글 신호 변환부(130)는 도 15 및 도 16에 도시된 3-스택 구조의 NAND 게이트 SR 래치와 달리, 2-스택 구조로 구성되며 PMOS로만 토글 신호(T_p , T_N)를 입력받고 두 개의 인버터들을 포함한다.
- [0114] 이와 같이, 상기 토글 신호 변환부(130)는 다양한 회로 구조의 SR 래치를 통해 양 및 음의 토글 신호(T_p , T_N)를 입력받아, 병렬 데이터 신호들(Data A 내지 D) 간 논리 레벨의 천이에 관한 정보를 기초로 직렬 데이터 신호 및 반전 직렬 데이터 신호(D_p , D_N)를 생성할 수 있다.
- [0115] 도 19는 본 발명의 일 실시예에 따른 데이터 송신 장치(1000)의 예시적인 블록도이다.
- [0116] 도 19에 도시된 바와 같이, 상기 데이터 송신 장치(1000)는 직렬 변환기(100), 출력 드라이버(200) 및 프리-엠퍼시스부(300)를 포함할 수 있다.
- [0117] 상기 데이터 송신 장치(1000)는 전술한 본 발명의 실시예에 따른 직렬 변환기(100)를 포함할 수 있다. 즉, 상기 직렬 변환기(100)는 복수의 데이터 신호들(Data A 내지 D)을 기 결정된 위상 간격(예컨대, 도 19의 경우 90°)으로 정렬하는 데이터 신호 정렬부(110), 상기 정렬된 데이터 신호들(Data A 내지 D) 간 논리 레벨의 천이를 검출하여 상기 논리 레벨의 천이 시 토글 신호(T_p , T_N)를 생성하는 천이 검출부(120), 및 상기 토글 신호(T_p , T_N)를 상기 데이터 신호들을 직렬화한 직렬 데이터 신호(D_p)로 변환하는 토글 신호 변환부(130)를 포함하여, 상기 복수의 병렬 데이터 신호들(Data A 내지 D)을 하나의 직렬 데이터 스트림(D_p)으로 변환할 수 있다.
- [0118] 상기 출력 드라이버(200)는 상기 직렬 데이터 신호(D_p)의 채널 손실을 보상한다. 예를 들어, 상기 출력 드라이버(200)는 상기 데이터 송신 장치(1000)의 출력단에 구비되어 데이터 신호의 전압 레벨은 유지한 채 전류량을 증가시켜 출력 신호의 파워를 높이는 기능을 수행할 수 있다. 또한, 상기 출력 드라이버(200)는 상기 데이터 송신 장치(1000)의 출력 임피던스를 50 Ω 으로 매칭시키는 임피던스 매칭 기능도 수행할 수 있다.
- [0119] 상기 프리-엠퍼시스부(300)는 상기 출력 드라이버(200)의 출력 신호 중 고주파 대역을 부스팅하여 프리-엠퍼시스 기능을 수행한다.
- [0120] 본 발명의 실시예에 따르면, 상기 프리-엠퍼시스부(300)는 상기 직렬 변환기(100)로부터 토글 신호를 입력받아 상기 토글 신호가 인가되는 구간에서 강조 신호를 생성하고, 상기 강조 신호를 상기 출력 드라이버(200)로부터 출력되는 출력 신호에 중첩시킬 수 있다. 다시 말해, 상기 프리-엠퍼시스부(300)는 출력 신호(D_p , D_N)의 프리-엠퍼시스에 상기 직렬 변환기(100)가 생성한 토글 신호(T_p , T_N)를 활용할 수 있다.
- [0121] 도 20은 본 발명의 일 실시예에 따른 프리-엠퍼시스부(300)의 예시적인 회로도이다.
- [0122] 도 20에 도시된 프리-엠퍼시스부(300)는 전술한 본 발명의 일 실시예에 따른 직렬 변환기(즉, RZ 방식의 데이터 신호들을 기초로 직렬화하는 도 2 내지 도 10의 직렬 변환기)(100)에서 생성된 양 및 음의 토글 신호(T_p , T_N)를 이용하여 프리-엠퍼시스를 위한 강조 신호(OUT_p , OUT_N)를 생성한다.

- [0123] 도 20에 도시된 바와 같이, 상기 프리-엠펜시스부(300)는 논리 레벨 1에 대응하는 전위를 갖는 제 1 전원단(V_{D1})과 논리 레벨 0에 대응하는 전위를 갖는 제 2 전원단(GND) 사이에서 서로 직렬로 연결된 제 1 스위칭 소자(311) 및 제 2 스위칭 소자(312), 그리고 상기 제 1 전원단(V_{DD})과 상기 제 2 전원단(GND) 사이에서 서로 직렬로 연결된 제 3 스위칭 소자(313) 및 제 4 스위칭 소자(314)를 포함할 수 있다.
- [0124] 그리고, 상기 제 1 스위칭 소자(311) 및 상기 제 4 스위칭 소자(314)는 양의 토글 신호(T_P)를 입력받아 개폐가 제어되고, 상기 제 2 스위칭 소자(312) 및 상기 제 3 스위칭 소자(313)는 음의 토글 신호(T_N)를 입력받아 개폐가 제어될 수 있다.
- [0125] 이 실시예에 따르면, 상기 제 1 내지 제 4 스위칭 소자(311 내지 314)는 NMOS로 구성되어, 상기 토글 신호(T_P , T_N)가 게이트에 인가되면 온이 되어 제 1 전원단(V_{DD}) 및 제 2 전원단(GND)을 통해 강조 신호(OUT_P , OUT_N)를 출력할 수 있다.
- [0126] 도 21은 본 발명의 다른 실시예에 따른 프리-엠펜시스부(300)의 예시적인 회로도이다.
- [0127] 도 21에 도시된 프리-엠펜시스부(300)는 전술한 본 발명의 다른 실시예에 따른 직렬 변환기(즉, RO 방식의 데이터 신호들을 기초로 직렬화하는 도 11 내지 도 18의 직렬 변환기)(100)에서 생성된 양 및 음의 토글 신호(T_P , T_N)를 이용하여 프리-엠펜시스를 위한 강조 신호(OUT_P , OUT_N)를 생성한다.
- [0128] 도 21에 도시된 바와 같이, 상기 프리-엠펜시스부(300)는 논리 레벨 1에 대응하는 전위를 갖는 제 1 전원단(V_{D1})과 논리 레벨 0에 대응하는 전위를 갖는 제 2 전원단(GND) 사이에서 서로 직렬로 연결된 제 1 스위칭 소자(321) 및 제 2 스위칭 소자(322), 그리고 상기 제 1 전원단(V_{DD})과 상기 제 2 전원단(GND) 사이에서 서로 직렬로 연결된 제 3 스위칭 소자(323) 및 제 4 스위칭 소자(324)를 포함할 수 있다.
- [0129] 그리고, 상기 제 1 스위칭 소자(321) 및 상기 제 4 스위칭 소자(324)는 양의 토글 신호(T_P)를 입력받아 개폐가 제어되고, 상기 제 2 스위칭 소자(322) 및 상기 제 3 스위칭 소자(323)는 음의 토글 신호(T_N)를 입력받아 개폐가 제어될 수 있다.
- [0130] 이 실시예에 따르면, 상기 제 1 내지 제 4 스위칭 소자(321 내지 324)는 PMOS로 구성되어, 상기 토글 신호(T_P , T_N)가 게이트에 인가되면 온이 되어 제 1 전원단(V_{DD}) 및 제 2 전원단(GND)을 통해 강조 신호(OUT_P , OUT_N)를 출력할 수 있다.
- [0131] 상기 프리-엠펜시스부(300)에 의해 생성된 강조 신호(OUT_P , OUT_N)는 상기 출력 드라이버(200)로부터 출력되는 신호, 즉 직렬 데이터 신호 및 반전 직렬 데이터 신호(D_P , D_N)에 중첩되어 프리-엠펜시스가 수행될 수 있다.
- [0132] 이와 같이, 본 발명의 실시예에 따르면 상기 프리-엠펜시스부(300)가 데이터 직렬화 과정에서 생성되는 토글 신호(T_P , T_N)를 활용하여 출력 신호를 프리-엠펜시스하므로, 출력 신호의 펄스 에지를 검출하기 위한 별도의 회로 블록을 필요로 하지 않아 프리-엠펜시스를 위한 회로 블록을 간단하게 구성할 수 있으며, 프리-엠펜시스 스테이지의 단순화를 통해 데이터 송신 장치(1000)의 전체 전력소모량을 추가로 줄일 수 있다.
- [0133] 이상에서 실시예를 통해 본 발명을 설명하였으나, 위 실시예는 단지 본 발명의 사상을 설명하기 위한 것으로 이에 한정되지 않는다. 통상의 기술자는 전술한 실시예에 다양한 변형이 가해질 수 있음을 이해할 것이다. 본 발명의 범위는 첨부된 특허청구범위의 해석을 통해서만 정해진다.

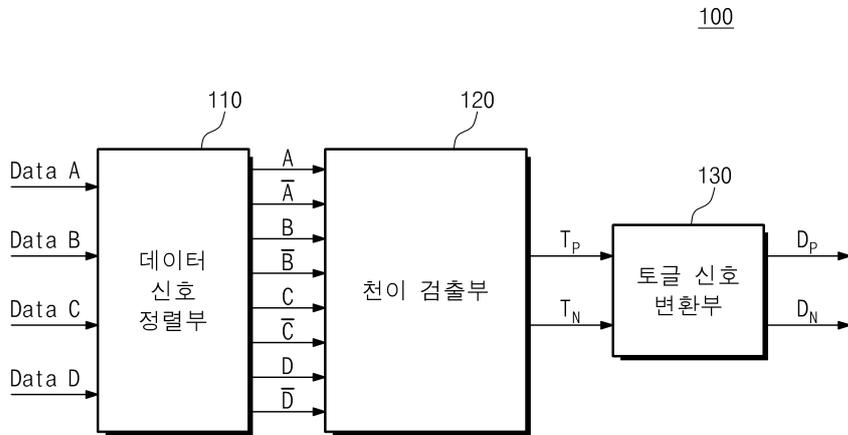
부호의 설명

- [0134] 100: 직렬 변환기
- 110: 데이터 신호 정렬부
- 111, 112, 113, 114: 플립플롭
- 120: 천이 검출부

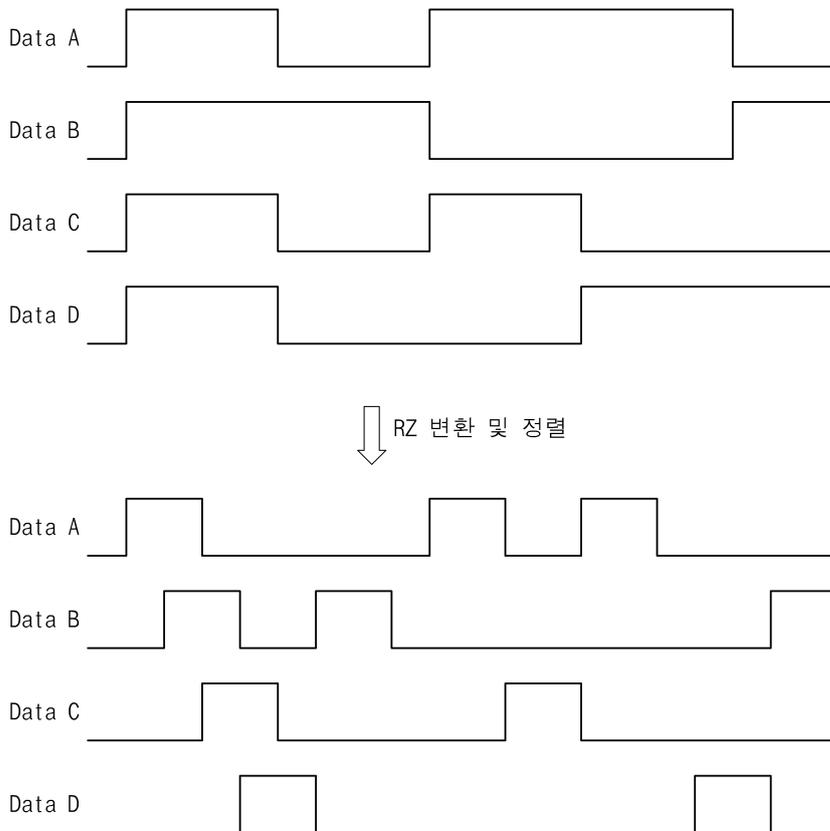
- 121: 제 1 NAND 게이트들
- 122: 제 2 NAND 게이트들
- 123: 제 3 NAND 게이트
- 124: 제 4 NAND 게이트
- 125: 제 1 NOR 게이트들
- 126: 제 2 NOR 게이트들
- 127: 제 3 NOR 게이트
- 128: 제 4 NOR 게이트
- 130: 토글 신호 변환부
- 200: 출력 드라이버
- 300: 프리-엠퍼시스부
- 311, 321: 제 1 스위칭 소자
- 312, 322: 제 2 스위칭 소자
- 313, 323: 제 3 스위칭 소자
- 314, 324: 제 4 스위칭 소자
- Data A: 제 1 데이터 신호
- Data B: 제 2 데이터 신호
- Data C: 제 3 데이터 신호
- Data D: 제 4 데이터 신호
- T_P: 양의 토글 신호
- T_N: 음의 토글 신호
- D_P: 직렬 데이터 신호
- D_N: 반전 직렬 데이터 신호
- V_{DD}: 제 1 전원단
- GND: 제 2 전원단

도면

도면1

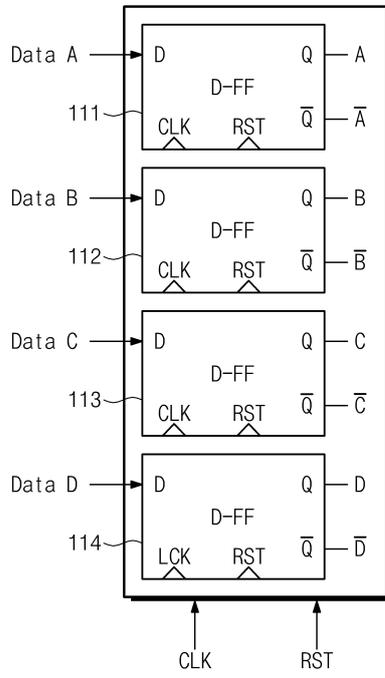


도면2

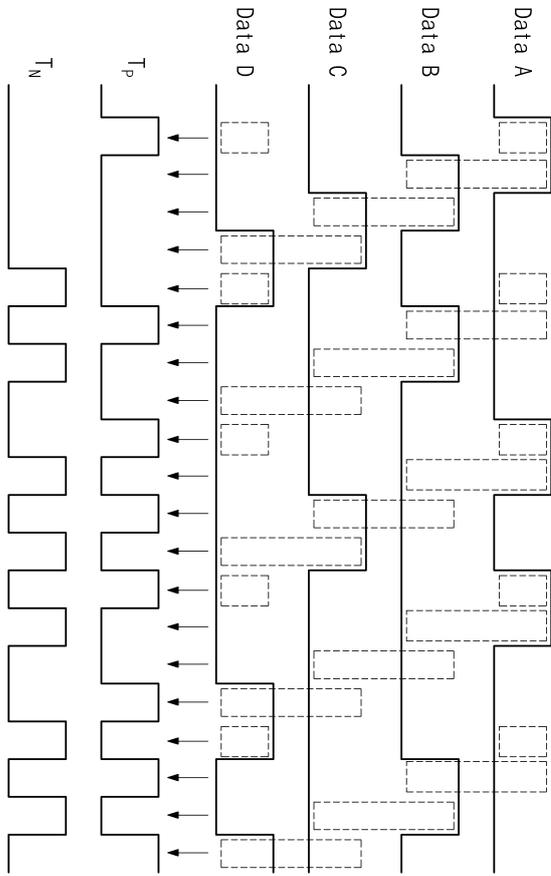


도면3

110

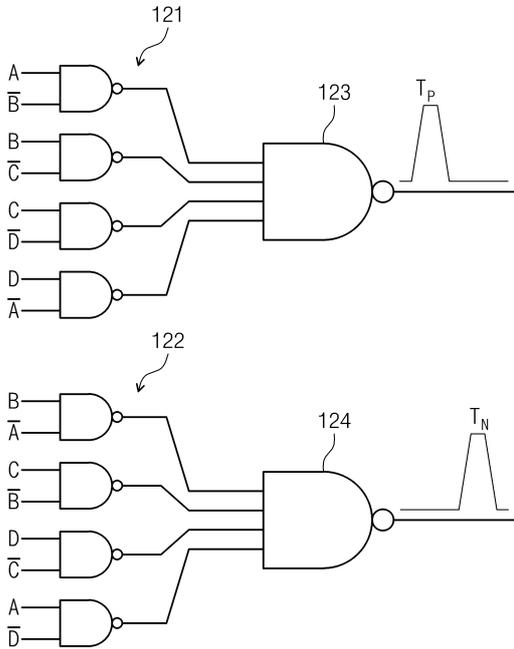


도면4

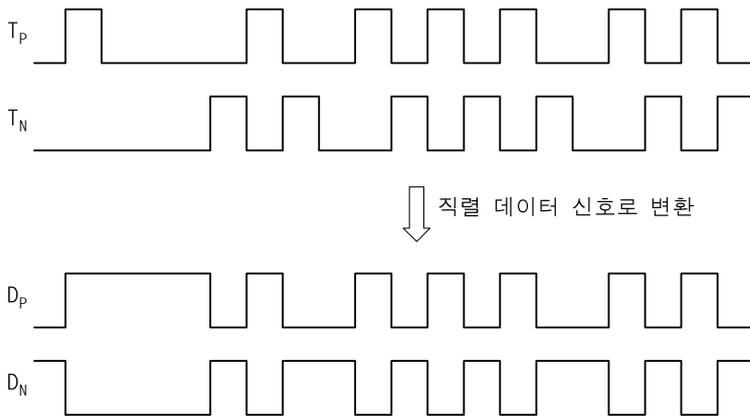


도면5

120

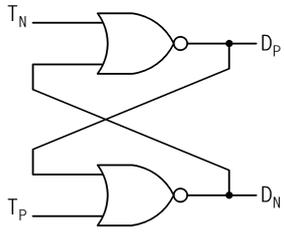


도면6



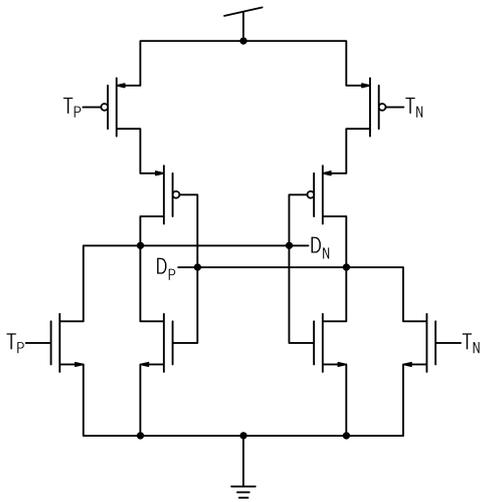
도면7

130



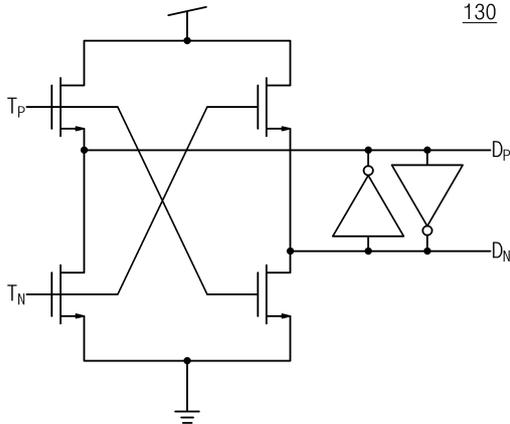
도면8

130



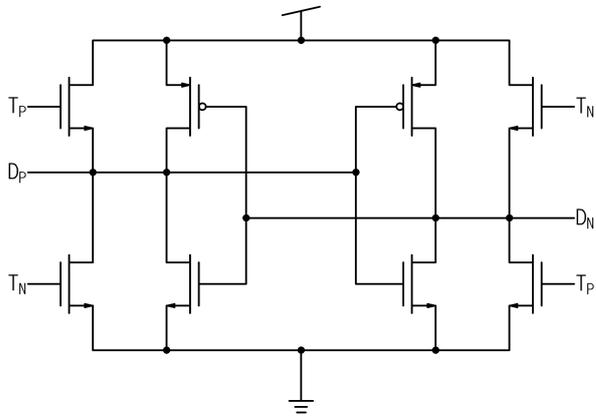
도면9

130

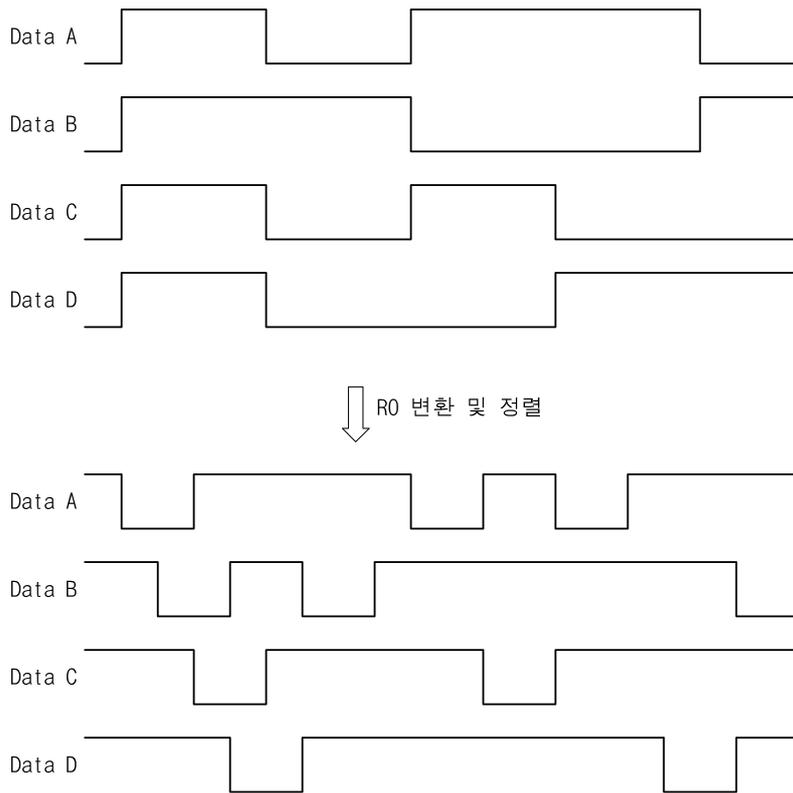


도면10

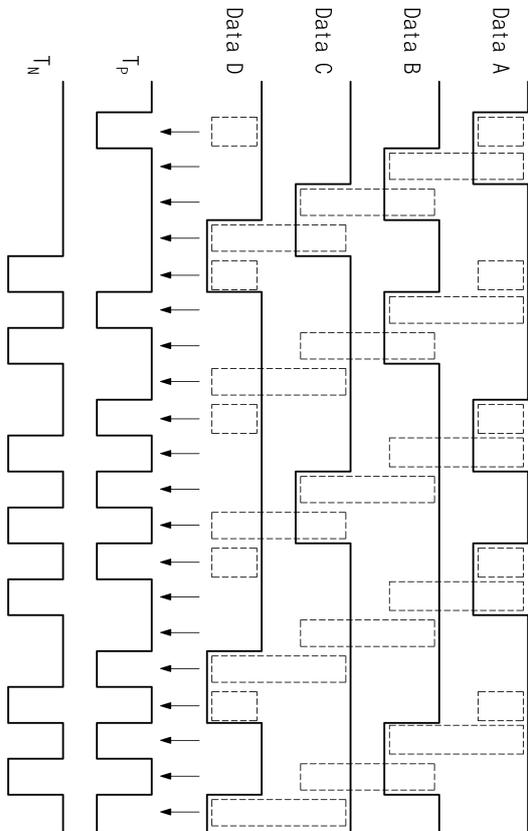
130



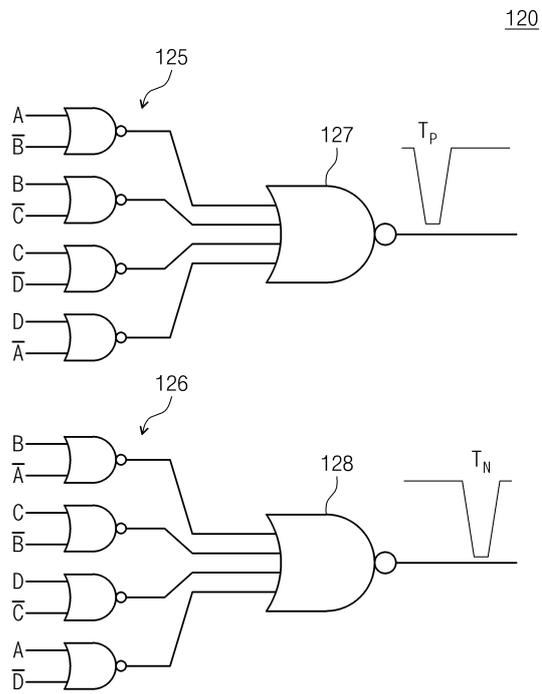
도면11



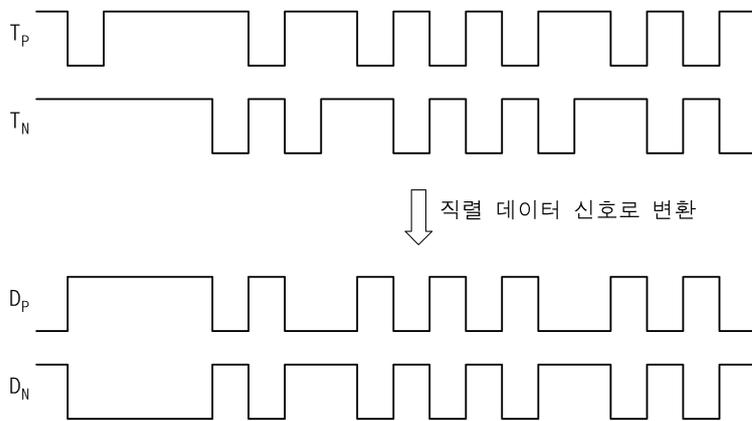
도면12



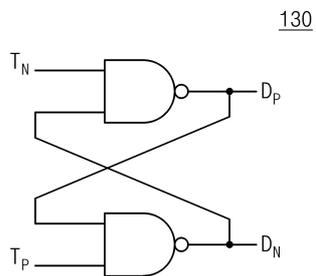
도면13



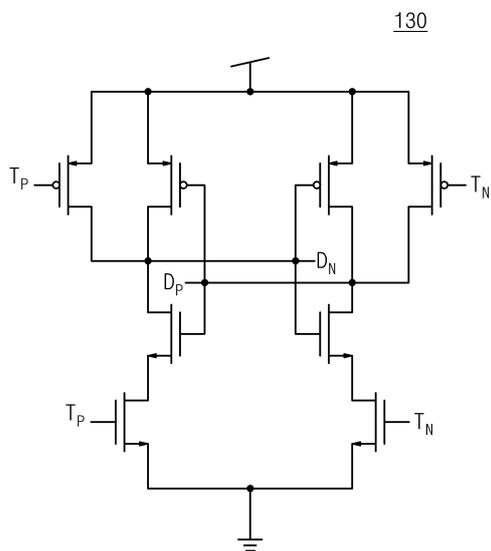
도면14



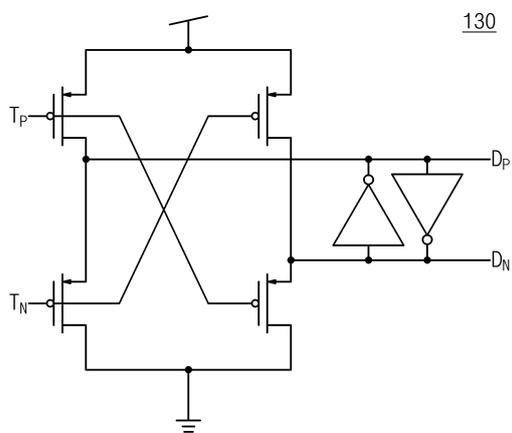
도면15



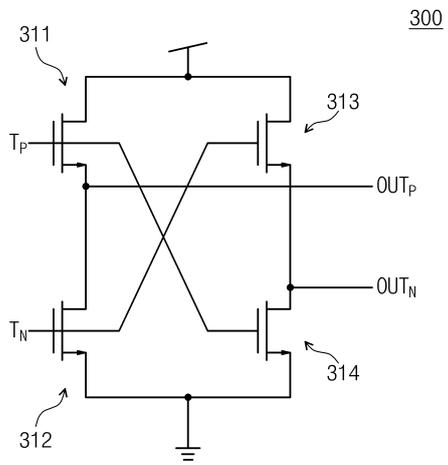
도면16



도면17



도면20



도면21

